

AN

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年5月8日 (08.05.2003)

PCT

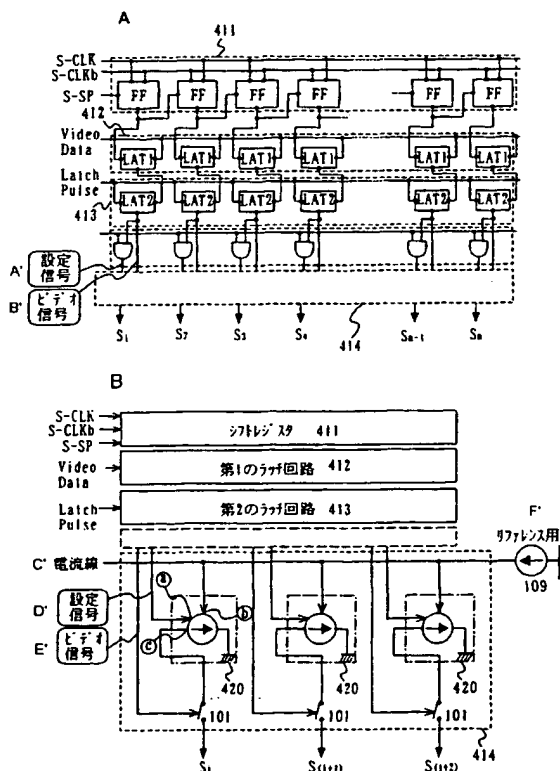
(10) 国際公開番号
WO 03/038794 A1

- (51) 国際特許分類: G09G 3/30, 3/20, H05B 33/14 特願2002-288104 2002年9月30日 (30.09.2002) JP
- (21) 国際出願番号: PCT/JP02/11279 (71) 出願人 (米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 Kanagawa (JP).
- (22) 国際出願日: 2002年10月30日 (30.10.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (72) 発明者: および (75) 発明者/出願人 (米国についてのみ): 木村 肇 (KIMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (30) 優先権データ:
特願 2001-333466
2001年10月30日 (30.10.2001) JP

[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT, LIGHT EMITTING DEVICE, AND ITS DRIVE METHOD

(54) 発明の名称: 信号線駆動回路、発光装置及びその駆動方法



A'...SET SIGNAL
B'...VIDEO SIGNAL
C'...CURRENT LINE
D'...SET SIGNAL
E'...VIDEO SIGNAL
F'...FOR REFERENCE
411...SHIFT REGISTER
412...FIRST LATCH CIRCUIT
413...SECOND LATCH CIRCUIT

(57) Abstract: A transistor generates a dispersion in characteristics. This signal line drive circuit has current source circuits corresponding to the respective wirings. Each of the current source circuits has a capacitor means and a supply means. Each of the current source circuits is characterized by converting a supplied current into a voltage according to a video signal, and by supplying a current corresponding to the converted voltage.

[続葉有]



WO 03/038794 A1



(74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京都新宿区神楽坂6-4 2 喜多川ビル7階 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

トランジスタの特性にはバラツキが生じてしまう。本発明は、複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、前記複数の電流源回路の各々は、容量手段及び供給手段を有し、前記複数の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする。

明 細 書

信号線駆動回路、発光装置及びその駆動方法

5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
- 15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
- 20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入
- 25 力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16 (A) を用いて簡単に説明する。図16 (A) に示した画素
5 は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・
10 ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16 (A) に示した画素
15 において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右され
20 ずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16 (B)、17を用いて簡単に説明する。図16 (B) に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、T
25 TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。

図 17 を用いて、ビデオ信号の書き込みから発光までの動作について説明する。
図 17 中、各部を示す図番は、図 16 に準ずる。図 17 (A) ~ (C) は、電流の
経路を模式的に示している。図 17 (D) は、ビデオ信号の書き込み時における各
経路を流れる電流の関係を示し、図 17 (E) は、同じくビデオ信号の書き込み時
5 に容量素子 610 に蓄積される電圧、つまり TFT 608 のゲート・ソース間電圧
を示す。

まず、第 1 及び第 2 の走査線 602、603 にパルスが入力され、TFT 606、
607 がオンする。このとき、信号線 601 を流れる電流は信号電流を I_{data} と表
記する。信号線 601 には、信号電流 I_{data} が流れているので、図 17 (A) に示
10 すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関
係を図 17 (D) に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT 606 がオンした瞬間には、まだ容量素子 610 には電荷が保持されてい
ないため、TFT 608 はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ とな
る。この間は、容量素子 610 の両電極間に電流が流れて、該容量素子 610 にお
15 いて電荷の蓄積が行われている。

そして徐々に容量素子 610 に電荷が蓄積され、両電極間に電位差が生じ始める
(図 17 (E))。両電極の電位差が V_{th} となると (図 17 (E)、A 点)、TFT 6
08 がオンして、 I_2 が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、
 I_1 は次第に減少するが、依然電流は流れており、容量素子 610 にはさらに電荷
20 の蓄積が行われる。

容量素子 610 では、その両電極の電位差、つまり TFT 608 のゲート・ソー
ス間電圧が所望の電圧になるまで電荷の蓄積が続く。つまり TFT 608 が I_{data}
の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の
蓄積が終了する (図 17 (E)、B 点) と、電流 I_1 は流れなくなる。また、TFT
25 608 は完全にオンしているので、 $I_{data} = I_2$ となる (図 17 (B))。以上の動
作により、画素に対する信号の書き込み動作が完了する。最後に第 1 及び第 2 の走

査線 602、603 の選択が終了し、TFT606、607 がオフする。

続いて、第3の走査線 604 にパルスが入力され、TFT609 がオンする。容量素子 610 には、先ほど書き込んだ VGS が保持されているため、TFT608 はオンしており、電流線 605 から I data に等しい電流が流れる。これにより発光
5 素子 611 が発光する。このとき、TFT608 が飽和領域において動作するようにしておけば、TFT608 のソース・ドレイン間電圧が変化したとしても、発光素子 611 に流れる発光電流 I EL は変わりなく流れる。

このように電流入力方式とは、TFT609 のドレイン電流が電流源回路 612
10 で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流に応じた輝度で発光素子 611 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する TFT の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 16 では電流源回路 612 に相当）をポリシリコントランジスタ
15 で形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する TFT の特性バラツキの影響を抑制する必要がある。しかし図 16 (B) に示す
20 構成の画素を用いることによって、画素を構成する TFT の特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 18 を用いて簡単に説明する。

25 図 18 (A) (B) における電流源回路 612 は、図 16 (B) で示した電流源回路 612 に相当する。電流源回路 612 は、定電流源 555 ~ 558 を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なり、その比は 1 : 2 : 4 : 8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 L (ゲート長) / W (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$ 段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、
10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル
15 ル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、
20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

ィブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-1

4

〔非特許文献2〕

Reiji H et al.、*「AM-LCD'01」、OLED-4*、p. 223-226

5 〔特許文献1〕

特開2001-5426号公報

発明の開示

上述した電流源回路612は、L/W値を設計することによって、トランジスタの
10 オン電流を1:2:4:8になるように設定している。しかしトランジスタ555
～558は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ
が生じてしまう。そのため、トランジスタ555～558のオン電流を設計通りに
正確に1:2:4:8にすることは困難である。つまり列によって、画素に供給す
15 る電流値にバラツキが生じてしまう。

トランジスタ555～558のオン電流を設計通りに正確に1:2:4:8にする
ためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFTの特性バラツキの影
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提
供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素
を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提
25 供する。

本発明は、TFTの特性バラツキの影響を抑制して、所望の一定電流を流す電気

回路（本明細書では電流源回路とよぶ）を設けた新しい構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

- 5 本発明は、各信号線（各列）に配置された電流源回路は、リファレンス用定電流源を用いて、所定の信号電流を供給するように設定される。設定された電流源回路では、リファレンス用定電流源に比例した電流を供給する能力を有する。その結果、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することが出来る。そして、設定された信号電流を電流源回路から画素に供給するか否かを決定するスイッチは、ビデオ信号により制御される。

- つまり、信号線にビデオ信号に比例した信号電流を流す必要がある場合は、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチを制御することにより行われ、該スイッチはビデオ信号により制御される。なお、本明細書において、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチのことを、信号電流制御スイッチと呼ぶことにする。

15 なお、リファレンス用定電流源は、基板上に信号線駆動回路と一体形成してもよいし、ICを用いて基板の外部に配置してもよい。この場合には、リファレンス用電流として、基板の外部から一定の電流が信号線駆動回路に供給される。

- 本発明の信号線駆動回路の概略について図1、2を用いて説明する。図1、2には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路が示されている。

まず、信号線にビデオ信号に比例した信号電流を流す必要がある場合について述べる。

- 図1において、信号線駆動回路403には、各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。端子aには設定信号が入力され、端子bには電流線に接続されたリファレンス用

定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、電流源回路 420 に保持された信号をスイッチ 101（信号電流制御スイッチ）を介して出力する。つまり電流源回路 420 は、端子 a から入力される設定信号により制御され、端子 b から電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流を端子 c より出力する。なおスイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と信号線に接続された画素との間に設けられ、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

次いで図 1 とは異なる構成の本発明の信号線駆動回路について図 2 を用いて説明する。図 2 において、信号線駆動回路 403 には、それぞれの信号線ごと（各列）に 2 つ以上の電流源回路 420 が配置されている。そして電流源回路 420 は複数の電流源回路を有する。そしてここでは仮に 2 つの電流源回路を有するとし、電流源回路 420 は、第 1 電流源回路 421 及び第 2 電流源回路 422 を有するとする。第 1 電流源回路 421 及び第 2 電流源回路 422 は、端子 a、端子 b、端子 c 及び端子 d を有する。端子 a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、第 1 電流源回路 421 及び第 2 電流源回路 422 に保持された信号（信号電流）をスイッチ 101（信号電流制御スイッチ）を介して出力する。つまり電流源回路 420 は、端子 a から入力される設定信号及び端子 d から入力される制御信号により制御され、端子 b からは電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流（信号電流）を端子 c より出力する。なおスイッチ（信号電流制御スイッチ）101 は、電流源回路 420 と信号線に接続された画素の間に設けられ、前記スイッチ（信号電流制御スイッチ）101 のオン又はオフは、ビデオ信号により制御される。

なお本明細書では、電流源回路 420 に対して信号電流の書き込みを終了させる動作（信号電流を設定する、リファレンス用電流によって信号電流を設定する、電

流源回路 4 2 0 が信号電流を出力できるように定める)。を設定動作と呼び、信号電流を画素に入力する動作（電流源回路 4 2 0 が信号電流を出力する動作）を入力動作と呼ぶことにする。図 2 において、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 に入力される制御信号は互いに異なっているため、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 は、一方は設定動作を行い、他方は入力動作を行う。これにより同時に 2 つの動作を行うことが出来る。

なお設定動作は任意の時間に任意のタイミングで任意の回数だけ行えばよい。どのようなタイミングで設定動作を行うかは、画素構成（画素に配置された電流源回路）や、信号線駆動回路に配置された電流源回路などの構成により、任意に調節することができる。設定動作を行う回数は、信号線駆動回路に、電源を供給し、動作し始める時に、最低限 1 回だけ行えばよい。しかしながら、実際には、設定動作により取得した情報が漏れてしまったりする場合があるため、その情報を再び取得したほうがよい時期がきたら、再び設定動作を行えばよい。

図 1、2 に示した信号線駆動回路では、ビデオ信号に比例した信号電流を信号線に供給する場合について述べた。但し、本発明はこれに限定されない。例えば、信号線とは異なる別の配線に電流を供給してもよい。この場合には、スイッチ 1 0 1（信号電流制御スイッチ）を配置する必要はない。このスイッチ 1 0 1 を配置しない場合について、図 1 については図 3 6、図 2 については図 3 7 に示す。この場合には、電流は画素用電流線に出力される。信号線にはビデオ信号が出力される。

本発明では、ビデオ信号は、画素の制御に用いる場合と電流源回路の設定信号に用いる場合の 2 つの場合がある。つまり、ビデオ信号は、画像の表示のためだけに利用するのではなく、電流源回路の設定動作のためにも利用する。そして、ビデオ信号を画素の制御（画像の表示）に用いる場合には、電流源回路は入力動作（画素への電流の出力）を行う。また、ビデオ信号を電流源回路の設定信号として用いる場合には、電流源回路は設定動作を行う。

なお電流は信号線又は画素用電流線のどちらかに出力される。電流が信号線に出

力される場合、ビデオ信号を画素の制御（画像の表示）に用いる際には、電流源回路は入力動作（画素への電流の出力）を行う。なぜなら、信号線へ出力される電流がビデオ信号そのものであるためである。一方、電流が画素用電流線に出力される場合、ビデオ信号を画素の制御（画像の表示）に用いる際には、信号線駆動回路に

5 配置された電流源回路では入力動作を行うとは限らない。なぜなら、ビデオ信号を画素の制御（画像の表示）に用いる際には、信号線には、ビデオ信号が入力されており、そのビデオ信号と、信号線駆動回路に配置された電流源回路が入力動作の時に出力する電流とは、無関係のものだからである。信号線駆動回路に配置された電流源回路では、画素に配置された電流源回路の設定動作を行っている際に入力動作

10 を行う。

そして本発明では、設定動作を行う際、ビデオ信号を用いて、1列目から最終列目のうち、任意の列に配置された電流源回路を指定する。また、任意の期間だけ、電流源回路を指定する。そうすると、複数列に配置された電流源回路のうち、設定動作が必要な電流源回路を指定することが可能となり、また指定された電流源回路

15 では設定動作に時間をかけて行うことが可能となるため、正確に設定動作を行うことができる。

もし、任意の列の電流源回路を指定することができず、1列目から最終列目まで順に指定しなければならない場合には、1列当たりの設定動作の期間が短くなってしまふ。なぜなら、ある決まった期間において、1列目から最終列目までの電流源

20 回路に対して、設定動作を行わなければならないため、1列当たりの設定動作の期間が短くなってしまふからである。その結果、十分に設定動作を行うことができない。

なお複数列に配置された電流源回路のうち、1列目から最終列目まで順に電流源回路の設定動作を行ってもよい。しかし、1列目から順に電流源回路の設定動作を行うのではなく、電流源回路の設定動作をランダムに行うことができると、様々な利点が生じる。例えば、電流源回路の設定動作を行う時間の長さが自由に長くとれ

25

るようになる。また、設定動作を行うことができる期間が、1フレーム中に点在している場合は、任意の列をランダムに選択できると、自由度が上がり、設定動作を行う期間を長くとることができるようになる。例えば、1フレーム中に点在している、設定動作を行うことができる期間において、1列分の電流源回路の設定動作を、

5 その期間いっぱいを用いて、行うことができる。そのほかの利点としては、電流源回路内に配置された容量素子における電荷の漏れの影響を目立たなくさせることができる。このように、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。

本発明は、ビデオ信号を電流源回路の制御のために利用することにより、電流源

10 回路の設定動作の制御や電流源回路を指定するための専用の回路が不要になる。その結果、配置する回路数が減少するため、製造時における不良発生率を抑え、歩留まりを向上することができるようになる。また、配置する回路数を減少することが出来るため、レイアウト面積も小さくできる。そのため、額縁面積を小さくでき、装置を小型化できる。

15 なお、本発明において、TFTは、通常の単結晶を用いたトランジスタや、SOIを用いたトランジスタ、有機トランジスタなどに置き換えて適用することができる。

また本発明において、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板とカバー材との間に封入されたパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及びディスプレイなどの総称に相当する。

20

本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、TFTの特性に左右されない回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの影響を抑制し、また所望の信号電流 I_{data} を発光素子に供給することができる発光装置を提供する。

- 図 1 は、信号線駆動回路の図。
- 図 2 は、信号線駆動回路の図。
- 図 3 は、信号線駆動回路の図（1 ビット）。
- 図 4 は、信号線駆動回路の図（3 ビット）。
- 5 図 5 は、信号線駆動回路の図（3 ビット）。
- 図 6 は、電流源回路の回路図。
- 図 7 は、電流源回路の回路図。
- 図 8 は、電流源回路の回路図。
- 図 9 は、タイミングチャート。
- 10 図 10 は、信号線駆動回路の図。
- 図 11 は、タイミングチャート。
- 図 12 は、発光装置の外観を示す図。
- 図 13 は、発光装置の画素の回路図。
- 図 14 は、駆動方法を説明する図。
- 15 図 15 は、発光装置を示す図。
- 図 16 は、発光装置の画素の回路図。
- 図 17 は、発光装置の画素の動作を説明する図。
- 図 18 は、電流源回路の図。
- 図 19 は、電流源回路の動作を説明する図。
- 20 図 20 は、電流源回路の動作を説明する図。
- 図 21 は、電流源回路の動作を説明する図。
- 図 22 は、本発明が適用される電子機器を示す図。
- 図 23 は、信号線駆動回路の図（3 ビット）。
- 図 24 は、信号線駆動回路の図（3 ビット）。
- 25 図 25 は、駆動方法を説明する図。
- 図 26 は、駆動方法を説明する図。

図 27 は、信号線駆動回路の図。

図 28 は、信号線駆動回路の図。

図 29 は、駆動方法を説明する図。

図 30 は、信号線駆動回路の図。

5 図 31 は、駆動方法を説明する図。

図 32 は、リファレンス用定電流源の回路図。

図 33 は、リファレンス用定電流源の回路図。

図 34 は、リファレンス用定電流源の回路図。

図 35 は、リファレンス用定電流源の回路図。

10 図 36 は、信号線駆動回路の図。

図 37 は、信号線駆動回路の図。

図 38 は、電流源回路の回路図。

図 39 は、電流源回路の回路図。

図 40 は、電流源回路の回路図。

15 図 41 は、電流源回路の回路図。

図 42 は、電流源回路の回路図。

図 43 は、電流源回路の回路図。

図 44 は、信号線駆動回路の図。

図 45 は、信号線駆動回路の図。

20 図 46 は、信号線駆動回路の図。

図 47 は、信号線駆動回路の図。

図 48 は、信号線駆動回路の図。

図 49 は、信号線駆動回路の図。

図 50 は、信号線駆動回路の図。

25 図 51 は、信号線駆動回路の図。

図 52 は、信号線駆動回路の図。

- 図 5 3 は、信号線駆動回路の図。
- 図 5 4 は、発光装置の図。
- 図 5 5 は、信号線駆動回路の図。
- 図 5 6 は、信号線駆動回路の図。
- 5 図 5 7 は、信号線駆動回路の図。
- 図 5 8 は、信号線駆動回路の図。
- 図 5 9 は、信号線駆動回路の図。
- 図 6 0 は、信号線駆動回路の図。
- 図 6 1 は、信号線駆動回路の図。
- 10 図 6 2 は、信号線駆動回路の図。
- 図 6 3 は、信号線駆動回路の図。
- 図 6 4 は、信号線駆動回路の図。
- 図 6 5 は、信号線駆動回路の図。
- 図 6 6 は、信号線駆動回路の図。
- 15 図 6 7 は、信号線駆動回路の図。
- 図 6 8 は、信号線駆動回路の図。
- 図 6 9 は、信号線駆動回路の図。
- 図 7 0 は、信号線駆動回路の図。
- 図 7 1 は、信号線駆動回路の図。
- 20 図 7 2 は、信号線駆動回路の図。
- 図 7 3 は、発光装置の画素の回路図。
- 図 7 4 は、タイミングチャート。
- 図 7 5 は、タイミングチャート。
- 図 7 6 は、タイミングチャート。
- 25 図 7 7 は、タイミングチャート。
- 図 7 8 は、タイミングチャート。

- 図 7 9 は、タイミングチャート。
図 8 0 は、タイミングチャート。
図 8 1 は、タイミングチャート。
図 8 2 は、タイミングチャート。
5 図 8 3 は、タイミングチャート。
図 8 4 は、タイミングチャート。
図 8 5 は、タイミングチャート。
図 8 6 は、タイミングチャート。
図 8 7 は、電流源回路のレイアウト図。
10 図 8 8 は、電流源回路の回路図。

発明を実施するための最良の形態

(実施の形態 1)

- 15 本実施の形態では、本発明の信号線駆動回路に具備される図 1 に示した電流源回路 4 2 0 の回路構成の例について説明する。

- 図 1 において、端子 a から入力される設定信号とは、第 2 のラッチ回路 4 1 3 から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路 4 2 0 に直接入力されず、論理演算子を介して入力される。こ
20 の論理演算子により、ビデオ信号を画素の制御（画像の表示）のために用いる時と、電流源回路の制御のために用いる時とを切り替えることが可能となる。つまり、端子 a から入力される設定信号とは、設定制御線（図 1 には図示せず）に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、設定制御線に接続された論理演算子の出力端子から供給される信号に合わせて、電流源回
25 路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子は、一方には第 2 のラッチ回路から供給される

信号（ビデオ信号に相当）、他方には設定制御線から信号が入力される。前記論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路420では、前記論理演算子の出力端子から供給される信号に従って、設定動作又は入力動作を行う。このようにすることにより、ビデオ信号を画素の制御（画像の表示）に用いている時に、ビデオ信号が電流源回路に影響を与えないようにできる。

もし、前記論理演算子を配置せず、第2のラッチ回路から供給される信号（ビデオ信号に相当）に従って、電流源回路420の設定動作や入力動作を行うとすると、ビデオ信号を画素の制御（画像の表示）に用いている時にも、電流源回路420の設定動作や入力動作などが行われることになってしまう。そして、どの電流源回路420に対して設定動作や入力動作などが行われるかが、画像の表示パターンによって異なってしまふ。つまり、正しく、電流源回路420の設定動作や入力動作などを行うことができなくなってしまう。それに対し、前記論理演算子を配置すれば、前記論理演算子に入力される設定制御線から信号を用いることにより、ビデオ信号を画素の制御（画像の表示）に用いている時でも、前記論理演算子の出力端子の信号が変化したりすることを防ぐことができ、正しく、電流源回路420の設定動作や入力動作などを行うことが可能となる。

そして本発明においては、第2のラッチ回路から出力される信号（ビデオ信号に相当）は、画素に入力するビデオ信号として用いる場合と、電流源回路の設定信号として用いる場合の2つの場合がある。つまり第2のラッチ回路から出力される信号（ビデオ信号に相当）を画素に入力するビデオ信号として用いるときには、信号線駆動回路の電流源回路は入力動作を行う。また第2のラッチ回路から出力される信号（ビデオ信号に相当）を電流源回路の設定信号として用いるときには、該電流源回路は設定動作を行う。

そのため、仮に第2のラッチ回路から出力されるビデオ信号を電流源回路の端子aにそのまま入力すると、画素にビデオ信号を入力しているときに、信号線駆動回

路の電流源回路は、設定動作を同時に行うことになる。つまり信号線駆動回路の電流源回路が設定動作と入力動作を同時に行うことになってしまう。そうすると、ビデオ信号は、表示する画像によって変化するために、正確に設定動作を行うことが出来なくなる。

- 5 そこで本発明では、電流源回路が設定動作を行うタイミングを設定制御線から供給される信号を用いて制御する。さらにどの列の電流源回路で設定動作を行うのかをビデオ信号を用いて制御する。そうすると、ビデオ信号を画素に入力するビデオ信号として用いる場合には、信号線駆動回路の電流源回路に影響を与えない。またビデオ信号を信号線駆動回路の電流源回路の設定信号として用いて設定動作を行う
- 10 うときは、該電流源回路が入力動作を行わないように設定制御線を制御することによって、正確に電流源回路の設定動作を行うことが出来る。

なおシフトレジスタとは、フリップフロップ回路 (FF) 等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号 (S-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (S-CLKb) が入力されて、これらの信号

15 のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

図6 (A) において、スイッチ104、105a、116と、トランジスタ102 (nチャネル型) と、該トランジスタ102のゲート・ソース間電圧VGS を保持する容量素子103とを有する回路が電流源回路420に相当する。

- 電流源回路420では、端子aを介して入力される信号によってスイッチ104、
- 20 スイッチ105aがオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109 (以下定電流源109と表記) から、端子bを介して電流 (リファレンス用電流) が供給され、容量素子103に所定の電荷が保持される。そして定電流源109から流される電流 (リファレンス用電流) がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

- 25 次いで、端子aを介して入力される信号により、スイッチ104、スイッチ105aをオフにする。そうすると、容量素子103に所定の電荷が保持されているた

め、トランジスタ102は、信号電流 I_{data} に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）、スイッチ116が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ102のゲート電圧は、容量素子103により所定の

5 ゲート電圧に維持されているため、トランジスタ102のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、ス

10 イッチ116が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。

なおスイッチ104及びスイッチ105aの接続構成は図6（A）に示す構成に限定されない。例えば、スイッチ104の一方を端子bに接続し、他方をトランジスタ102のゲート電極の間に接続し、更にスイッチ105aの一方を、スイッチ

15 104を介して端子bに接続して、他方をスイッチ106に接続する構成でもよい。そしてスイッチ104及びスイッチ105aは、端子aから入力される信号により制御される。

或いは、スイッチ104は端子bとトランジスタ102のゲート電極の間に配置し、スイッチ105aは端子bとスイッチ116の間に配置してもよい。つまり、

20 図38（A）を参照すると、設定動作時には図38（A1）のように接続され、入力動作時には図38（A2）のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数、及びその接続は特に限定されない。

なお図6（A）に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

25 図6（B）において、スイッチ124、スイッチ125と、トランジスタ122（nチャネル型）と、該トランジスタ122のゲート・ソース間電圧 V_{GS} を保持

する容量素子123と、とトランジスタ126（nチャネル型）とを有する回路が電流源回路420に相当する。

トランジスタ126はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

- 5 電流源回路420では、端子aを介して入力される信号によってスイッチ124、スイッチ125がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子123に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ122のドレイン電流と等しくなるまで、容量素子123に
- 10 電荷が保持される。なおスイッチ124がオンとなると、トランジスタ126のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

- 次いで、スイッチ124、スイッチ125をオフにする。そうすると、容量素子123に所定の電荷が保持されているため、トランジスタ122は、信号電流I_{data}に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ10
- 15 1（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ122のゲート電圧は、容量素子123により所定のゲート電圧に維持されているため、トランジスタ122のドレイン領域には信号電流I_{data}に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力さ
- 20 れる電流の大きさを制御できる。

- なおスイッチ124、125がオフすると、トランジスタ126のゲートとソースは同電位ではなくなる。その結果、容量素子123に保持された電荷がトランジスタ126の方にも分配され、トランジスタ126が自動的にオンになる。ここで、トランジスタ122、126は直列に接続され、且つ互いのゲートが接続されてい
- 25 る。従って、トランジスタ122、126はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異

なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、トランジスタ126が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。

なお配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、図38（B）を参照すると、設定動作時には図38（B1）のように接続され、入力動作時には図38（B2）のように接続されるように、配線やスイッチを配置するとよい。特に、図38（C2）においては、容量素子107に貯まった電荷が漏れないようになっていけばよい。

なお図6（B）に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

図6（C）において、スイッチ108、スイッチ110、トランジスタ105b、106（nチャネル型）、該トランジスタ105b、106のゲート・ソース間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ108、スイッチ110がオンとなる。そうすると電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子107に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は互いに接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧は、容量素子107によって保持されている。

次いで、端子aを介して入力される信号により、スイッチ108、スイッチ11

0をオフにする。そうすると、容量素子107に所定の電荷が保持されるため、トランジスタ106は、電流（リファレンス用電流）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に維持されているため、トランジスタ106のドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御することが出来る。

- 10 なおスイッチ101（信号電流制御スイッチ）が配置されていない場合は、端子cを介して信号線に接続された画素に電流が流れる。

このとき、トランジスタ106のドレイン領域に、信号電流I_{data}に応じたドレイン電流を正確に流すためには、トランジスタ105b及びトランジスタ106の特性が同じであることが必要となる。より詳しくは、トランジスタ105b及びトランジスタ106の移動度、しきい値などの値が同じであることが必要となる。また図6（C）では、トランジスタ105b及びトランジスタ106のW（ゲート幅）/L（ゲート長）の値を任意に設定して、定電流源109から供給される電流に比例した電流を画素に流すようにしてもよい。

またトランジスタ105b及び106のうち、定電流源109に接続されたトランジスタのW/Lを大きく設定することで、該定電流源109から大電流を供給して、書き込み速度を早くすることが出来る。

なお図6（B）に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

そして図6（D）、（E）に示す電流源回路420は、図6（C）に示す電流源回路420とスイッチ110の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図6（D）、（E）に示す電流源回路420の動作は、

図 6 (C) に示す電流源回路 420 の動作に準ずるので、ここでは説明を省略する。

なお配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、図 38 (C) を参照すると、設定動作時には図 38 (C1) のように接続され、入力動作時には図 38 (C2) のように接続されるように、配線やスイッチを配置するとよい。特に、図 38 (C2) においては、容量素子 107 に貯まった電荷が漏れないようになっていけばよい。

図 39 (A) において、スイッチ 195 b、195 c、195 d、195 f、トランジスタ 195 a、容量素子 195 e を有する回路が電流源回路に相当する。図 39 (A) に示す電流源回路では、端子 a を介して入力される信号によりスイッチ 195 b、195 c、195 d、195 f がオンになる。そうすると、端子 b を介して、電流線に接続された定電流源 109 から電流が供給され、定電流源 109 から供給される信号電流とトランジスタ 195 a のドレイン電流が等しくなるまで、容量素子 195 e に所定の電荷が保持される。

次いで、端子 a を介して入力される信号により、スイッチ 195 b、195 c、195 d、195 f がオフになる。このとき、容量素子 195 e には所定の電荷が保持されているため、トランジスタ 195 a は信号電流に応じた大きさの電流を流す能力を有する。これは、トランジスタ 195 a のゲート電圧は、容量素子 195 e により所定のゲート電圧に設定されており、該トランジスタ 195 a のドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れるためである。この状態において、端子 c を介して外部に電流が供給される。なお図 39 (A) に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。また端子 a を介して入力される信号により制御されるスイッチがオンであり、且つ端子 c から電流が流れないようにしているときは、端子 c と他の電位の配線とを接続する必要がある。そして、ここではその配線の電位を、 V_a とする。 V_a は、端子 b から流れてくる電流をそのまま流せるような電位であればよく、一例としては、

電源電圧 V_{dd} などによい。

なお配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、図 39 (B) (C) を参照すると、設定動作時には図 39 (B 1) (C 1) のように接続され、入力動作時には図 39 (B 2) (C 2) のように接続されるように、配

5 線やスイッチを配置するとよい。

また図 6 (A)、図 6 (C) ~ (E) の電流源回路において、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、トランジスタ 102、トランジスタ 105b、トランジスタ 106 の極性 (導電型) を p チャネル型にすることも可能である。

10 そこで図 7 (A) には、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、図 6 (A) に示すトランジスタ 102 を p チャネル型にしたときの回路構成を示す。図 6 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。また図 7 (B) ~ (D) には、電流の流れる方向 (画素から信号線駆動回路へ) の方向) は同様であって、図 6 (C) ~ (E) に示すトランジスタ 105b、トランジスタ 106 を p チャネル型にした回路図を示す。

また、図 40 (A) には、図 39 に示した構成において、トランジスタ 195a を p チャネル型にした場合を示す。また図 40 (B) には、図 6 (B) に示した構成において、トランジスタ 122、126 を p チャネル型にした場合を示す。

20 図 42 において、スイッチ 104、116、トランジスタ 102、容量素子 103 などを有する回路が電流源回路に相当する。

図 42 (A) は、図 6 (A) の一部を変更した回路に相当する。図 42 (A) に示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅 W が異なる。つまり、設定動作時には、図 42 (B) のように接続され、ゲート幅 W が大きい。入力動作時には、図 42 (C) のように接続され、ゲート幅 W が小さい。従って、設定動作時に端子 b から供給される電流値は、入力動作

時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

- 5 なお、図42では、図6（A）の一部を変更した回路について示した。しかし、図6のほかの回路や図7、図39、図40、図41などの回路にも、容易に適用できる。

- 10 なお、図6、図7、図39に示した電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかしながら、電流は画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。電流がどちらの方向に流れるかは、画素の構成に依存する。電流が信号線駆動回路から画素の方向へ流れる場合には、図6において、Vss（低電位電源）をVdd（高電位電源）に変更して、トランジスタ102、105b、106、122、126をpチャネル型とすればよい。また図7において、VssをVddに変更して、トランジスタ102、
15 105b、106をnチャネル型とすればよい。

なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

- 20 なお、図7（A）～（D）、図40（A）（B）の回路は、設定動作時には図41（A1）～（D1）のように接続され、入力動作時には図41（A2）～（D2）のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数は特に限定されない。

- 以下には、図6、7を用いて説明した電流源回路のうち、図6（A）及び図7（A）、図6（C）～（E）及び図7（B）～（D）の電流源回路の動作について詳しく説明する。まず、図6（A）及び図7（A）の電流源回路の動作について図19を用
25 いて説明する。

図19（A）～図19（C）は、電流が回路素子間を流れていく経路を模式的に

示している。図 19 (D) は、信号電流 I_{data} を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 19 (E) は、信号電流 I_{data} を電流源回路に書き込むときに容量素子 16 に蓄積される電圧、つまりトランジスタ 15 のゲート・ソース間電圧と時間の関係を示している。また図 19 (A) ~ 図 19 (C) に示す回路図において、11 はリファレンス用定電流源、スイッチ 12 ~ スイッチ 14 はスイッチング機能を有する半導体素子、15 はトランジスタ (n チャネル型)、16 は容量素子、17 は画素である。本実施の形態では、スイッチ 14 と、トランジスタ 15 と、容量素子 16 とが電流源回路 20 に相当する電気回路とする。なお図 19 (A) には引き出し線と符号が付いており、図 19 (B)、(C) において引き出し線と符号は図 19 (A) に準ずるので図示は省略する。

n チャネル型のトランジスタ 15 のソース領域は V_{ss} に接続され、ドレイン領域はリファレンス用定電流源 11 に接続されている。そして容量素子 16 の一方の電極は V_{ss} (トランジスタ 15 のソース) に接続され、他方の電極はスイッチ 14 (トランジスタ 15 のゲート) に接続されている。容量素子 16 は、トランジスタ 15 のゲート・ソース間電圧を保持する役目を担う。

画素 17 は、発光素子やトランジスタなどにより構成される。発光素子は、陽極と陰極と、該陽極と該陰極との間に挟まれた発光層を有する。本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。また発光層には、公知の発光材料を用いて作製することが出来る。発光層には、単層構造と積層構造の二つの構造があるが、本発明は公知のどのような構造を用いてもよい。発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と、三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明はどちらか一方、又は両方の発光を用いた発光装置にも適用できる。また発光層は、有機材料や無機材料などの公知の材料から構成される。

なお実際には、電流源回路 20 は信号線駆動回路に設けられている。そして信号

線駆動回路に設けられた電流源回路 20 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 19 は、リファレンス用定電流源 11、電流源回路 20 及び画素 17 との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

- 5 まず電流源回路 20 が信号電流 I_{data} を保持する動作(設定動作)を図 19 (A)、
 (B) を用いて説明する。図 19 (A) において、スイッチ 12、スイッチ 14 が
 オンとなり、スイッチ 13 はオフとなる。この状態において、リファレンス用定電
 流源 11 から信号電流 I_{data} が出力され、リファレンス用定電流源 11 から電流源
 回路 20 の方向に電流が流れていく。このとき、リファレンス用定電流源 11 から
10 は信号電流 I_{data} が流れているので、図 19 (A) に示すように電流源回路 20 内
 では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図 19 (D)
 に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

- リファレンス用定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電
 荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$
15 となり、 $I_{data} = I_1$ となる。

- そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電
 位差が生じはじめる (図 19 (E))。両電極間の電位差が V_{th} になると (図 19
 (E) A 点)、トランジスタ 15 がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$
 であるので、 I_1 は次第に減少するが、依然電流は流れている。容
20 量素子 16 には、さらに電荷の蓄積が行われる。

- 容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧
 となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つま
 りトランジスタ 15 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) にな
 るまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了
25 すると (図 19 (E) B 点)、電流 I_1 は流れなくなり、さらにトランジスタ 15
 はオンしているので、 $I_{data} = I_2$ となる (図 19 (B))。

- 次いで、画素に信号電流 I_{data} を入力する動作（入力動作）を図 19（C）を用いて説明する。画素に信号電流 I_{data} を入力するときには、スイッチ 13 をオンにしてスイッチ 12 及びスイッチ 14 をオフにする。容量素子 16 には前述した動作において書き込まれた VGS が保持されているため、トランジスタ 15 はオンして
- 5 おり、信号電流 I_{data} に等しい電流が、スイッチ 13 及びトランジスタ 15 を介して V_{ss} の方向に流れて、画素への信号電流 I_{data} の入力完了する。このとき、トランジスタ 15 を飽和領域において動作するようにしておけば、トランジスタ 15 のソース・ドレイン間電圧が変化したとしても、発光素子には一定の電流が供給される。
- 10 図 19 に示す電流源回路 20 では、図 19（A）～図 19（C）に示すように、まず電流源回路 20 に対して信号電流 I_{data} の書き込みを終了させる動作（設定動作、図 19（A）、（B）に相当）と、画素に信号電流 I_{data} を入力する動作（入力動作、図 19（C）に相当）に分けられる。そして画素では入力された信号電流 I_{data} に基づき、発光素子への電流の供給が行われる。
- 15 図 19 に示す電流源回路 20 では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも 2 つの電流源回路を設けることが好ましい。但し、信号電流 I_{data} を画素に入力していない期間内に、設定動作を行うことが可能であるならば、
- 20 信号線ごとに（各列に）1 つの電流源回路を設けるだけでもよい。
- また図 19（A）～図 19（C）に示した電流源回路 20 のトランジスタ 15 は n チャネル型であったが、勿論電流源回路 20 のトランジスタ 15 を p チャネル型としてもよい。ここで、トランジスタ 15 が p チャネル型の場合の回路図を図 19（F）に示す。図 19（F）において、31 はリファレンス用定電流源、スイッチ
- 25 32～スイッチ 34 はスイッチング機能を有する半導体素子（トランジスタ）、35 はトランジスタ（ p チャネル型）、36 は容量素子、37 は画素である。本実施

の形態では、スイッチ 3 4 と、トランジスタ 3 5 と、容量素子 3 6 とが電流源回路 2 4 に相当する電気回路とする。

トランジスタ 3 5 は p チャネル型であり、トランジスタ 3 5 のソース領域及びドレイン領域は、一方は Vdd に接続され、他方は定電流源 3 1 に接続されている。そして容量素子 3 6 の一方の電極は Vdd に接続され、他方の電極はスイッチ 3 6 に接続されている。容量素子 3 6 は、トランジスタ 3 5 のゲート・ソース間電圧を保持する役目を担う。

図 1 9 (F) に示す電流源回路 2 4 の動作は、電流の流れる方向が異なる以外は、上記の電流源回路 2 0 と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ 1 5 の極性を変更した電流源回路を設計する場合には、図 7 (A) に示す回路図を参考にすればよい。

なお図 4 3 において、電流の流れる方向は図 1 9 (F) と同じで、トランジスタ 3 5 を n チャネル型にしている。容量素子 3 6 は、トランジスタ 3 5 のゲート・ソース間に接続する。トランジスタ 3 5 のソースの電位は設定動作時と入力動作時とで異なる。しかし、ソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

続いて、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について図 2 0、2 1 を用いて説明する。図 2 0 (A) ~ 図 2 0 (C) は、電流が回路素子間を流れていく経路を模式的に示している。図 2 0 (D) は、信号電流 I data を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 2 0 (E) は、信号電流 I data を電流源回路に書き込むときに容量素子 4 6 に蓄積される電圧、つまりトランジスタ 4 3、4 4 のゲート・ソース間電圧と時間の関係を示している。また図 2 0 (A) ~ 図 2 0 (C) に示す回路図において、4 1 はリファレンス用定電流源、スイッチ 4 2 はスイッチング機能を有する半導体素子、4 3、4 4 はトランジスタ (n チャネル型)、4 6 は容量素子、4 7 は画素である。本実施の形態では、スイッチ 4 2 と、トランジスタ 4 3、4 4 と、容量素子 4 6 を有す

る回路が電流源回路 25 に相当する電気回路とする。なお図 20 (A) には引き出し線と符号が付いており、図 20 (B)、(C) において引き出し線と符号は図 20 (A) に準ずるので図示は省略する。

n チャネル型のトランジスタ 43 のソース領域は V_{ss} に接続され、ドレイン領域 5 は定電流源 41 に接続されている。n チャネル型のトランジスタ 44 のソース領域は V_{ss} に接続され、ドレイン領域は発光素子 47 の端子 48 に接続されている。そして容量素子 46 の一方の電極は V_{ss} (トランジスタ 43 及び 44 のソース) に接続され、他方の電極はトランジスタ 43 及びトランジスタ 44 のゲート電極に接続されている。容量素子 46 は、トランジスタ 43 及びトランジスタ 44 のゲート・

10 ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 25 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 25 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 20 は、リファレンス用定電流源 41、電流源回路 25 及び画素 47 との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

15

図 20 の電流源回路 25 では、トランジスタ 43 及びトランジスタ 44 のサイズが重要となる。そこでトランジスタ 43 及びトランジスタ 44 のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図 20 (A) ~ 図 20 (C) において、トランジスタ 43 及びトランジスタ 44 のサイズが同じ場合には、信号電

20 流 I_{data} を用いて説明する。そしてトランジスタ 43 及びトランジスタ 44 のサイズが異なる場合には、信号電流 I_{data1} と信号電流 I_{data2} を用いて説明する。なおトランジスタ 43 及びトランジスタ 44 のサイズは、それぞれのトランジスタの W (ゲート幅) / L (ゲート長) の値を用いて判断される。

最初に、トランジスタ 43 及びトランジスタ 44 のサイズが同じ場合について説

25 明する。そしてまず信号電流 I_{data} を電流源回路 20 に保持する動作を図 20 (A) (B) を用いて説明する。図 20 (A) において、スイッチ 42 がオンになると、

リファレンス用定電流源 4 1 で信号電流 I_{data} が設定され、定電流源 4 1 から電流源回路 2 5 の方向に電流が流れていく。このとき、リファレンス用定電流源 4 1 からは信号電流 I_{data} が流れているので、図 2 0 (A) に示すように電流源回路 2 5 内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図 2 0 (D) 5 に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

定電流源 4 1 から電流が流れ始めた瞬間には、容量素子 4 6 に電荷は保持されていないため、トランジスタ 4 3 及びトランジスタ 4 4 はオフしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。

そして、徐々に容量素子 4 6 に電荷が蓄積されて、容量素子 4 6 の両電極間に電位差が生じはじめる (図 2 0 (E))。両電極間の電位差が V_{th} になると (図 2 0 (E) A 点)、トランジスタ 4 3 及びトランジスタ 4 4 がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容量素子 4 6 には、さらに電荷の蓄積が行われる。

容量素子 4 6 の両電極間の電位差は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧となる。そのため、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 4 4 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 4 6 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 2 0 (E) B 点)、電流 I_1 は流れなくなり、さらにトランジスタ 4 3 及びトランジスタ 4 4 はオンしているので、 $I_{data} = I_2$ となる (図 2 0 (B))。 20

次いで、画素に信号電流 I_{data} を入力する動作を図 2 0 (C) を用いて説明する。まずスイッチ 4 2 をオフにする。容量素子 4 6 には所定の電荷が保持されているため、トランジスタ 4 3 及びトランジスタ 4 4 はオンしており、画素 4 7 から信号電流 I_{data} に等しい電流が流れる。これにより、画素に信号電流 I_{data} が入力される。このとき、トランジスタ 4 4 を飽和領域において動作するようにしておけば、トランジスタ 4 4 のソース・ドレイン間電圧が変化したとしても、画素において流 25

れる電流は変わりなく流れることができる。

なお図6 (C) のようなカレントミラー回路の場合には、スイッチ42をオフにしなくても、定電流源41から供給される電流を用いて画素47に電流を流すことも出来る。つまり電流源回路20に対して信号を設定する動作を設定動作と、信号5を画素に入力する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ43及びトランジスタ44のサイズが異なる場合について説明する。電流源回路25における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ43及びトランジスタ44のサイズが異なると、必然的にリファレンス用定電流源41において設定される信号電流I data1 と画素10 47に流れる信号電流I data2とは異なる。両者の相違点は、トランジスタ43及びトランジスタ44のW（ゲート幅）/L（ゲート長）の値の相違点に依存する

通常はトランジスタ43のW/L値を、トランジスタ44のW/L値よりも大きくすることが望ましい。これは、トランジスタ43のW/L値を大きくすれば、信号電流I data1を大きくできるからである。この場合、信号電流I data1で電流源回路15を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

図20 (A) ～図20 (C) に示した電流源回路25のトランジスタ43及びトランジスタ44はnチャネル型であったが、勿論電流源回路25のトランジスタ43及びトランジスタ44をpチャネル型としてもよい。ここで、トランジスタ4320 及びトランジスタ44がpチャネル型の場合の回路図を図21に示す。

図21において、41は定電流源、スイッチ42はスイッチング機能を有する半導体素子、43、44はトランジスタ（pチャネル型）、46は容量素子、47は画素である。本実施の形態では、スイッチ42と、トランジスタ43、44と、容量素子46とが電流源回路26に相当する電気回路とする。

25 pチャネル型のトランジスタ43のソース領域はVddに接続され、ドレイン領域は定電流源41に接続されている。pチャネル型のトランジスタ44のソース領域

はVddに接続され、ドレイン領域は発光素子47の端子48に接続されている。そして容量素子46の一方の電極は（ソース）に接続され、他方の電極はトランジスタ43及びトランジスタ44のゲート電極に接続されている。容量素子46は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧を保持する役目を担う。

図21に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、図20(A)～図20(C)と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ43、トランジスタ44の極性を変えた電流源回路を設計する場合には、図7(B)に示す回路図を参考にすればよい。

10 また、電流の流れる方向を変えずに、トランジスタの極性を変えることも可能である。それは、図43の動作に準ずるので、ここでは説明を省略する。

以上をまとめると、図19の電流源回路では、電流源で設定される信号電流I_{data}と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流I_{data}と、画素に流れる電流は値が同じであり、電流源回路に設けら
15 れたトランジスタの特性バラツキの影響は受けない。

また、図19の電流源回路及び図6(B)の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流I_{data}を出力することは出来ない。そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素にI_{data}を
20 入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に1つの電流源回路を設けるだけでもよい。なお、図39(A)、図40(A)の電流源回路は、図19の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図42(A)の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電
25 流の大きさが異なること以外は、同様である。また、図6(B)、図40(B)の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大き

さが異なること以外は、同様である。つまり、図42(A)では、トランジスタのゲート幅 W が設定動作時と入力動作時で異なり、図6(B)、図40(B)では、トランジスタのゲート長 L が設定動作時と入力動作時とで異なるだけで、それ以外は図19の電流源回路と同様の構成である。

- 5 一方、図20、21の電流源回路では、定電流源において設定された信号電流 I_{data} と、画素に流れる電流の値は、電流源回路に設けられた2つのトランジスタのサイズに依存する。つまり電流源回路に設けられた2つのトランジスタのサイズ (W (ゲート幅) / L (ゲート長)) を任意に設計して、定電流源において設定された信号電流 I_{data} と、画素に流れる電流を任意に変えることが出来る。但し、2つ
- 10 のトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流 I_{data} を画素に出力することが難しい。

- また、図20、21の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作を設定動作と、信号を画素に
- 15 入力する動作(入力動作)を同時に行うことが出来る。そのため、図19の電流源回路のように、1本の信号線に2つの電流源回路を設ける必要はない。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

(実施の形態2)

- 図19(および図6(B)、図40(B)、図42(A)など)に示した電流源回路では、1本の信号線ごと(各列)に2つの電流源回路を設けて、一方の電流源回路で設定動作を行い、他方の電流源回路で入力動作を行うように設定することが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来ないためである。本実施の形態では、図2に示した第1電流源回路421又は第2電流源回路422の構成とその動作について図8を用いて説明する。
- 20

- 25 なお信号線駆動回路は、電流源回路420、シフトレジスタ及びラッチ回路などを有する。

本発明では端子 a から入力される設定信号とは、第 2 のラッチ回路 4 1 3 から供給されるビデオ信号に相当する。つまり図 2 における設定信号とは、第 2 のラッチ回路 4 1 3 から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路 4 2 0 に直接入力されず、論理演算子を介して入力される。この論理演算子により、ビデオ信号を画素の制御（画像の表示）のために用いる時と、電流源回路の制御のために用いる時とを切り替えることが可能となる。つまり、端子 a から入力される設定信号とは、設定制御線（図 1 には図示せず）に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、論理演算子の出力端子から供給される信号と制御線のタイミングに合わせて、
10 電流源回路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子は、一方には第 2 のラッチ回路から出力される信号（ビデオ信号に相当）が入力され、他方には設定制御線から信号が入力される。論理演算子では、入力された 2 つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号
15 によって、設定動作又は入力動作を行う。

電流源回路 4 2 0 は、端子 a を介して入力される設定信号と端子 d を介して入力される信号とにより制御され、端子 b から電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流を端子 c より出力する。

図 8（A）において、スイッチ 1 3 4～スイッチ 1 3 9 と、トランジスタ 1 3 2（n チャネル型）と、該トランジスタ 1 3 2 のゲート・ソース間電圧 V_{GS} を保持する容量素子 1 3 3 とを有する回路が第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 に相当する。
20

第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 では、端子 a を介して入力される信号によってスイッチ 1 3 4、スイッチ 1 3 6 がオンとなる。また端子 d を介して制御線から入力される信号によってスイッチ 1 3 5、スイッチ 1 3 7 がオンとなる。そうすると、電流線に接続されたリファレンス用定電流源 1 0 9 から端子 b を
25

介して電流（リファレンス用電流）が供給され、容量素子133に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

- 5 次いで、端子a、dを介して入力される信号により、スイッチ134～スイッチ137をオフにする。そうすると、容量素子133に所定の電荷が保持されているため、トランジスタ132は、信号電流I_{data}に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）、スイッチ138、スイッチ139が導通状態になると、端子cを介して信号線に接続された
- 10 画素に電流が流される。このとき、トランジスタ132のゲート電圧は、容量素子133により所定のゲート電圧に維持されているため、トランジスタ132のドレイン領域には信号電流I_{data}に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。
- 15 なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ138、139が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。

- 図8（B）において、スイッチ144～スイッチ147と、トランジスタ142（nチャネル型）と、該トランジスタ142のゲート・ソース間電圧V_{GS}を保持
- 20 する容量素子143と、とトランジスタ148（nチャネル型）とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

- 第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ144、スイッチ146がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ145、スイッチ147がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子143に電荷が保持される。そして定電
- 25

流源109から流される電流（リファレンス用電流）がトランジスタ142のドレイン電流と等しくなるまで、容量素子143に電荷が保持される。なおスイッチ144、スイッチ145がオンとなると、トランジスタ148のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ148は自動的にオフになる。

- 5 次いで、端子a、dを介して入力される信号により、スイッチ144～147がオフになる。そうすると、容量素子143には所定の電荷が保持されているため、トランジスタ142は信号電流に応じた大きさの電流を流す能力を有する。そして仮にスイッチ101（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が供給される。これは、トランジスタ142のゲート電圧は容量素子143により所定のゲート電圧に設定されており、該トランジスタ142のドレイン領域には信号電流I_{data}に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。
- 10

- なおスイッチ144、145がオフすると、トランジスタ142のゲートとソースは同電位ではなくなる。その結果、容量素子143に保持された電荷がトランジスタ148の方にも分配され、トランジスタ148が自動的にオンになる。ここで、トランジスタ142、148は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ142、148はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ144、145がオフになると、端子cを介して信号線に接続された画素に電流が流れる。
- 15
- 20
- 25

なお、図8（A）は、図6（A）の構成に端子dを追加した構成に相当する。図8（B）は、図6（B）の構成に端子dを追加した構成に相当する。このように、図6（A）（B）の構成にスイッチを直列に追加して配置することにより、端子dを追加した図8（A）（B）の構成に変形される。なお、第1電流源回路421又は第2電流源回路422には、2つのスイッチを直列に配置することで、図6、図7、図39、図40、図42などに示した電流源回路の構成を任意に用いることができる。

なお図2では、1本の信号線ごとに第1電流源回路421及び第2電流源回路422の2つの電流源回路を有する電流源回路420を設けた構成を示したが、本発明はこれに限定されない。1本の信号線ごとに電流源回路の個数は特に限定されず、任意に設定することができる。複数の電流源回路は、各々に対応した定電流源を設けるように設定して、該定電流源から電流源回路に信号電流を設定するようにしてもよい。例えば、1本の信号線ごとに3つの電流源回路420を設けてもよい。そして各電流源回路420には異なるリファレンス用定電流源109から信号電流を設定するようにしてもよい。例えば、1つの電流源回路420には、1ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、2ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、3ビット用のリファレンス用定電流源を用いて信号電流を設定するようにしてもよい。そうすると、3ビット表示を行うことが出来る。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

本実施の形態は、実施の形態1と任意に組み合わせることが可能である。

（実施の形態3）

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図15を用いて説明する。

図15（A）において、発光装置は基板401上に、複数の画素がマトリクス状

に配置された画素部 402 を有し、画素部 402 の周辺には、信号線駆動回路 403、第 1 及び第 2 の走査線駆動回路 404、405 を有する。図 15 (A) においては、信号線駆動回路 403 と、2 組の走査線駆動回路 404、405 を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。信号線駆動回路 403 と、第 1 及び第 2 の走査線駆動回路 404、405 には、FPC 406 を介して外部より信号が供給される。

第 1 及び第 2 の走査線駆動回路 404、405 の構成とその動作について図 15 (B) を用いて説明する。第 1 及び第 2 の走査線駆動回路 404、405 は、シフトレジスタ 407、バッファ 408 を有する。シフトレジスタ 407 は、クロック信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 408 で増幅されたサンプリングパルスは、走査線に入力されて 1 行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順に信号線から信号が書き込まれる。

なお、シフトレジスタ 407 とバッファ 408 の間にレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

本実施の形態は、実施の形態 1、2 と任意に組み合わせることができる。

(実施の形態 4)

本実施の形態では、図 15 (A) に示した信号線駆動回路 403 の構成とその動作について説明する。本実施の形態では、1 ビットのデジタル階調表示を行う場合に用いる信号線駆動回路 403 について図 3 を用いて説明する。

まず図 1 に対応した場合について述べる。またここでは線順次駆動の場合について述べる。

図 3 (A) には、1 ビットのデジタル階調表示を行う場合における信号線駆動回路 403 の概略図を示す。信号線駆動回路 403 は、シフトレジスタ 411、第 1 のラッチ回路 412、第 2 のラッチ回路 413、定電流回路 414 を有する。

動作を簡単に説明するとシフトレジスタ 4 1 1 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

- 5 シフトレジスタ 4 1 1 より出力されたサンプリングパルスは、第 1 のラッチ回路 4 1 2 に入力される。第 1 のラッチ回路 4 1 2 には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

- 第 1 のラッチ回路 4 1 2 において、最終列までビデオ信号の保持が完了すると、
10 水平帰線期間中に、第 2 のラッチ回路 4 1 3 にラッチパルスが入力され、第 1 のラッチ回路 4 1 2 に保持されていたビデオ信号は、一斉に第 2 のラッチ回路 4 1 3 に転送される。すると、第 2 のラッチ回路 4 1 3 に保持されたビデオ信号は、1 行分が同時に定電流回路 4 1 4 へと入力される。

- 第 2 のラッチ回路 4 1 3 に保持されたビデオ信号が定電流回路 4 1 4 に入力さ
15 れている間、シフトレジスタ 4 1 1 においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1 フレーム分のビデオ信号の処理を行う。なお定電流回路 4 1 4 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

また定電流回路 4 1 4 は、電流源回路 4 2 0 を複数設けられる。図 3 (B) には、
i 列目から (i + 2) 列目の 3 本の信号線の周辺の信号線駆動回路の概略を示す。

- 20 電流源回路 4 2 0 は、端子 a を介して入力される信号により制御される。また電流源回路 4 2 0 には、端子 b を介して、電流線に接続されたりファレンス用定電流源 1 0 9 から電流が供給される。そして電流源回路 4 2 0 と信号線 S_n に接続された画素との間にはスイッチ 1 0 1 (信号電流制御スイッチ) が設けられ、前記スイッチ 1 0 1 (信号電流制御スイッチ) のオン又はオフはビデオ信号により制御され
25 る。ビデオ信号が明信号の場合、電流源回路 4 2 0 から画素に信号電流が供給される。またビデオ信号が暗信号の場合、スイッチ 1 0 1 (信号電流制御スイッチ) が

制御されて画素に電流は供給されない。つまり電流源回路 420 は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ 101（信号電流制御スイッチ）により制御される。

そして電流源回路 420 の構成には、図 6、図 7、図 39、図 40、図 42 など
5 に示した電流源回路 420 の構成を任意に用いることが出来る。電流源回路 420 には、1つの構成を採用するだけでなく、複数を採用してもよい。

なお端子 a から入力される設定信号とは、第 2 のラッチ回路 413 から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路 420 に直接入力されず、論理演算子を介して入力される。つまり、端子
10 a から入力される設定信号とは、設定制御線に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、設定制御線に接続された論理演算子の出力端子から入力される信号に合わせて、電流源回路 420 の設定を行う。

前記論理演算子の 2つの入力端子は、一方には第 2 のラッチ回路から供給される信号（ビデオ信号に相当）が入力され、他方には設定制御線から信号が入力される。
15 論理演算子では、入力された 2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から供給される信号によって、設定動作又は入力動作を行う。

なお電流源回路 420 に、図 6（A）、7（A）に示した構成を用いる場合、上述したように入力動作を行っている期間には、設定動作を行うことが出来ない。従
20 って、入力動作を行っていない期間に設定動作を行う必要がある。但し、入力動作を行っていない期間は、1 フレーム期間中に連続して存在せずに、点在している場合があるため、そのような場合には各列を順に選択するのではなく、任意の列を選択できるようにすることが好ましい。

なお、本発明では、電流源回路の設定動作を行う場合、ビデオ信号を利用して電
25 流源回路を指定する。したがって、電流源回路の設定動作も、1 列目から最終列目まで順に行うのではなく、ランダムに行うことができる。つまり、ビデオ信号は、

本来、画像情報を持つ信号である。したがって、ある列の画像情報と別の列の画像情報を同じ値にしたり、ある列の画像情報のみ別の値にして、それ以外の列の画像情報を同じ値にしたり、などということは容易に実現できる。すなわち、各々の列のビデオ信号の値は、自由に設定することができる。したがって、ある列のビデオ信号のみ別の値にすれば、その列のみ選択状態にすることができることになる。そして、次の電流源回路の設定動作を行う時には、また、全く別の列のビデオ信号のみ別の値にして、その列のみ選択状態にすることができる。このようにすれば、各列を順に選択するのではなく、任意の列を選択できることになる。

また、設定動作を行う時間の長さも、自由に長くとれるようになる。つまり、ビデオ信号を利用して、ある列の電流源回路を指定して設定動作を開始し、次に、いつ次の列の電流源回路の設定動作を行うかは、自由に設定できる。よって、例えば、設定動作を行うことができる期間が1つあった場合、その期間の全てを用いて、ある1列の電流源回路のみに設定動作を行ってもよいし、複数列の電流源回路に設定動作を行ってもよい。したがって、設定動作を行う時間の長さを長くすることができる。

このように、ランダムに電流源回路の設定動作を行うことができると、様々な利点が生じる。たとえば、設定動作を行うことができる期間が、1フレーム中に点在している場合には、任意の列を選択できると、自由度が上がり、設定動作の期間を長くとることができる。たとえ、設定動作を行うことができる期間が、1フレーム中に点在していても、任意の列を選択することができず、1列目から順に選択しなければならない場合は、1フレーム中に点在している、設定動作を行うことができる期間のうちの1つの期間を用いて、1列目から順に選択していかなければならなくなってしまう。そのため、1列あたりの設定動作の期間が短くなってしまう。

そのほかの利点としては、電流源回路420の中にある容量素子（例えば、図6(A)では容量素子103、図6(B)では容量素子123、図6(C)では容量素子107などに相当する）における電荷の漏れの影響を目立たなくさせることが

できるようになる。

なお電流源回路420には、容量素子が配置されている。ただし、容量素子をトランジスタのゲート容量などで代用してもよい。その容量素子には、電流源回路の設定動作により、所定の電荷が蓄積される。理想的には、電流源回路の設定動作は、

- 5 電源を入力した時に1回だけ行えばよい。つまり、信号線駆動回路を動作させるとき、その動作の最初の期間に、1回だけ行えばよい。なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流が変化し、その結果、画素に入力される電流が変化してしまう。そうすると、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするため、電流源回路の設定動作を、ある周期で定期的に行い、電荷をリフレッシュさせ、変化した電荷を再び
- 10 元に戻し、正しい量の電荷を保存しなおす必要が生じる。

- 仮に、容量素子に蓄積された電荷の変動量が大きい場合、電流源回路の設定動作を行って該電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおすようにすると、それに伴って電流源回路が出力する電流量の変動も大きくなる。そのため、1列目から順に設定動作を行うと、電流源回路が出力する電流量の変動が、目で確認できるほどの表示妨害が生ずる場合がある。つまり、1列目から順に生ずる画素の輝度の変化が目で確認できるほどの表示妨害が生ずる場合がある。この場合、1列目から順に設定動作を行うのではなく、ランダムに設定動作を行えば、電流源回路が出力する電流量の変動を目立たなくさせることができる。このように、複数の配線をランダムに選択することにより、様々な利点が生じる。
- 20 25

また図3(B)では、一列ずつ設定動作を行っているが、これに限定されない。

図44に示すように、同時に複数列で設定動作を行ってもよい。ここで、同時に複数列で設定動作を行うことを多相化するとよぶ。なお図44には、2個のリファレンス用定電流源109が配置されているが、この2個のリファレンス用定電流源に対しても別に配置したリファレンス用定電流源から設定動作を行ってもよい。

- 5 ここで、図3(B)に示した定電流回路414の詳しい構成を図45、図46に示す。図45は、電流源回路の部分に、図6(C)を適用した場合の回路を示す。図46は、電流源回路の部分に、図6(A)を適用した場合の回路を示す。

 なおビデオ信号は、電流源回路の指定だけでなく、本来の用途、つまり、画素の制御にも用いられるため、電流源回路420に直接入力されず、論理演算子を介して入力される。また論理演算子には、設定制御線からも信号が入力される。つまり、
10 論理演算子では、ビデオ信号と設定制御線から入力された信号の合わせて2つの信号の論理演算を行って、出力端子から信号を出力する。そして、論理演算子から出力された信号により、電流源回路の設定動作が制御される。

 つまり、論理演算子は、ビデオ信号を画素の制御（画像の表示）と電流源回路の
15 制御とを切り替える制御を行う。従って、論理演算子に限らず、画素の制御と電流源回路の制御を切り替えることができる回路であれば、どのような回路を用いてもよい。一例として、図45や図46に示すように、スイッチを設けて、該スイッチにより切り替えるようにしてもよい。

 これまでの、線順次駆動の場合について述べてきた。次いで、ここでは点順次駆
20 動の場合について述べる。

 図47(A)において、ビデオ線から供給されるビデオ信号は、シフトレジスタ411から供給されるサンプリングパルスのタイミングに従ってサンプリングされる。また電流源回路420の設定動作は、ビデオ信号に従って行われる。このように、図47(A)の構成を有する場合には、点順次駆動を行う。

- 25 なお、サンプリングパルスが出力されて、ビデオ線からビデオ信号が供給されている間のみ、スイッチ101（信号電流制御スイッチ）がオン状態になり、且つサ

ンプリングパルスが出力されなくなり、ビデオ線からビデオ信号が供給されなくなると、スイッチ101（信号電流制御スイッチ）がオフ状態になる場合には、正確に動作しない。なぜなら、画素では、電流を入力するためのスイッチはオン状態のままであるからである。この状態でスイッチ101（信号電流制御スイッチ）をオフ状態にすると、画素に電流が入力されなくなるため、正確に信号を入力できなくなる。

そこで、ビデオ線から供給されたビデオ信号を保持し、スイッチ101（信号電流制御スイッチ）の状態を維持できるようにするため、ラッチ回路452が配置されている。ラッチ回路452は、単なる容量素子とスイッチのみで構成されていてもよいし、SRAM回路で構成されていてもよい。このように、サンプリングパルスが出力されて、ビデオ線からビデオ信号が1列ずつ順に供給されて、そのビデオ信号に基づき、スイッチ101（信号電流制御スイッチ）がオン状態もしくはオフ状態になり、画素への電流の供給を制御することにより、点順次駆動を実現することができる。

15 なお、ラッチ回路452の出力（ビデオ信号）は画素の制御に用いられるが、電流源回路の設定動作のためにも用いられる。各々の利用を切り替えるため、ラッチ回路452の出力（ビデオ信号）は、電流源回路420に直接入力されず、論理演算子262を介して入力される。この論理演算子262により、ビデオ信号を画素の制御（画像の表示）のために用いる時と、電流源回路の制御のために用いる時とを切り替えることが可能となる。

しかしながら、1列目から最終列目まで順番に選択される場合、最初の方の列では、画素に信号を入力する期間が長い。一方、最後の方の列では、ビデオ信号を入力しても、すぐに、次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしまう。そのような場合、図47（B）に示すように、画素部402に配置された走査線を中央で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部402の左側と右側に各1個の

走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されている画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。図47(C)には、1、2行目の右側と左側に配置された走査線駆動回路の出力波形と、シフトレジスタ411のスタートパルス(S-SP)を示す。このように動作させることにより、左側の画素でも、画素に信号を入力する期間を長くすることができ、点順次駆動がしやすくなる。

- なお、線順次駆動か点順次駆動かなどに関係なく、電流源回路420の設定動作は、任意のタイミング、任意の列に配置された電流源回路に、任意の回数だけ行えばよい。但し、理想的には、電流源回路420に配置されたトランジスタのゲート・
- 10 ソース間に接続された容量素子に所定の電荷が保持されている限りは、設定動作を行うときのみの1回だけ行えばよい。又は、容量素子に保持された所定の電荷が放電(変動)してしまった場合に行えばよい。また、電流源回路420の設定動作は、どれだけの期間をかけて、全列の電流源回路420の設定動作を行ってもよい。つまり、1フレーム期間内に、全列の電流源回路420の設定動作を行ってもよい。
- 15 あるいは、1フレーム期間内では、数列の電流源回路420にしか設定動作を行って、結果として、数フレーム期間以上かけて、全列の電流源回路420の設定動作を行ってもよい。

また各列に一つの電流源回路を配置する場合について上述したが、本発明はこれに限定されず、複数の電流源回路を配置してもよい。

- 20 一例として、図3(B)の電流源回路の部分に、図2を適用した場合について考える。その場合の定電流回路414の詳しい構成を図48に示す。ここで、図48は電流源回路の部分に、図6(A)を適用した場合の回路を示す。制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。

- 25 また、本発明の信号線駆動回路における電流源回路について、レイアウト図を図87に、対応した回路図を図88に示す。

なお本実施の形態は、実施の形態1～3と任意に組み合わせることが可能である。

(実施の形態5)

本実施の形態では、図15(A)に示した信号線駆動回路403の詳細な構成とその動作について説明するが、本実施の形態では、3ビットのデジタル階調表示を

5 行う場合に用いる信号線駆動回路403について説明する。

図4には、3ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ411、第1のラッチ回路412、第2のラッチ回路413、定電流回路414を有する。

動作を簡単に説明すると、シフトレジスタ411は、フリップフロップ回路(FF)
10 等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(S-SP)、クロック反転信号(S-CLKb)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ411より出力されたサンプリングパルスは、第1のラッチ回路412に入力される。第1のラッチ回路412には、3ビットのデジタルビデオ信号
15 号(Digital Data1～Digital Data3)が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

第1のラッチ回路412において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路413にラッチパルスが入力され、第1のラッチ回路412に保持されていた3ビットのデジタルビデオ信号(Digital Data1
20 ～Digital Data3)は、一斉に第2のラッチ回路413に転送される。すると、第2のラッチ回路413に保持された3ビットのデジタルビデオ信号(Digital Data1～Digital Data3)は、1行分が同時に定電流回路414へと入力される。

第2のラッチ回路413に保持された3ビットのデジタルビデオ信号(Digital Data1～Digital Data3)が定電流回路414に入力されている間、シフトレジスタ411においては再びサンプリングパルスが出力される。以後この動作を繰り返
25 し、1フレーム分のビデオ信号の処理を行う。

定電流回路414は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。そして定電流回路414には、電流源回路420が複数設けられる。図5には、 i 列目から $(i+2)$ 列目の3本の信号線にかかる信号線駆動回路の概略図を示す。

なお図5では、各ビットに対応したリファレンス用定電流源109が配置された
5 場合について示す。

各電流源回路420は、端子a、端子b及び端子cを有する。電流源回路420は、端子aを介して入力される信号により制御される。また、端子bを介して、電流線に接続されたリファレンス用定電流源109から電流が供給される。そして電流源回路420と信号線 S_n に接続された画素との間にはスイッチ（信号電流制御
10 スイッチ）111～113が設けられ、前記スイッチ（信号電流制御スイッチ）111～113は、1ビット～3ビットのビデオ信号により制御される。そしてビデオ信号が明信号の場合、電流源回路から画素に電流が供給される。反対にビデオ信号が暗信号の場合、前記スイッチ（信号電流制御スイッチ）111～113が制御されて、画素に電流は供給されない。つまり電流源回路420は、所定の電流を流
15 す能力を有し、該電流を画素に供給するか否かはスイッチ（信号電流制御スイッチ）111～113により制御される。

なお図5において、電流線とリファレンス用定電流源は、各ビットに対応して配置されている。各ビットの電流源から供給される電流値の合計が、信号線に供給される。つまり、定電流源回路414は、デジタル・アナログ変換の機能も有する。

20 なお端子aから入力される設定信号とは、第2のラッチ回路413から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路420に直接入力されず、論理演算子を介して入力される。つまり、端子aから入力される設定信号とは、設定制御線に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、設定制御線に接続された論理演
25 算子の出力端子から入力される信号に合わせて、電流源回路420の設定を行う。

前記論理演算子の2つの入力端子は、一方には第2のラッチ回路から供給される

信号（ビデオ信号に相当）、他方には設定制御線から信号が入力される。前記論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。つまり電流源回路420では、設定制御線に接続された論理演算子の出力端子から供給される信号に合わせて、設定動作又は入力動作を行う。

- 5 本実施の形態では、3ビットのデジタル階調表示を行う場合例に挙げて説明する関係上、各列に3つの電流源回路420が設けられている。1本の信号線に接続された3つの電流源回路420から供給される信号電流を1:2:4として設定すると、 $2^3=8$ 段階で電流の大きさを制御出来る。

- 電流源回路420の構成は、図6、図7、図39、図40、図42などに示した
10 電流源回路420の構成を任意に用いることが出来る。電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

- なお、図5に示した信号線駆動回路では、1ビット～3ビットのそれぞれに専用のリファレンス用定電流源109が配置されているが、本発明はこれに限定されない。図49に示すように、ビット数よりも少ない個数のリファレンス用定電流源1
15 09が配置されていてもよい。例えば、最上位ビット（ここでは3ビット）のリファレンス用定電流源109のみを配置して、1列に配置された複数の電流源回路から選択された1つの電流源回路を設定する。そして、設定動作が既に行われた電流源回路を用いて、他の電流源回路の動作を行うようにしてもよい。言い換えれば、設定動作が既に行われた電流源回路を用いて、設定情報を共有するようにしてもよ
20 い。

- 例えば3ビット用の電流源回路420のみに設定動作を行う。そして、既に設定動作が行われた電流源回路420を用いて、他の1ビット用と2ビット用の電流源回路420に、情報を共有させる。より具体的には、電流源回路420の中で、電流を供給するトランジスタ（図6（A）では、トランジスタ102が相当）のゲー
25 ト端子を接続し、ソース端子も接続する。その結果、情報を共有しているトランジスタ（電流を供給するトランジスタ）のゲート・ソース間電圧は、等しくなる。

なお、図49では、最下位ビット（ここでは1ビット）の電流源回路ではなく、最上位ビット（ここでは3ビット）の電流源回路に、設定動作を行っている。このように、値の大きなビットの電流源回路に対して設定動作を行うことにより、ビット間の電流源回路の特性ばらつきの影響を小さくすることができる。仮に、最下位

5 ビット（ここでは1ビット）の電流源回路に設定動作を行い、上位ビットの電流源回路に最下位ビットの電流源回路が行った設定動作の情報を共有した場合、各々の電流源回路の特性がばらつくと、上位ビットの電流値が正確な値にならなくなる。上位ビットの電流源回路は、出力する電流値が大きいため、少しでも特性がばらつくと、そのばらつきの影響が大きくなってしまい、出力する電流値も大きくばらついてしまうからである。反対に、最上位ビット（ここでは3ビット）の電流源回路に

10 設定動作を行い、下位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらついていても、出力する電流値が小さいため、ばらつきによる電流値の差が小さく、影響は小さくなる。

以下には、1例として、図4、図5、図49に示した定電流回路414の詳しい

15 構成を図23、図24、図50に示す。図23、図24、図50の各列に設けられた電流源回路420において、信号線 S_i （ $1 \leq i \leq n$ ）に所定の信号電流の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

なお図6（C）に示すようにカレントミラー回路を有する構成で電流源回路42

20 0を構成するときには、図23、24に示すように、各電流源回路420が有するトランジスタのゲート電極が共通に接続している構成にすることも出来る。

図50には、図5に図示した信号線駆動回路に、図6（A）の電流源回路を配置した場合の回路図を示す。図50では、設定動作時には、トランジスタA～Cはオフにして動作させる。これは電流のもれを防ぐためである。或いは、トランジスタ

25 A～Cと直列にスイッチを配置し、設定動作時にはオフにするようにしてもよい。

また図23、24には、ビット数よりも少ない個数のリファレンス用定電流源1

09を配置した場合を示す。図23には、図49に図示した信号線駆動回路に、図6(C)の電流源回路を配置した場合の回路図を示す。図24には、図49に図示した信号線駆動回路に、図6(A)の電流源回路を配置した場合の回路図を示す。

図23において、各列に設けられた電流源回路420は、信号線 S_i ($1 \leq i \leq n$)へ所定の信号電流 I_{data} を出力するか否かを第2のラッチ回路413から入力される3ビットのデジタルビデオ信号(Digital Data1~Digital Data3)が有するHigh又はLowの情報によって制御される。

電流源回路420は、トランジスタ180~トランジスタ188及び容量素子189を有する。本実施の形態では、トランジスタ180~トランジスタ188は全てnチャネル型とする。

トランジスタ180のゲート電極には、第2のラッチ回路413から1ビットのデジタルビデオ信号が入力される。またトランジスタ180のソース領域とドレイン領域は、一方はソース信号線(S_i)に接続され、他方はトランジスタ183のソース領域とドレイン領域の一方に接続されている。

トランジスタ181のゲート電極には、第2のラッチ回路413から2ビットのデジタルビデオ信号が入力される。またトランジスタ181のソース領域とドレイン領域は、一方はソース信号線(S_i)に接続され、他方はトランジスタ184のソース領域とドレイン領域の一方に接続されている。

トランジスタ182のゲート電極には、第2のラッチ回路413から3ビットのデジタルビデオ信号が入力される。またトランジスタ182のソース領域とドレイン領域は、一方はソース信号線(S_i)に接続され、他方はトランジスタ185のソース領域とドレイン領域の一方に接続されている。

トランジスタ183~トランジスタ185のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はトランジスタ180~トランジスタ182のソース領域とドレイン領域の一方に接続されている。トランジスタ186のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はトランジスタ188のソース領域とド

レイン領域の一方に接続されている。

トランジスタ 187 とトランジスタ 188 のゲート電極には、AND 193 の出力端子から信号が入力される。AND 193 の入力端子の一方には制御線に接続され、他方は第 2 のラッチ回路 413 に接続される。なお図 23 では、AND 193 の入力
5 端子の一方は制御線に接続され、他方は 1 ビット用 (1st Bit) のラッチ回路に接続されている。しかし本発明はこれに限定されず、AND 193 の入力端子の一方は 1 ビット用 (1st Bit) のラッチ回路、2 ビット用のラッチ回路 (2nd Bit)、及び 3 ビット用のラッチ回路 (3rd Bit) のいずれか一つに接続されていればよい。

トランジスタ 187 のソース領域とドレイン領域は、一方はトランジスタ 186
10 のソース領域とドレイン領域の一方に接続され、他方は容量素子 189 の一方の電極に接続されている。トランジスタ 188 のソース領域とドレイン領域は、一方は電流線 190 に接続され、他方はトランジスタ 186 のソース領域とドレイン領域の一方に接続されている。

容量素子 189 の一方の電極は、トランジスタ 183 ~ トランジスタ 186 のゲ
15 ート電極に接続され、他方の電極は V_{ss} に接続されている。容量素子 189 は、トランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧を保持する役目を担う。

そして電流源回路 420 では、トランジスタ 187 及びトランジスタ 188 がオンになると電流線 190 に接続されたリファレンス用定電流源 (図示せず) から、
20 電流が容量素子 189 に流れていく。このときトランジスタ 180 ~ トランジスタ 182 はオフである。

そして徐々に容量素子 189 に電荷が蓄積され、両電極間に電位差が生じ始める。そして両電極間の電位差が V_{th} になると、トランジスタ 183 ~ トランジスタ 186 はオンになる。

25 容量素子 189 において、その両電極の電位差、つまりトランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続

けられる。言い換えると、トランジスタ183～トランジスタ186が信号電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる。

そして電荷の蓄積が終了すると、トランジスタ183～トランジスタ186は完全にオンになる。

- 5 そして電流源回路420において、3ビットのデジタルビデオ信号により、トランジスタ180～トランジスタ182の導通又は非導通が選択される。例えば、トランジスタ180～トランジスタ182が全て導通状態になったときは、信号線(Si)に供給される電流は、トランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流の総和となる。また、トランジスタ180のみが導通状態になったときは、トランジスタ183のドレイン電流のみが信号線(Si)に供給される。

このように、トランジスタ183～185のゲート端子を接続することにより、設定動作による情報を共有させることができる。

- 15 なお、ここでは、同じ列に配置されたトランジスタ内で、設定動作による情報を共有しているが、これに限定されない。例えば、別の列のトランジスタとも、設定動作による情報を共有させてもよい。つまり、トランジスタのゲート端子を、別の列のトランジスタとも接続させてもよい。これにより、設定すべき電流源回路の数を減らすことができる。そのため、設定動作をするのに必要な時間を短縮することができる。また、回路数を減らすことができるので、レイアウト面積を小さくする
- 20 ことができる。

- また図24において、電流源回路の設定動作時には、トランジスタ182はオフにして動作させる。これは電流のもれを防ぐためである。また、図24の構成において、トランジスタ182と直列にスイッチ203を配置した場合の電流源回路の回路図を図51に示す。図51においては、スイッチ203を設定動作時にはオフにし、それ以外の時にはオンにする。
- 25

このとき図23、図24、図51では、トランジスタ183のドレイン電流と、

トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流を1 : 2 : 4として設定すると、 $2^3=8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ183~185のW (チャネル幅) /L (チャネル長) 値を、1 : 2 : 4として設計すると、それぞれのオン電流が1 : 2 : 4となる。

- 5 なお、上述したように、ビデオ信号は画素の制御と電流源回路の制御の2つの用途に用いられるため、電流源回路420に直接入力されず、論理演算子を介して入力される。図23において、前記論理演算子とはAND193に相当する。

- AND193の入力端子の一方には設定制御線、他方は第2のラッチ回路413に接続される。なお図23では、AND193の入力端子の一方は設定制御線、他方は
- 10 1ビット用のラッチ回路に接続されている。しかし本発明はこれに限定されず、AND193の入力端子の一方は1ビット用~3ビット用のラッチ回路のいずれか一つに接続されていればよい。

- また図24には、図23とは異なる回路構成の電流源回路420を示す。図24に示す電流源回路420では、トランジスタ186~トランジスタ188の代わりに
- 15 スイッチ191、スイッチ192が配置された構成になっている。

- そしてスイッチ191、スイッチ192にはAND193の出力端子から信号が入力される。AND193の入力端子の一方には制御線に接続され、他方は第2のラッチ回路413に接続される。なお図23では、AND193の入力端子の一方は制御線に接続され、他方はインバータ194を介して3ビット用 (3rd Bit) のラッチ
- 20 回路に接続されている。しかし本発明はこれに限定されず、AND193の入力端子の一方は1ビット用 (1st Bit) のラッチ回路、2ビット用のラッチ回路 (2nd Bit)、及び3ビット用のラッチ回路 (3rd Bit) のいずれか一つに接続されていればよい。

- なお図24ではスイッチ191の一方の端子はトランジスタ185のドレイン領域に接続されているが、本発明はこれに限定されず、スイッチ191の一方の端
- 25 子はトランジスタ183~トランジスタ185のいずれか一つのドレイン領域に接続させればよい。但しこの場合には図24に示すように、スイッチ191の一方

の端子が接続されているトランジスタ 185 を制御するビデオ信号を保持するラッチ回路（図 24 では 3 ビット用のラッチ回路（3rd Bit））に AND 193 の入力端子に接続するときには、インバータ 194 を介してラッチ回路に接続させる必要が生ずる。

- 5 そして図 24 に示す電流源回路 420 では、スイッチ 191 及びスイッチ 192 がオンになると、電流線 190 に接続されたリファレンス用定電流源（図示せず）から、電流がトランジスタ 185 を介して容量素子 189 に流れていく点以外は、図 23 に示す電流源回路 420 の動作と同じあるので、本実施の形態では説明は省略する。
- 10 なお本実施の形態では、図 23、24 に示す電流源回路 420 が有するトランジスタは全て n チャンネル型としたが、本発明はこれに限定されない。p チャンネル型のトランジスタを用いることもできる。p チャンネル型のトランジスタを用いた場合における電流源回路 420 の動作は、電流の流れる方向が変わる点と、容量素子が V_{SS} ではなく V_{DD} に接続される点以外は上述した動作に準ずるので、説明は省略す
- 15 る。

また、p チャンネル型のトランジスタを用いる場合、 V_{SS} と V_{DD} を入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図 6 と図 7 の対比を用いれば、容易に適用できる。

- 20 なお本実施の形態では、3 ビットのデジタル階調表示を行う場合における信号線駆動回路の構成とその動作について説明した。しかし本発明は 3 ビットに限らず、本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態 1～4 と任意に組み合わせることが可能である。

- 25 また任意のビット数の表示を行う際、本形態を参考にして、多相化を図ることや点順次駆動を行うことは容易に実現することが出来る。

また図 5 では、1 本の信号線につき各ビットの電流源回路を一つずつ配置したが、

図2に示すように、1本の信号線につき複数の電流源回路を配置してもよい。このときの図を図52に示す。同様に、図49に示す構成では各ビットの定電流源109を1つずつ配置したが、図53に示すように複数ビットで定電流源109を共有してもよい。

5 (実施の形態6)

本発明においては図1、2に示す端子aから入力される設定信号とは、設定制御線(図示せず)に接続された論理演算子の出力端子から入力される信号を示すことは上述した。なお図2においては、制御線が示してあるが、設定制御線とは異なる配線である。設定信号には該設定制御線に接続された論理演算子の出力端子から入力される信号を用いる。

そして前記論理演算子の2つの入力端子には、一方には第2のラッチ回路413から出力される信号(ビデオ信号に相当)が入力され、他方には設定制御線から信号が入力される。前記論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

そして本実施の形態では、電流源回路が設定動作を行うタイミングについて図25～図31を用いて説明する。

本実施の形態では、図25(B)に示すように1フレーム期間を分割しない駆動方式(フルフレーム方式と表記)と、図26(A)に示すように1フレーム期間を複数のサブフレームに分割する駆動方式(サブフレーム方式と表記)に大別して説明する。

そして以下には、まずフルフレーム方式について図25を用いて説明し、次いでサブフレーム方式について説明する。

通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は60[Hz]程度である。つまり図25(A)に示すように、1秒間に60回程度の画面の描画が行われる。これにより、人間の眼にフリッカ(画面のちらつき)を感じさせ

ないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。

フルフレーム方式の場合、図25(B)のように、1フレーム期間において走査線
5 線を1行目から最終行目まで選択した後に、 T_c で示す期間を設ける。なお走査線
が1行目から最終行目まで選択される期間とは、画素に信号が入力される期間に相当する。そして、図25(C)～図25(E)には、期間 T_c でのビデオ信号の波形を示す。前記ビデオ信号の波形は、フレームごとに異なる。一例として3つのフレームにおけるビデオ信号の波形を示す。そして設定期間 T_c の長さは特に限定されないが、1ゲート選択期間(1水平走査期間)と同じ長さに設定することが好ましい。
10 しい。

図25(C)には、一例として1フレーム目の期間 T_{c1} におけるビデオ信号の波形を示す。このとき、第2のラッチ回路413から*i*列目に設けられた電流源回路への出力がHighとなるように、ビデオ信号の波形を制御する。図25(D)には、2フレーム目の期間 T_{c2} におけるビデオ信号の波形を示す。このとき、第2
15 のラッチ回路413から*j*列目に設けられた電流源回路への出力がHighとなるように、ビデオ信号の波形を制御する。図25(E)には、3フレーム目の期間 T_{c3} におけるビデオ信号の波形を示す。このとき、第2のラッチ回路413から*k*列目に設けられた電流源回路への出力がHighとなるように、ビデオ信号の波形を制御する。

20 なお設定期間 T_c とは、信号線駆動回路が有する複数の電流源回路のうち、設定動作を行う電流源回路を指定する期間に相当する。つまり設定期間 T_c では、設定動作を行う電流源回路の列のビデオ信号がHighとなるように、ビデオ信号の波形が制御される。そして図25(C)～(E)に示すように、フレーム期間毎に、設定期間 T_c において設定動作を行う電流源を指定する。

25 なお1フレーム期間には、設定期間 T_c を1つ設けるだけではなく、複数設けてもよい。また、設定期間 T_c はフレーム期間とフレーム期間の境目に設けなくても

よく、1フレーム期間のどこに設けてもよい。また図25(C)～図25(E)では、1列目から最終列目のうち、いずれか1列のビデオ信号の波形をHighにするように制御せずに、1列目から最終列目の内、複数列における電流源回路のビデオ信号の波形をHighとなるように制御してもよい。

- 5 そして、信号線駆動回路の電流源回路の設定動作と入力動作とを同時にできる場合は、設定期間 T_c において、設定動作を行う電流源回路を指定し、それ以外の期間において、設定動作を行う。そして同時に、入力動作も行う。

- 一方、電流源回路の設定動作と入力動作とを同時にできない場合は、設定期間 T_c において、設定動作を行う電流源回路を指定し、かつ、設定期間 T_c において、
10 設定動作も行う。従って、この場合は、設定期間 T_c は、電流源回路の設定動作が十分行えるだけの期間である必要がある。ただし、1フレーム期間の中で、すべての電流源回路の設定動作を行う必要はなく、数フレーム期間を用いて、すべての電流源回路の設定動作を行えばよい。

- なお、電流源回路の設定動作と入力動作とを同時にできる場合にも、設定期間 T_c において、設定動作を行う電流源回路を指定し、かつ、設定期間 T_c において、
15 設定動作を行うようにしてもよい。

- 次いでサブフレーム方式について図26を用いて説明する。サブフレーム方式では、図26(A)に示すように1フレーム期間を長さの異なる複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。図26
20 では、一例として3つのサブフレーム期間 $SF1 \sim SF3$ に分割した場合を示す。

各サブフレーム期間は、アドレス期間 (T_a) と、サステイン期間 (T_s) とを有する。アドレス期間は画素に信号を書き込む期間であり、各サブフレーム期間における長さは等しい。サステイン期間 (T_s) は、アドレス期間 (T_a) において書き込まれた信号に基づいて発光素子が発光を行う期間である。

- 25 サブフレーム方式において、期間 T_c を設けるとときには、図26(B)に示すように、あるサブフレーム期間 SF におけるアドレス期間 T_a が終了した後に1回だ

け配置してもよいし、図26 (C) に示すように、1フレーム期間中に複数回配置してもよい。勿論全てのサブフレーム期間におけるアドレス期間が終了した後に、期間 T_c を配置してもよいし、アドレス期間中に配置してもよいし、又は任意のフレーム期間毎に、期間 T_c を設けるようにしてもよい。

- 5 サブフレーム方式において、期間 T_c を設けるときには、図26 (B) に示すようにあるサブフレーム期間のアドレス期間が終了した後に1回だけ配置してもよいし、図26 (C) に示すように1フレーム期間中に複数回配置してもよい。勿論全てのサブフレーム期間のアドレス期間が終了した後に、期間 T_c を配置してもよいし、アドレス期間中に配置してもよい。また、任意のフレーム期間毎に、期間 T_c を設けるようにしてもよい。
- 10 c を設けるようにしてもよい。

なお図1、2において、端子aから入力される設定信号とは、設定制御線に接続された論理演算子の出力端子から入力される信号を示すことは上述した。そして前記論理演算子の2つの入力端子には、一方には第2のラッチ回路から出力される信号（ビデオ信号に相当）が入力され、他方には設定制御線から信号が入力されることとは上述した。そこで、図1、2には設定制御線は図示していないが、設定信号を出力する論理演算子の入力端子が接続している設定制御線から出力される信号の波形を図26 (B)、(C) に示す。

15 とは上述した。そこで、図1、2には設定制御線は図示していないが、設定信号を

- 図26 (B) (C) には、設定制御線の波形を示す。図26 (B) (C) に示す設定制御線の波形では、設定期間 T_c が終了してから次のアドレス期間が開始するまでの期間（設定期間 T_b と表記）においてHighになるように設定している。図26 (B) では設定期間 T_c が終了してからアドレス期間 T_{a2} が開始するまでの期間（設定期間 T_{b1} ）において設定制御線の波形がHighになるように設定し、図26 (C) では設定期間 T_c が終了してからアドレス期間 T_{a1} が開始するまでの期間（設定期間 T_{b1} ）と、期間 T_c が終了してからアドレス期間 T_{a2} が開始するまでの期間（設定期間 T_{b2} ）において設定制御線の波形がHighとなるように設定する。
- 20 での期間（設定期間 T_b と表記）においてHighになるように設定している。図2
- 25 るまでの期間（設定期間 T_{b2} ）において設定制御線の波形がHighとなるように設定する。

このようにすると、設定期間 T_{b1} や設定期間 T_{b2} において、電流源回路が入力動作（画素への電流の出力）を行っていない場合、信号線駆動回路に配置された電流源回路に設定動作を行うことができる。仮に、入力動作を行う期間が出現した場合、一時的に設定制御線を Low にし、その間だけ設定動作を行わないようにして

5 もよい。ただし、信号線駆動回路に配置された電流源回路の設定動作と入力動作とを同時に行うことができる場合、電流源回路が入力動作（画素への電流の出力）を行っていても、電流源回路に設定動作を行うことができる。

なお上述したように、設定期間 T_c においては、信号線駆動回路が有する電流源回路のうち、設定動作を行う電流源回路が指定される。仮に、 i 列目に設けられた

10 電流源回路 420 が指定されたとすると、期間 T_c が終了してから次のアドレス期間が開始されるまでの期間（ T_b ）における設定制御線の波形を High とすることによって、設定動作を行うことが出来る。

続いて、上記とは異なり、電流源回路 420 に加えて記憶回路 451 を有する構成の信号線駆動回路における電流源回路の設定動作のタイミングについて、図 27

15 ～31 を用いて説明する。

図 27 には、各列に 1 つの電流源回路 420 を配置する場合を示す。また図 28 には、各列に 2 つの電流源回路 420 を配置する場合を示す。図 27 に示す構成では、設定動作と入力動作を同時に行う期間がある場合、設定動作と入力動作を同時に行うことが出来る電流源回路 420 を用いることが必要となる。一方、図 28 に

20 示す構成では、各列に 2 つの電流源回路 420 が配置され、一方は設定動作、他方は入力動作を行うことが出来る。そのため、図 28 に用いる電流源回路 420 の構成は特に限定されない。なお図 27、28 に示す記憶回路 451 には、データを保持する手段を有する回路であれば公知のものを用いることが出来る。

そして図 27、28 において記憶制御線の信号の波形について図 29 を示して説

25 明する。まずフルフレーム方式の記憶制御線の信号の波形について図 29 (A) を用いて説明し、次いでサブフレーム方式の記憶制御線の信号の波形について図 29

(B)、(C)を用いて説明する。

フルフレーム方式及びサブフレーム方式の両方式は、図29(A)～(C)に示すように、記憶制御線の波形を設定期間 T_c においてHighとなるように設定している。このようにすると、電流源回路420では、設定期間 T_c が終了してから、

- 5 次の設定期間 T_c が開始されるまでの期間に設定動作を行うことが出来る。

なお、記憶制御線の波形がHighになると、スイッチ450がオンになり、記憶回路451にデータ(ビデオ信号)が入力される。そして、記憶制御線の波形がLowとなると、スイッチ450がオフになり、記憶回路451にデータ(ビデオ信号)が保持され続ける。

- 10 したがって、電流源回路が設定動作を行っている間に、ビデオ信号が変化することがあっても、記憶回路451により、指定した電流源回路が記憶されているため、該ビデオ信号の変化の影響を受けない。なおビデオ信号が変化する期間としては、アドレス期間などが相当する。また、信号線駆動回路の電流源回路の設定動作と入力動作とを同時に行うことができる場合は、電流源回路が入力動作(画素への電流
- 15 の出力)を行っていても、電流源回路に設定動作を行うことができる。電流源回路が入力動作(画素への電流の出力)を行う期間としては、アドレス期間などがその一例に相当する。

- なお1フレーム期間には、設定期間 T_c を1つ設けるだけではなく、複数設けてもよい。また、設定期間 T_c は、1フレーム期間のどこに設けてもよい。また、1
- 20 列目から最終列目のうち、いずれか1列のビデオ信号の波形をHighにするように制御せずに、1列目から最終列目の内、複数列における電流源回路のビデオ信号の波形をHighとなるように制御してもよい。

- 続いて、上記とは異なる例として、各列に1つの電流源回路420を配置する場合について図30を用いて説明する。図30に示す構成では、各列に1つの電流源
- 25 回路が配置される。この電流源回路は、設定動作と入力動作を同時に行うことが出来ない場合がある。そのため、設定動作は入力動作を行っていない期間に行い、入

力動作は設定動作を行っていない期間に行う必要がある場合がある。

図30に示す構成では、論理演算子452を配置し、記憶回路451の出力は論理演算子452（図30ではAND）の一方の入力端子に入力され、他方の入力端子には第2記憶制御線から出力される信号が入力される。前記論理演算子の出力端子から出力される信号は、電流源回路420に対する設定信号に相当する。

なお、図30においても、図45や図46のように、論理演算子の部分をスイッチで置き換えてもよい。

このように論理演算子452を配置することにより、記憶回路451が有するデータに関わらず、電流源回路420の端子aに入力される信号は、第2記憶制御線により制御される。従って、電流源回路420では、設定動作又は入力動作が行われるように設定される。

そして、第1記憶制御線の信号の波形と、第2記憶制御線の信号の波形とを図31（A）～図31（C）に示す。まずフルフレーム方式における第1及び第2記憶制御線の波形について図31（A）を用いて説明し、次いでサブフレーム方式における第1及び第2記憶制御線の波形について図31（B）（C）を用いて説明する。

フルフレーム方式及びサブフレーム方式の両方式では、図31（A）～（C）に示すように、第1記憶制御線の波形は、設定期間 T_c においてHighとなるように設定される。また第2記憶制御線の波形は、アドレス期間においてLowとなるように設定される。

アドレス期間とは、電流源回路420が画素に所定の電流を供給する期間に相当する場合が多いため、第2記憶制御線の波形は、アドレス期間においてLowとなるように設定される。そうすると、電流源回路420では、設定動作又は入力動作が行われるように設定される。

つまり、第2記憶制御線を制御することによって、信号線駆動回路に配置された電流源回路の設定動作を停止することができる。信号線駆動回路の電流源回路の設定動作を停止する必要があるのは、電流源回路の設定動作と入力動作とを同時に行

- うことができない場合において、電流源回路の入力動作を行わなければならない場合である。アドレス期間において、電流源回路の入力動作（画素への電流の出力）を行う場合が多く、そのときには、図 3 1（B）、図 3 1（C）のように、アドレス期間中に第 2 記憶制御線の波形を Low にしておくといよい。仮に、アドレス期間以外 5 外の期間に、電流源回路の入力動作（画素への電流の出力）を行う場合には、その期間においては、第 2 記憶制御線の波形を Low にしておけばよい。

また本実施の形態は、実施の形態 1～実施の形態 5 を任意に組み合わせることが可能である。

（実施の形態 7）

- 10 電流源回路に電流を供給するリファレンス用定電流源 1 0 9 は、基板上に信号線駆動回路と一体形成してもよいし、IC 等を用いて基板の外部に配置してもよい。基板上に一体形成する場合には、図 6～図 8、図 3 9、図 4 0、図 4 2 などに示した電流源回路のいずれを用いて形成してもよい。或いは、単に 1 個のトランジスタを配置して、ゲートに加える電圧に応じて、電流値を制御するようにしてもよい。
- 15 本実施の形態では、リファレンス用定電流源 1 0 9 の構成とその動作について説明する。

図 3 2 には、一例として、最も簡単な場合、つまり、ゲートに電圧を加える方式について示す。ここでは、3 本の電流線が必要な場合を示す。仮に、1 本の電流線だけでよい場合は、単純に、トランジスタ 1 8 4 0、1 8 5 0 と対応する電流線と

20 を図 3 2 に示す構成から削除すればよい。図 3 2 では、端子 f を介して、外部から、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 に印加するゲート電圧を調節することにより、電流の大きさを制御している。なお、このとき、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 の W/L 値を 1：2：4 として設計すると、それぞれのオン電流は 1：2：4 となる。

- 25 次に図 3 3（A）において、端子 f から電流を供給する場合について述べる。図 3 2 のように、ゲートに電圧を加えて調整する場合には、温度特性などにより、そ

のトランジスタの電流値が変動してしまうことがある。しかしながら、図 3 3 (A) のように電流で入力すると、その影響を抑制することができる。

なお、図 3 2、図 3 3 (A) に示す構成の場合、電流線に電流を流している間は、端子 f から電圧や電流を入力し続ける必要がある。しかし、電流線に電流を流す必要が無い場合は、端子 f から電圧や電流を入力している必要はない。

また図 3 3 (B) に示すように、図 3 3 (A) の構成にスイッチ 1 8 7 0、1 8 8 0 と容量素子 1 8 9 0 を追加してもよい。そうすると、電流線に電流を供給しているときでも、リファレンス用 IC からの供給（端子 f から入力する電流や電圧の供給）を停止することが可能となり、消費電力が小さくなる。

10 また図 3 2、図 3 3 に示した構成では、リファレンス用の電流源回路に配置された他の電流源用トランジスタと情報を共有していた。つまり、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 のゲート端子は、互いに接続されていた。

そこで、図 3 4 には、各々の電流源回路に設定動作を行う場合について示す。図 3 4 では、端子 f から電流を入力し、端子 e でタイミングを制御する。なお電流源回路には、図 6、図 7、図 3 9、図 4 0、図 4 2 などに示す構成を適用することができる。

なお図 3 4 に示した回路は、図 6 (A) の回路を適用した例である。よって、設定動作と入力動作とを同時に行えない。したがって、この回路の場合、リファレンス用の電流源回路に対する設定動作は、電流線に電流を流す必要がないタイミングで行う必要がある。

図 3 5 には、多相化させた場合についての例を示す。つまり、図 4 4 に示した構成を適用したリファレンス用電流源 1 0 9 に相当する。多相化の場合、図 3 2、図 3 3、図 3 4 の回路を適用してもよい。しかしながら、電流線に供給される電流値は同じなので、図 3 5 のように、1 つの電流を用いて、各々の電流源回路に対して設定動作を行えば、外部から入力する電流数が削減することができる。

なお本実施の形態は、実施の形態 1 ～実施の形態 6 と任意に組み合わせることが

可能である。

(実施の形態 8)

本発明の実施の形態について、図 5 4 を用いて説明する。図 5 4 (A) において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路
5 に電流源 A、定電流回路に電流源 B を配置する。電流源 A、B から供給される電流を I_A 、 I_B とし、画素に供給される信号電流を I_{data} とすると、 $I_A = I_B + I_{data}$ が成立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、 I_A 、 I_B を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

- 10 このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A からの電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

- 図 5 4 (B) において、リファレンス用定電流源（以下定電流源と表記）C、E
15 は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からリファレンス用電流が供給される。

- なお、図 5 4 (B) において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そ
20 して、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとり
ことが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1~7 と任意に組み合わせることが可能である。

- 25 (実施の形態 9)

これまでの実施の形態では、主に、信号電流制御スイッチが存在する場合につい

て述べてきた。本実施の形態では、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合について述べる。この場合にはスイッチ 101（信号電流制御スイッチ）を配置する必要はない。

- 5 なお、信号電流制御スイッチが存在しない場合、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、簡単に説明し、同様な部分については、省略する。

信号電流制御スイッチを配置する場合と対比させると、図 1 については図 3-6、図 2 については図 3-7 に示す。図 3（B）については、図 5-5（A）に示す。これ
10 までの実施の形態では、ビデオ信号により信号電流制御スイッチを制御して、電流を信号線に出力していた。本実施の形態では、電流は画素用電流線に出力される。信号線にはビデオ信号が出力される。

この場合の画素構成について、概略図を図 5-5（B）に示す。次に、画素の動作方法について簡単に述べる。まず、スイッチング用トランジスタがオンの時、信号
15 線を通して、ビデオ信号が画素に入力され、容量素子に保存される。そして、ビデオ信号の値により、駆動用トランジスタがオン又はオフする。一方、電流源回路は、一定の電流を流す能力を有している。よって、駆動用トランジスタがオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用トランジスタがオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示する。ただし、
20 この場合、発光と非発光の 2 つの状態しか表現できない。よって、時間階調法や面積階調法などを用いて、多階調化をはかっている。

なお、電流源回路の部分は、図 6、図 7、図 3-9、図 4-0、図 4-2 などの回路を適用する。そして、電流源回路が一定の電流を流せるようにするためには、設定動作を行えばよい。画素の電流源回路に設定動作を行う場合は、画素用電流線を通し
25 て電流を入力して、実行する。画素の電流源回路に対する設定動作は、任意の時に、任意のタイミングで、任意の回数だけ行えばよい。画素の電流源回路に対する設定

動作は、画像を表示するための動作とは、全く無関係に実行することができる。なお好ましくは、電流源回路の中にある容量素子に保存されている電荷が漏れてきたときに、設定動作を行えばよい。

次に、図 5 5 (A) に示した定電流回路 4 1 4 の詳しい構成を図 5 6、図 5 7 に示す。ここで、図 5 6 は、電流源回路の部分に、図 6 (A) を適用した場合の回路を示す。図 5 7 は、電流源回路の部分に、図 6 (E) を適用した場合の回路を示す。

また、図 5 5 (A) の電流源回路の部分に、図 3 7 を適用した場合について考える。その場合の定電流回路 4 1 4 の詳しい構成を図 5 8 に示す。ここで、図 5 8 には、電流源回路の部分に、図 6 (A) を適用した場合の回路を示す。制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。

また、電流源回路 4 2 0 に加えて記憶回路 4 5 1 を有する構成について、信号電流制御スイッチを配置する場合と、配置しない場合とを対比させると、図 2 7 については図 5 9、図 2 8 については図 6 0、図 3 0 については図 6 1 に示す。

15 なお、信号電流制御スイッチが存在しない場合、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、詳しい説明は省略する。

本実施の形態は、実施の形態 1 ～ 8 と任意に組み合わせることが可能である。

(実施の形態 1 0)

20 本実施の形態では、記憶回路 4 5 1 が配置されている場合の信号線駆動回路 4 0 3 の詳細な構成について説明する。

まず、信号電流制御スイッチが存在する場合、つまり、信号線にビデオ信号に比例した電流を供給する場合について述べる。

図 2 7 に示した構成のより詳しい構成を図 6 2、図 6 3 に示す。図 6 2 に示した回路は、図 6 (E) の回路を適用した例である。図 6 3 に示した回路は、図 6 (A) の回路を適用した例である。

図 6 2 では、電流源回路の設定動作を行っている間に、入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うアドレス期間において、設定動作を行うことができる。なお、指定した設定動作を行う電流源回路の情報は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

続いて、図 2 8 の詳しい構成を、図 6 4 に示す。図 6 4 に示した回路は、図 6 (A) の回路を適用した例である。

図 6 4 では、制御線を介して供給される信号により、電流源回路の動作を切り替えることができる。そのため、設定動作と入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うアドレス期間において、入力動作を行っていない方の電流源回路に設定動作を行うことができる。そして、指定された設定動作を行う電流源回路の情報は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

続いて、図 3 0 の詳しい構成を、図 6 5 に示す。図 6 5 に示した回路は、図 6 (A) の回路を適用した例である。図 6 5 では、論理演算子 4 5 2 から供給される信号により、電流源回路の設定動作と入力動作（画素への電流の出力）とを、自由に切り替えることができる。

次に、3 ビットのデジタル階調表示を行う場合について説明する。

図 2 7 に示した構成のより詳しい構成を図 6 6 に示す。図 6 6 に示した回路は、図 6 (C) の回路を適用した例である。図 6 6 では、電流源回路の設定動作を行っている間でも、同時に入力動作（画素への電流の出力）を行うことができる。したがって、入力動作を行うことになるアドレス期間において、設定動作を行うことができる。そして、指定された設定動作を行う電流源回路の情報は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

図 2 8 に示した構成のより詳しい構成を図 6 7 に示す。図 6 7 に示した回路は、図 6 (A) の回路を適用した例である。図 6 7 では、電流源回路の設定動作を行っ

ている間でも、制御線を介して供給される信号により、電流源回路の動作を切り替えることができる。そのため、設定動作と入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うことになるアドレス期間において、入力動作を行っていない方の電流源回路に設定動作を行うことができる。そして、設定動作を行う電流源回路の指定は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

なお、図 6 7 では、リファレンス用定電流源の個数が表示ビット数よりも少ない場合について示している。つまり、トランジスタのゲートを接続し、その設定した情報を共有した場合について示している。なお、表示ビット数と同じ個数だけリファレンス電流源を配置し、各ビットの電流源回路ごとに設定動作を行うようにしてもよい。

図 3 0 の構成のより詳しい構成を図 6 8 に示す。図 6 8 に示した回路は、図 6 (A) の回路を適用した例である。図 6 8 では、論理演算子 4 5 2 から供給される信号により、電流源回路の設定動作と入力動作（画素への電流の出力）を、自由に切り替えることができる。なお、図 6 8 では、リファレンス用定電流源の個数が表示ビット数と等しい場合について示している。つまり、各ビットの電流源回路ごとに設定動作を行っている。なお、リファレンス用定電流源の個数を表示ビット数よりも少なくし、既に設定された電流源回路の情報を共有してもよい。すなわち、互いに情報を共有する電流源回路に配置されたトランジスタのゲートを接続してもよい。

ここまでは、信号電流制御スイッチが配置されている場合について述べてきた。次に、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合について述べる。この場合にはスイッチ 1 0 1（信号電流制御スイッチ）は配置しない。

図 5 9 の構成のより詳しい構成を図 6 9、図 7 0 に示す。図 6 9 に示した回路は、図 6 (E) の回路を適用した例である。図 7 0 に示した回路は、図 6 (A) の回路

を適用した例である。

図69の構成では、電流源回路の設定動作を行っている間でも、同時に入力動作（画素への電流の出力）を行うことができる。したがって、入力動作を行うことになる期間、すなわち、画素に配置された電流源回路の設定動作中であっても、信号線駆動回路に配置された電流源回路では設定動作を行うことができる。そして、指定された設定動作を行う電流源回路の情報は、記憶回路451に保存されているため、ビデオ信号の変化の影響はうけない。

この構成の場合、画素にビデオ信号を入力しているアドレス期間と、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っている期間とは、同一ではない。したがって、ビデオ信号が変化している期間であっても、信号線駆動回路の電流源回路の設定動作を行うことが可能となるため、記憶回路451を設けることは、非常に有効である。

図60の構成のより詳しい構成を図71に示す。図71に示した回路は、図6(A)の回路を適用した例である。

図71では、電流源回路の設定動作を行っている間でも、制御線から供給される信号により、電流源回路の動作を切り替えることができる。そのため、設定動作と入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うアドレス期間において、入力動作を行っていない方の電流源回路は設定動作を行うことができる。そして、設定動作を行う電流源回路の指定は、記憶回路451に保存されているため、ビデオ信号の変化の影響はうけない。

図61の構成のより詳しい構成を図72に示す。図72に示した回路は、図6(A)の回路を適用した例である。

図72では、論理演算子452により、電流源回路の設定動作と入力動作（画素への電流の出力）を、自由に切り替えることができる。なお、信号電流制御スイッチが配置されていない場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合には、画素にビデオ信号を入力し

ているアドレス期間と、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っている期間とは、同一ではない。したがって、ビデオ信号が変化している期間であっても、信号線駆動回路の電流源回路の設定動作を行えるため、記憶回路 451 を設けることは、非常に有効である。

- 5 5 なお電流源回路には、図 6、図 7、図 39、図 40、図 42 などに示す構成を適用することができる。

本実施の形態は、実施の形態 1～9 と任意に組み合わせることが可能である。

〈実施例 1〉

- 本実施例では、時間階調方式について図 14 を用いて詳しく説明する。通常、液
10 晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度である。つまり図 14 (A) に示すように、1 秒間に 60 回程度の画面の描画が行われる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を 1 回行う期間を 1 フレーム期間と呼ぶ。

- 本実施例では一例として、特許文献 1 の公報にて公開されている時間階調方式を
15 説明する。時間階調方式では、1 フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では 3 ビット階調であるので、3 つのサブフレーム期間 SF1～SF3 に分割している例を示す（図 14 (B)）。

- 20 各サブフレーム期間は、アドレス（書き込み）期間 T_a と、サステイン（発光）期間 T_s を有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光又は非発光する期間である。このとき、サステイン期間 $T_{s1} \sim T_{s3}$ は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ とする。つまり、 n ビット階調を表現する際、 n 個のサス
25 テイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。そして、どの

サステイン期間で発光素子が発光又は非発光するかにより、1フレーム期間における各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、本実施例では図16(B)に示す画素を参照して説明する。図16(B)に示す画素は、電流入力方式が適用される。

まずアドレス期間 T_a においては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TFT606、607がオンする。このとき、信号線601を流れる電流を信号電流 I_{data} となる。そして容量素子610には所定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が終了して、TFT606、607がオフする。

次いでサステイン期間 T_s においては、以下の動作を行う。第3の走査線604が選択されて、TFT609がオンする。容量素子610には先ほど書き込んだ所定の電荷が保持されているため、TFT608はオンしており、電流線605から信号電流 I_{data} に等しい電流が流れる。これにより発光素子611が発光する。

以上の動作を各サブフレーム期間で行うことにより、1フレーム期間を構成する。この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図14(B)、(C)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化しても良い。

また、 m 行目の走査線のサブフレーム期間 SF_2 を図14(D)に図示する。図14(D)に図示するように、画素ではアドレス期間 T_{a2} が終了したら、直ちにサステイン期間 T_{s2} が開始されている。

次に、信号線駆動回路の電流源回路に関連した部分のタイミングチャートについて述べる。特に、電流源回路の設定動作に関連した部分のタイミングチャートについて述べる。

基本的には、次のようなタイミングになる。まず、アドレス期間が終了し、その後、サステイン期間であって、いずれの走査線も選択されていない期間 T_c において、どの電流源回路に対して設定動作を行うかを選択する。そして、信号線駆動回路の電流源回路の設定動作を開始し、次のアドレス期間が開始する直前で、該設定動作を終了する。この間に、再び期間 T_c を設け、どの電流源回路に対して設定動作を行うかを選択し、選択した該電流源回路に対して設定動作を行えばよい。すなわち、アドレス期間とアドレス期間の間において、設定動作を行えばよい。

ただし、上記の期間において、設定動作ができない場合がある。それは、その期間において、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っており、かつ、信号線駆動回路の電流源回路が設定動作と入力動作とを同時に行うことができない場合である。アドレス期間とアドレス期間の間に、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行うのは、図 5 5 (B) の構成の画素を有している場合に相当することが多い。

また、アドレス期間において、信号線駆動回路の電流源回路の設定動作ができる場合がある。それは、図 2 7、図 2 8、図 3 0 などのように、記憶回路 4 5 1 を有する場合である。この場合、たとえ、アドレス期間においても、信号線駆動回路の電流源回路は設定動作と入力動作とを同時に行うことができる。また、アドレス期間において、信号線駆動回路の電流源回路が入力動作を行っていない場合、どのような構成の電流源回路を用いていても、信号線駆動回路の電流源回路は設定動作を行うことができる。

なぜなら、記憶回路 4 5 1 によって、どの電流源回路に対して設定動作を行うかが記憶されているため、アドレス期間においてビデオ信号の変化の影響を受けないからである。そして、信号線駆動回路の電流源回路の設定動作と入力動作とを同時に行うことができる場合は、アドレス期間においても、信号線駆動回路の電流源回路は設定動作と入力動作を同時に行うことができる。また信号線駆動回路の電流源回路の設定動作と入力動作とを同時に行うことができなくても、アドレス期間にお

いて、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っていない場合には、信号線駆動回路の電流源回路の設定動作を行うことができる。

なお、本発明では、電流源回路の設定動作を1列ずつ順に行ってもよいし、ランダムに行ってもよい。また、設定動作を行う期間が、1フレーム内で、点在する場合
5 合には、その期間を有効に利用して設定動作を行うことができる。また、すべての電流源回路の設定動作を1フレーム期間内でやるのではなく、数フレーム期間以上かけて実行してもよい。このようにすることにより、電流源回路の設定動作に時間をかけて正確に行うことが出来る。

本実施例は、実施の形態1～10と任意に組み合わせることが可能である。

10 〈実施例2〉

本実施例では、画素部に設けられる画素の回路の構成例について図13、図73を用いて説明する。

なお本発明には、電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

15 図13（A）の画素は、信号線1101、第1及び第2の走査線1102、1103、電流線（電源線）1104、スイッチング用TFT1105、保持用TFT1106、駆動用TFT1107、変換駆動用TFT1108、容量素子1109、発光素子1110とを有する。信号線1101は電流源回路1111に接続されている。

20 なお、電流源回路1111が、信号線駆動回路403に配置されている電流源回路420に相当する。

図13（A）の画素は、スイッチング用TFT1105のゲート電極は、第1の走査線1102に接続され、第1の電極は信号線1101に接続され、第2の電極は駆動用TFT1107の第1の電極と、変換駆動用TFT1108の第1の電極
25 とに接続されている。保持用TFT1106のゲート電極は、第2の走査線1103に接続され、第1の電極は信号線1102に接続され、第2の電極は駆動用TFT

T1107のゲート電極と、変換駆動用TFT1108のゲート電極とに接続されている。駆動用TFT1107の第2の電極は、電流線（電源線）1104に接続され、変換駆動用TFT1108の第2の電極は、発光素子1110の一方の電極に接続されている。容量素子1109は、変換駆動用TFT1108のゲート電極
5 と第2の電極との間に接続され、変換駆動用TFT1108のゲート・ソース間電圧を保持する。電流線（電源線）1104および発光素子1110の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（A）の画素は、図40（B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13（A）の駆動用TFT1107が図40（B）のTFT126に
10 相当し、図13（A）の変換駆動用TFT1108が図40（B）のTFT122に相当し、図13（A）の保持用TFT1106が図40（B）のTFT124に相当する。

図13（B）の画素は、信号線1151、第1及び第2の走査線1142、11
15 43、電流線（電源線）1144、スイッチング用TFT1145、保持用TFT1146、変換駆動用TFT1147、駆動用TFT1148、容量素子1149、発光素子1140とを有する。信号線1151は電流源回路1141に接続されている。

なお、電流源回路1141が、信号線駆動回路403に配置されている電流源回路420に相当する。
20

図13（B）の画素は、スイッチング用TFT1145のゲート電極は、第1の走査線1142に接続され、第1の電極は信号線1151に接続され、第2の電極は駆動用TFT1148の第1の電極と、変換駆動用TFT1147の第1の電極とに接続されている。保持用TFT1146のゲート電極は、第2の走査線114
25 3に接続され、第1の電極は駆動用TFT1148の第1の電極に接続され、第2の電極は駆動用TFT1148のゲート電極と、変換駆動用TFT1147のゲート電極とに接続されている。

ト電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線（電源線）1144に接続され、変換駆動用TFT1147の第2の電極は、発光素子1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147のゲート・ソース間電圧を保持する。電流線（電源線）1144および発光素子1140の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（B）の画素は、図6（B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13（B）の変換駆動用TFT1147が図6（B）のTFT122に相当し、図13（B）の駆動用TFT1148が図6（B）のTFT126に相当し、図13（B）の保持用TFT1146が図6（B）のTFT124に相当する。

図13（C）の画素は、信号線1121、第1の走査線1122、第2の走査線1123、第3の走査線1135、電流線（電源線）1124、スイッチング用TFT1125、画素用電流線1138、消去用TFT1126、駆動用TFT1127、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132、保持TFT1133、発光素子1136とを有する。画素用電流線1138は、電流源回路1137に接続される。

図13（C）の画素は、スイッチング用TFT1125のゲート電極は、第1の走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT1127のゲート電極と、消去用TFT1126の第1の電極とに接続されている。消去用TFT1126のゲート電極は、第2の走査線1123に接続され、消去用TFT1126の第2の電極は電流線（電源線）1124に接続されている。駆動用TFT1127の第1の電極は発光素子1136の一方の電極に接続され、駆動用TFT1127の第2の電極は電流源TFT1129の第1の電極に接続されている。電流源TFT1129の第2の電極は電流線1124に接続されている。

容量素子1131の一方の電極は、電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続され、他方の電極は電流線（電源線）1124に接続されている。ミラーTFT1130の第1の電極は電流線1124に接続され、ミラーTFT1130の第2の電極は、電流入力TFT1132の第1の電極5に接続されている。電流入力TFT1132の第2の電極は電流線（電源線）1124に接続され、電流入力TFT1132のゲート電極は第3の走査線1135に接続されている。電流保持TFT1133のゲート電極は第3の走査線1135に接続され、電流保持TFT1133の第1の電極は画素用電流線1138に接続され、電流保持TFT1133の第2の電極は電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続されている。電流線（電源線）1124および発光素子1136の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

ここで、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

15 なお、図13（C）の画素は、図55（B）の画素に、図6（E）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。なお、図13（C）の画素には、消去用TFT1126が追加されている。消去用TFT1126を配置することにより、点灯期間の長さを自由に制御できるようになる。

20 スイッチング用TFT1125は画素に対するビデオ信号の供給を制御する役割を担う。消去用TFT1126は容量素子1131に保持された電荷を放電する役割を担う。駆動用TFT1127は、容量素子1131に保持された電荷に応じて、導通又は非導通が制御される。電流源TFT1129とミラーTFT1130はカレントミラー回路を形成する。電流線1124及び発光素子1136の他方の25 電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

つまり、スイッチング用TFT1125がオンになると、信号線1121を通つ

て、ビデオ信号が画素に入力され、容量素子1128に保存される。そして、ビデオ信号の値により、駆動用TFT1127がオン又はオフする。よって、駆動用TFT1127がオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用TFT1127がオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示している。一方、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132、保持TFT1133などが、電流源回路を構成している。電流源回路は、一定の電流が流す能力を有している。この電流源回路には、画素用電流線1138を通して電流が入力され、設定動作が行われる。そのため、電流源回路を構成するトランジスタの特性がばらついても、
10 電流源回路から発光素子の方に流れる電流の大きさは、ばらつかなくなる。画素の電流源回路に対する設定動作は、スイッチング用TFT1125や駆動用TFT1127の動作とは、無関係に行うことができる。

図73(A)の画素は、図55(B)の画素に、図6(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。
15

図73(A)の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138(Ci)などを有している。画素用電流線1138(Ci)は、電流源回路1137に接続されている。なお、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

20 図73(B)の画素は、図55(B)の画素に、図7(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。

図73(B)の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138(Ci)などを有している。画素用電流線1138(Ci)は、電流源回路1137に接続されている。なお、電流源回路1137が、
25 信号線駆動回路403に配置されている電流源回路420に相当する。

図73 (A) の画素と図73 (B) の画素とでは、電流源TFT1129の極性が異なる。そして、極性が異なることにより、容量素子1131、保持TFT1133の接続が異なる。

このように、さまざまな構成の画素が存在する。ところで、これまでに述べた画素は、大きく二つのタイプに分類できる。1つ目のタイプが、信号線にビデオ信号に
5 応じた電流を入力するタイプである。これは、図13 (A)、図13 (B) などがそれに相当する。その場合、信号線駆動回路は、図1や図2のように、信号電流制御スイッチを有している。もう1つのタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプ、つまり、
10 図55 (B) のような画素の場合である。これは、図13 (C)、図73 (A)、図73 (B) などが相当する。この場合、信号線駆動回路は、図36や図37のように、信号電流制御スイッチを有していない。

そこで、各々の画素のタイプに応じたタイミングチャートについて述べる。まず、デジタル階調と時間階調を組み合わせた場合について述べる。ただし、これは、画
15 素のタイプや信号線駆動回路の構成によって、変わってくる。そこで、各々の構成ごとにおけるタイミングチャートについて述べる。

まず、画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場合について述べる。画素は、図13 (A) もしくは図13 (B) の構成であるとする。信号線駆動回路は、図3 (A) や図3 (B) の構成であるとする。このときの
20 タイミングチャートを図74に示す。

4ビットの階調を表現することとし、簡単のため、サブフレーム数を4つにしたとする。まず、最初のサブフレーム期間SF1が始まる。1行ずつ走査線(図13
(A) での第1の走査線1102や図13 (B) での第1の走査線1132) を選択し、信号線(図13 (A) での1101や図13 (B) での1131) から電流
25 を入力していく。この電流は、ビデオ信号に応じた値になっている。そして、点灯期間Ts1が終了すると、次のサブフレーム期間SF2が開始して、サブフレーム

- 期間SF1と同様に走査させる。その後、その次のサブフレーム期間SF3が始まり、同様に走査させていく。ただし、点灯期間Ts3の長さが、アドレス期間Ta3の長さよりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。
- 5 ビデオ信号を消去するためには、第2の走査線（図13（A）での第2の走査線1103や図13（B）での第2の走査線1133）を1行ずつ選択していく。そうすると、ビデオ信号が消去され、非発光状態にすることができる。その後、次のサブフレームSF4が始まる。ここでも、サブフレームSF3と同様に走査させ、同様に非発光状態にしていく。
- 10 以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。この場合、設定期間Tcにおいて、複数の電流源回路のうち、どの電流源回路に対して設定動作を行うのかをビデオ信号により指定している。そのため、ビデオ信号が変化する期間、すなわち、アドレス期間においては、設定動作を行うこと
- 15 ができない。なぜなら、アドレス期間に設定動作を行おうとしても、ビデオ信号が変化しており、その変化の仕方は画像によって異なるからである。

- つまり、信号線駆動回路の電流源回路の入力動作は、各サブフレーム期間におけるアドレス期間（Ta1、Ta2など）の間に行われる。したがって、信号線駆動回路の電流源回路の設定動作は、アドレス期間以外の時に行えばよい。よって、図74
- 20 に示すように、アドレス期間以外のときに配置された設定動作期間Tb1～Tb4において、信号線駆動回路に配置された電流源回路の設定動作を行えばよい。なお、アドレス期間Ta1とアドレス期間Ta2の間の期間で設定動作を行ってもよいし、アドレス期間Ta2とアドレス期間Ta3の間の期間で設定動作を行ってもよいし、両方の期間を利用して設定動作を行ってもよい。また、アドレス期間Ta1とアドレ
- 25 ス期間Ta2の間の期間において、設定動作期間Tbが複数配置されているが、設定動作期間Tbを1つだけ配置してもよい。同様に、アドレス期間Ta2とアドレ

ス期間 $T a 3$ の間の期間において、設定動作期間 $T b$ を 1 つだけでなく複数配置してもよい。

次に、画素は図 13 (A) もしくは図 13 (B) の構成であり、信号線駆動回路は図 27、図 28 のように記憶回路 451 を有する構成であるとする。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、省略する。図 75 には、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて示す。この場合、ビデオ信号が変化しているときでも、設定動作を行う列の電流源回路の情報は、記憶回路 451 に保存されている。従って、電流源回路が設定動作と入力動作を同時にできる場合は、アドレス期間においても設定動作を行うことができる。そこで、設定動作期間 $T b 5$ 、 $T b 7$ 、 $T b 8$ 、 $T b 1$ などの前に、設定期間 $T c$ を設ける。そして、前記設定期間 $T c$ において、どの電流源回路に対して設定動作を行うかを選択し、その後、設定動作期間が開始される。これにより、信号線駆動回路の電流源回路が設定動作と入力動作（画素への電流の出力）とを同時に出来る場合には、アドレス期間においても、設定動作期間 $T b 5$ を設けることができる。

このように、図 74、75 のタイミングチャートでは、設定動作期間を多数設けることが出来るため、信号線駆動回路に配置されたすべての電流源回路が設定動作を行う期間を短くすることが出来る。あるいは、電流源回路に対して設定動作を行う期間を長くすることが出来る。したがって、設定動作をより正確に行うことが出来る。

つぎに、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線にビデオ信号とは無関係な一定の電流を入力するタイプの場合について述べる。信号線駆動回路は、図 55 (A) の構成であるとする。画素は、図 13 (C)、図 55 (B)、図 73 (A)、図 73 (B) などの構成であるとする。ただし、上記画素の場合、画素に配置された電流源回路に対しても、設定動作を行う必要がある。そのため、画素の電流源回路が、設定動作と入力動作とを同時にできるかどうかによって、その

動作が異なってくる。そこで、まず画素の電流源回路の設定動作と入力動作とを同時にできる場合、つまり、画素が図13(C)のときのタイミングチャートを図76に示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作について述べる。ただし、上記の場合とほとんど同様なため、簡単に述べる。まず、最初のサブフレーム期間SF1が始まる。1行ずつ走査線(図13(C)での第1の走査線1122)を選択し、信号線(図13(C)での1121)からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間Ts1が終了すると、次のサブフレーム期間SF2が始まり、サブフレーム期間SF1と同様に走査させる。その後、その次のサブフレーム期間SF3が始まり、同様に走査させていく。ただし、点灯期間の長さTs3が、アドレス期間Ta3の長さよりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。入力したビデオ信号を消去するためには、第15 2の走査線(図13(C)での第2の走査線1123)を1行ずつ選択していく。そうすると、ビデオ信号が消去され、駆動用TF1127がオフ状態になり、非発光状態にすることができる。その後、次のサブフレーム期間SF4が始まる。ここでも、サブフレーム期間SF3と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。図13(C)の場合、20 画素の電流源回路の設定動作と入力動作とは、同時に行うことができる。したがって、画素の電流源回路の設定動作は、任意のタイミングで行うことができる。

また、設定期間Tcにおいては、どの電流源回路に対して設定動作を行うのかをビデオ信号により指定している。そのため、ビデオ信号が変化している期間、すなわち、アドレス期間においては、設定動作を行うことは出来ない。なぜなら、アドレス期間において設定動作を行おうとしても、ビデオ信号が変化しており、その変化の仕方は画像によって異なるからである。よって、信号線駆動回路の電流源回路

の設定動作が、入力動作（画素への電流の出力）と同時に出来ない場合、図 7 6 に示すように、アドレス期間とアドレス期間の間で、かつ、画素の電流源への設定動作（信号線駆動回路の電流源回路の入力動作）を行っていない期間に、信号線駆動回路の電流源回路の設定動作を行えばよい。また、信号線駆動回路の電流源回路の設定動作が、入力動作（画素への電流の出力）と同時に出来る場合は、図 7 7 に示すように、アドレス期間とアドレス期間の間に、信号線駆動回路の電流源回路の設定動作を行えばよい。なお、図 7 6、7 7 のタイミングチャートにおいて、アドレス期間 T_{a1} とアドレス T_{a2} の間の期間において、設定動作期間 T_b が複数配置されているが、1 つだけ配置してもよい。

- 10 次に、画素は図 1 3 (C) の構成で、信号線駆動回路は図 5 9、図 6 0 のように、記憶回路 4 5 1 を有する構成であるとする。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、説明は省略する。そして以下には、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて、図 7 8、図 7 9 に示す。この場合、記憶回路 4 5 1 に設定動作を行う電流源回路の
- 15 情報が保存されているため、ビデオ信号が変化しているときでも電流源回路の設定動作を行うことができる。そこで、本構成では、設定動作期間 T_{b1} 、 T_{b5} などの前に、設定期間 T_c を設ける。そして、設定期間 T_c において、どの電流源回路に対して設定動作を行うのかを選択し、その後、設定動作期間を開始する。これにより、アドレス期間中にも、設定動作期間 T_{b5} などを設けることが出来る。
- 20 そして、電流源回路が設定動作と入力動作とを同時にできない場合、図 7 8 のように、画素の電流源に設定動作を行っている間は、信号線駆動回路に配置された電流源回路の設定動作を行うことはできない。なおこのとき、画素の電流源に設定動作を行う前に設定期間 T_c を設け、該設定期間 T_c において記憶回路 4 5 1 のデータを変更し、どの電流源回路も設定動作を行わないようにする必要がある。従って、
- 25 例えば図 7 8 に示すように、設定動作期間 T_{b5} の後に、設定期間 T_c を設ける必要がある。一方、電流源回路の設定動作と入力動作を同時に行うことができる場合

は、図 7 9 のように、画素の電流源に設定動作を行っている間も、信号線駆動回路の電流源回路に設定動作を行うことができる。図 7 9 に示すタイミングチャートの場合には、設定動作期間を多数配置することが出来る。そのため、信号線駆動回路が有する全ての電流源回路が設定動作を行う期間を短くすることが出来る。或いは、
5 各々の電流源回路が設定動作を行う期間を長くとることが出来る。従って、設定動作をより正確に行うことが出来る。

次に、画素は図 1 3 (C) の構成であり、信号線駆動回路は図 6 1 の構成のように記憶回路 4 5 1 を有する構成であるとする。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、ここでは省略する。そして、
10 信号線駆動回路に配置された電流源回路の設定動作のタイミングについて、図 8 0 に示す。この場合、ビデオ信号が変化しているときでも、記憶回路 4 5 1 には所定の情報が保存されているので、電流源回路の設定動作を行うことができる。従って、アドレス期間中にも設定動作を行うことができる。また、論理演算子 4 5 2 により、設定動作を任意の期間で停止させたりすることができる。そのため、画素に配置さ
15 れた電流源回路の設定動作を行う前に、設定期間 T_c を設ける必要がない。アドレス期間においても、第 2 記憶制御線を制御することにより、設定動作を終了させることが出来る。本構成では、画素の電流源回路の設定動作を行う期間の長さ、信号線駆動回路の電流源回路の設定動作を行う期間の長さを自由に調節することが出来る。

20 次に、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力する構成であり、且つ、画素の電流源回路の設定動作と入力動作とを同時にできない場合、つまり、画素が図 7 3 (A)、図 7 3 (B) の構成であるときのタイミングチャートを図 8 1 に示す。まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作は、上記の図 7 6 の場合とほぼ同様のため、簡単に述べる。まず、最初のサブフレーム期間 $S F 1$ が始まる。1 行づつ走査線 (図 7 3 (A)、図 7 3 (B) で
25

の第1の走査線1122)を選択し、信号線(図73.(A)、図73(B)での1121)からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間Ts1が終了すると、次のサブフレーム期間SF2が始まり、サブフレーム期間SF1と同様に走査させる。その後、その次のサブフレーム期間SF3が始まり、同様に走査させていく。ただし、点灯期間Ts3の長さが、アドレス期間の長さTa3よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。発光素子に電流が流れないようにするためには、第2の走査線(図13(C)での第2の走査線1123)を1行ずつ非選択状態にしていく。そうすると、消去用TF T1127がオフ状態になり、電流の流れる経路が遮断され、非発光状態にすることができる。その後、次のサブフレーム期間SF4が開始する。ここでも、サブフレーム期間SF3と同様に走査させ、同様に発光素子を非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。画素が図73(A)、図73(B)の構成の場合、画素に配置された電流源回路の設定動作と入力動作は、同時に行うことができない。従って、画素に配置された電流源回路の設定動作は、画素の電流源回路が入力動作を行っていないとき、つまり、発光素子に電流が流れていないときに行えばよい。また信号線駆動回路に配置された電流源回路の設定動作は、画素の電流源回路の設定動作を行っている期間以外のときであり、かつ、アドレス期間とアドレス期間の間に行えばよい。

以上のことから、画素の電流源回路に対する設定動作は、非点灯期間(Td3、Td4)に行い、信号線駆動回路の電流源回路の設定動作は、アドレス期間とアドレス期間の間に行えばよい。そこで、図81には、サブフレーム期間SF3とサブフレーム期間SF4の非点灯期間(Td3、Td4)に画素に配置された電流源回路に対する設定動作を行った場合であり、また、アドレス期間Ta1とアドレス期間Ta2の間、アドレス期間Ta2とアドレス期間Ta3の間の期間において、信号線駆動

回路の電流源回路の設定動作を行った場合のタイミングチャートを示す。

なお、画素に配置された電流源回路に対する設定動作を行う期間が、非点灯期間だけではその時間が短く、該設定動作を正確に行うことが困難な場合がある。そのようなときは、図 8 2 や図 8 3 のように、各アドレス期間の前に、強制的に非点灯
5 期間を設けて、該非点灯期間で画素の電流源回路に対する設定動作を行ってもよい。なお、図 8 2 は、信号線駆動回路の電流源回路に対する設定動作と入力動作とを同時に行うことができない場合について示す。一方、図 8 3 は、信号線駆動回路の電流源回路に対する設定動作と入力動作とを同時に行うことができる場合について示す。

10 次に、画素は図 7 3 (A)、図 7 3 (B) の構成であり、信号線駆動回路は、図 5 9、図 6 0 のように、記憶回路 4 5 1 を有する構成である場合について説明する。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、説明は省略する。そして、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて、図 8 4、図 8 5 に示す。この場合、ビデオ信号が変化
15 しているときでも、記憶回路 4 5 1 には所定の情報が保存されているので、電流源回路は設定動作を行うことができる。そこで、設定動作期間 T_{b4} などの前に、設定期間 T_c を設ける。そして前記設定期間 T_c において、設定動作を行う電流源回路が選択され、その後、設定動作期間が開始される。このようにすると、例えば図 8 3 に示すように、アドレス期間中においても、設定動作期間 T_{b4} を設けること
20 ができる。

そして、電流源回路の設定動作と入力動作とを同時にできない場合には、図 8 4 のように、画素の電流源に設定動作を行っている間は、信号線駆動回路に配置された電流源回路は設定動作を行うことはできない。このとき、画素に配置された電流源に設定動作を行う前に、設定期間 T_c を設けて、該設定期間 T_c において記憶回
25 路 4 5 1 のデータを変更し、どの電流源回路も設定動作を行わないようにしておく必要がある。よって、図 8 4 に示すように、一例として、設定動作期間 T_{b5} の後

に、設定期間 T_c を設ける必要がある。一方、電流源回路の設定動作と入力動作を同時に行うことが可能な場合は、図85のように、画素の電流源への設定動作を行っている間にも、信号線駆動回路の電流源回路の設定動作を行うことができる。

このように、図84、85の構成では、1フレーム期間に設定動作期間を多数配置5 置することが出来るため、信号線駆動回路が有する全ての電流源回路が設定動作を終了するまでの期間を短くすることができる。あるいは、電流源回路が設定動作を行う期間を長くすることが出来る。したがって、設定動作をより正確に行うことが出来る。

次に、画素は図73(A)、図73(B)の構成であり、信号線駆動回路は、図10 61のように、記憶回路451を有する構成である場合について説明する。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、省略する。そして、信号線駆動回路に配置された電流源回路の設定動作のタイミングチャートを図86に示す。この場合、ビデオ信号が変化しているときでも、記憶回路451に所定の情報が保存されているので、電流源回路の設定動作を行うこと15 ができる。従って、信号線駆動回路に配置された電流源回路は、アドレス期間においても、設定動作を行うことができる。また、論理演算子452を制御することで、設定動作を任意の期間で停止させたりすることができる。そのため、画素の電流源回路の設定動作を行う前には、設定期間 T_c を設ける必要がない。アドレス期間の途中であっても、第2記憶制御線を制御することにより、設定動作を終了させるこ20 とが出来る。したがって、画素の電流源回路の設定動作を行う期間の長さと、信号線駆動回路の電流源回路の設定動作を行う期間の長さを、自由に調節することが出来る。

これまでは、デジタル階調と時間階調を組み合わせた場合における、タイミングチャートに関して述べてきた。つぎに、アナログ階調の場合のタイミングチャート25 について述べる。

まず、画素は、図13(A)もしくは図13(B)であるとする。信号線駆動回

路は、図5もしくは図49や図50の構成であるとする。このときのタイミングチャートを図9に示す。1行づつ走査線（図13（A）での第1の走査線1102や図13（B）での第1の走査線1132）を選択し、信号線（図13（A）での1101や図13（B）での1131）から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。このように、1行づつ選択し、信号線から電流を入力していく動作を、1フレーム期間かけて行う。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。信号線駆動回路に配置された電流源回路の入力動作は、通常は、1フレーム期間かけて行われる。従って、従来のままでは、信号線駆動回路に配置された電流源回路の設定動作を行うことができない。そこで、図9に示すように、各水平走査期間の最初に設定期間 T_c 及び設定動作期間 T_b を設ける。そして、設定期間 T_c において、どの電流源回路に設定動作を行うのかを選択し、その後設定動作期間 T_b において設定動作を行うようにする。なお、その期間は、帰線期間と一致させてもよい。そして、その後、信号線駆動回路の電流源回路の入力動作を行う。

次に、画素は図13（A）もしくは図13（B）の構成であり、信号線駆動回路は図10に示すように、記憶回路451を有する構成である。そして、信号線駆動回路に配置された電流源回路において、設定動作と入力動作を同時に行うことが可能な場合、図11に示すように、設定期間 T_b を長くとることができる。なお、信号線駆動回路の電流源回路の設定動作を行う場合には、電流が漏れたり、別の電流が入ってきたりすることが無い状態で行う必要がある。よって、図24におけるトランジスタ182、図50におけるトランジスタA、B、Cなどは、信号線駆動回路の電流源回路の設定動作を行う前には、オフ状態にしておく必要がある。ただし、図51のように、トランジスタ193が配置されていて、電流が漏れたり、別の電流が入ってきたりすることが無い構成の場合には、そのような電流を考慮する必要はない。

本実施例は、実施の形態 1～10、実施例 1 と任意に組み合わせることが可能である。

〈実施例 3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

- 5 発光素子が有機 EL 素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などにより劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。
- 10 最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。そのためには、リファレンス用定電流源の電流の大きさを色によって変えればよい。
- その他の手法としては、画素、信号線駆動回路、リファレンス用定電流源などにおいて、図 6 (C)～図 6 (E) のような回路を用いることである。そして、図 6 (C)～図 6 (E) のような回路において、カレントミラー回路を構成する 2 つの
- 15 トランジスタの W/L の比率を色によって変える。これにより、画素に入力する電流の大きさが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

- 20 以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態 1～10、実施例 1、2 と任意に組み合わせることが可能である。

〈実施例 4〉

- 25 本実施例では、本発明の発光装置（半導体装置）の外観について、図 12 を用いて説明する。図 12 は、トランジスタが形成された素子基板をシーリング材によっ

て封止することによって形成された発光装置の上面図であり、図12(B)は、図12(A)のA-A'における断面図、図12(C)は図12(A)のB-B'における断面図である。

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003
5 と、ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009
が設けられている。また画素部4002と、ソース信号線駆動回路4003と、ゲ
ート信号線駆動回路4004a、bとの上にシーリング材4008が設けられてい
る。よって画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆
動回路4004a、bとは、基板4001とシール材4009とシーリング材40
10 08とによって、充填材4210で密封されている。

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路40
03と、ゲート信号線駆動回路4004a、bとは、複数のTFTを有している。
図12(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回
路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネ
15 ル型TFTを図示)4201及び画素部4002に含まれる消去用TFT4202
を図示した。

本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型T
FTまたはnチャネル型TFTが用いられ、消去用TFT4202には公知の方法
で作製されたnチャネル型TFTが用いられる。

20 駆動TFT4201及び消去用TFT4202上には層間絶縁膜(平坦化膜)4
301が形成され、その上に消去用TFT4202のドレインと電氣的に接続する
画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大
きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズと
の化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化
25 インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したも
のをを用いても良い。

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には発光層4204が形成される。発光層4204は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層4204の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

発光層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

以上のようにして、画素電極（陽極）4203、発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

4005aは電源線に接続された引き回し配線であり、消去用TFT4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることが

できる。プラスチック材としては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

また充填材4210を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

図12 (C) に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜

4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

本実施例は、実施の形態1～10、実施例1～3と任意に組み合わせることが可能である。

5 〈実施例5〉

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図22に示す。

図22（A）は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。また本発明により、図22（A）に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図22（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。また本発

明により、図 2 2 (B) に示すデジタルスチルカメラが完成される。

図 2 2 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明の発光装置は表示部 2 2 0 3 に用いることができる。また本発明により、図 2 2 (C) に示す発光装置が完成される。

図 2 2 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明の発光装置は表示部 2 3 0 2 に用いることができる。また本発明により、図 2 2 (D) に示すモバイルコンピュータが完成される。

10 図 2 2 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明の発光装置はこれら表示部 A、B 2 4 0 3、2 4 0 4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図 2 2 (E) に示す DVD 再生装置が完成される。

図 2 2 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明の発光装置は表示部 2 5 0 2 に用いることができる。また本発明により、図 2 2 (F) に示すゴーグル型ディスプレイが完成される。

図 2 2 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9、接眼部 2 6 1 0 等を含む。本発明の発光装置は表示部 2 6 0 2 に用いることができる。また本発明により、図 2 2 (G) に示すビデオカメラが完成される。

ここで図22(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図22(H)に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

10 また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

15 また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

20 以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態1～10、実施例1～4に示したいずれの構成の発光装置を用いても良い。

上記構成を有する本発明は、作製工程や使用する基板の相違によって生じるTFTの特性バラツキの影響を抑制して、所望の信号電流を外部に供給することができる。

25 また本発明は、設定動作を行う際、ビデオ信号を用いて、1列目から最終列目のうち、任意の列に配置された電流源回路を指定する。また、任意の期間だけ、電流源回路を指定する。そうすると、複数列に配置された電流源回路のうち、設定動作

が必要な電流源回路を指定することが可能となり、また指定された電流源回路では設定動作に時間をかけて行うことが可能となるため、正確に設定動作を行うことができる。なお複数列に配置された電流源回路のうち、1列目から最終列目まで順に電流源回路の設定動作を行ってもよい。しかし、1列目から順に電流源回路の設定動作を行うのではなく、電流源回路の設定動作をランダムに行うことができると、様々な利点が生じる。例えば、電流源回路の設定動作を行う時間の長さが自由に長くとれるようになる。また、設定動作を行うことができる期間が、1フレーム中に点在している場合は、任意の列をランダムに選択できると、自由度が上がり、設定動作の期間を長くとることができるようになる。そのほかの利点としては、電流源回路内に配置された容量素子における電荷の漏れの影響を目立たなくさせることができるようになる。このように、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。

さらに本発明は、ビデオ信号を電流源回路の設定動作のために利用することにより、電流源回路の設定動作の制御や電流源回路を指定するための専用の回路が不要になる。その結果、配置する回路数が減少するため、製造時における不良発生率を抑えることができるようになる。また、レイアウト面積も小さくできる。そのため、額縁面積を小さくでき、装置を小型化できる。

請 求 の 範 囲

1. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であつて、

5 前記複数の電流源回路の各々は、容量手段及び供給手段を有し、

前記複数の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

2. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であつて、

10 て、

1本の配線につき、各々が容量手段及び供給手段を有する2個の電流源回路が配置され、

前記2個の電流源回路のうち、ビデオ信号に従って、一方の電流源回路は供給された電流を電圧に変換し、他方の電流源回路は前記変換された電圧に応じた電流を

15 供給することを特徴とする信号線駆動回路。

3. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であつて、

1本の配線につき、各々が容量手段及び供給手段を有する n 個の電流源回路（ n は2以上の自然数）が配置され、

20 前記 n 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

4. 請求項3において、

前記 n 個の電流源回路は、互いに異なるビットに対応した n 個のリファレンス用

25 定電流源に接続され、

前記 n 個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$

2ⁿに設定されることを特徴とする信号線駆動回路。

5. 請求項3において、

前記n個の電流源回路は、最上位ビットに対応した1個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

5 6. 請求項1乃至請求項3のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

7. 請求項1乃至請求項3のいずれか一項において、

10 前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

8. 請求項1乃至請求項3のいずれか一項において、

15 前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

9. 請求項1乃至請求項3のいずれか一項において、

20 前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項3のいずれか一項において、

25 前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、リファレンス用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

1 1. 請求項 1 乃至請求項 3 のいずれか一項において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

5 1 2. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、第 1 及び第 2 のトランジスタを含むカレントミラー回路と、リファレンス用定電流源と前記第 1 トランジスタのドレインとの導通を制御する第 1 スイッチと、

10 前記第 1 トランジスタのドレインとゲート、前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲート、前記第 1 及び前記第 2 トランジスタのゲートと前記リファレンス用定電流源から選択されたいずれか 1 つの導通を制御する第 2 スイッチとを有することを特徴とする信号線駆動回路。

1 3. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、

15 前記第 1 及び前記第 2 トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

1 4. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、

前記第 1 トランジスタのゲート幅/ゲート長は、前記第 2 トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

1 5. 請求項 1 乃至請求項 3 のいずれか一項において、

20 前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第 1 及び第 2 スイッチと、前記トランジスタのゲートとドレインの導通を制御する第 3 スイッチを有し、

25 前記トランジスタのゲートは前記第 1 スイッチに接続され、前記トランジスタのソースは前記第 2 スイッチに接続され、前記トランジスタのドレインは前記第 3 スイッチに接続されることを特徴とする信号線駆動回路。

1 6. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、 m 個のトランジスタを含むカレントミラー回路を有し、

前記 m 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^m$ に設定され、

前記 m 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^m$ に設定される

5 ことを特徴とする信号線駆動回路。

17. 請求項1乃至請求項3のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

18. 請求項1乃至請求項3のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

19. 請求項1乃至請求項18のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする

15 発光装置。

20. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

20 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）をビデオ信号により指定し、

前記設定動作期間において、指定された前記 m 個の電流源回路の各々では、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

2 1. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

15 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）をビデオ信号により指定し、

前記アドレス期間及び前記設定動作期間において、指定された前記 m 個の電流源回路は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

2 2. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電

流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定

5 期間並びに第1及び第2設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は1以上の自然数) をビデオ信号により指定し、

前記第1設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた

10 電流を供給し、

前記第2設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

23. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された
15 画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

20 1 フレーム期間は設定期間と第1設定動作期間を有し、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は1以上の自然数) をビデオ信号により指定し、

前記第1設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた

25 電流を供給し、

前記設定期間と前記第1設定動作期間を足した期間は、第2設定期間と同じであ

り、

前記第2設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

5 24. 請求項23において、

前記第1及び前記第2設定動作期間は、一部重なることを特徴とする発光装置の駆動方法。

25. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

10 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

1フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定期間及び設定動作期間を有し、

15 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路をビデオ信号により指定し、

前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

20 26. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

25 1フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間から選択された x 個の水平走査期間（ x は1以上の自然

数)は設定期間及び設定動作期間を有し、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路をビデオ信号により指定し、

- 前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ
- 5 信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

27. 請求項20乃至請求項26のいずれか一項において、

前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

- 10 28. 請求項20乃至請求項26のいずれか一項において、

前記複数の配線は複数の信号線又は複数の電流線であることを特徴とする発光装置の駆動方法。

補正書の請求の範囲

補正書の請求の範囲 [2003年3月31日(31.03.03)国際事務局受理:出願当初の請求の範囲1-4、16及び20-26は補正された;新たな請求の範囲29-32が追加された;他の請求の範囲は変更なし。(8頁)]

1. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、
 - 5 前記複数の電流源回路の各々は、容量手段及び供給手段を有し、
前記複数の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
 2. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、
 - 10 1本の配線につき、各々が容量手段及び供給手段を有する2個の電流源回路が配置され、
前記2個の電流源回路のうち、設定信号に従って、一方の電流源回路は供給された電流を電圧に変換し、他方の電流源回路は前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
 - 15 3. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、
1本の配線につき、各々が容量手段及び供給手段を有するn個の電流源回路(nは2以上の自然数)が配置され、
 - 20 前記n個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
 4. (補正後) 請求項3において、
前記n個の電流源回路は、互いに異なるビットに対応したn個のリファレンス用定電流源に接続され、
 - 25 前記n個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$

2ⁿ⁻¹に設定されることを特徴とする信号線駆動回路。

5. 請求項3において、

前記n個の電流源回路は、最上位ビットに対応した1個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

5 6. 請求項1乃至請求項3のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

7. 請求項1乃至請求項3のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

8. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

9. 請求項1乃至請求項3のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、リファレンス用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

1 1. 請求項 1 乃至請求項 3 のいずれか一項において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

5 1 2. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、第 1 及び第 2 のトランジスタを含むカレントミラー回路と、リファレンス用定電流源と前記第 1 トランジスタのドレインとの導通を制御する第 1 スイッチと、

前記第 1 トランジスタのドレインとゲート、前記第 1 トランジスタのゲートと前
10 記第 2 トランジスタのゲート、前記第 1 及び前記第 2 トランジスタのゲートと前記リファレンス用定電流源から選択されたいずれか 1 つの導通を制御する第 2 スイッチとを有することを特徴とする信号線駆動回路。

1 3. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、

前記第 1 及び前記第 2 トランジスタのゲート幅/ゲート長は同じ値に設定される
15 ことを特徴とする信号線駆動回路。

1 4. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、

前記第 1 トランジスタのゲート幅/ゲート長は、前記第 2 トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

1 5. 請求項 1 乃至請求項 3 のいずれか一項において、

20 前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第 1 及び第 2 スイッチと、前記トランジスタのゲートとドレインの導通を制御する第 3 スイッチを有し、

前記トランジスタのゲートは前記第 1 スイッチに接続され、前記トランジスタのソースは前記第 2 スイッチに接続され、前記トランジスタのドレインは前記第 3 ス
25 イッチに接続されることを特徴とする信号線駆動回路。

1 6. (補正後) 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、 m 個のトランジスタを含むカレントミラー回路を有し、

前記 m 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^{m-1}$ に設定され、

前記 m 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^{m-1}$ に設定され

5 ることを特徴とする信号線駆動回路。

17. 請求項1乃至請求項3のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

18. 請求項1乃至請求項3のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

19. 請求項1乃至請求項18のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする

15 発光装置。

20. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

20 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）を設定信号により指定し、

前記設定動作期間において、指定された前記 m 個の電流源回路の各々では、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

21.（補正後）複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

15 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）を設定信号により指定し、

前記アドレス期間及び前記設定動作期間において、指定された前記 m 個の電流源回路は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

22.（補正後）複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電

流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1 フレーム期間は、設定期間並びに第1及び第2設定動作期間を有し、

前記設定期間及び前記第1設定動作期間は、前記複数の走査線のいずれも選択されていない期間に設けられ、

- 5 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は1以上の自然数) を設定信号により指定し、

前記第1設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給し、

- 10 前記第2設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

23. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

- 15 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1 フレーム期間は、設定期間並びに第1及び第2設定動作期間を有し、

- 20 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は1以上の自然数) を設定信号により指定し、

前記第1設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給し、

- 25 前記第2設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを

特徴とする発光装置の駆動方法。

24. (補正後) 請求項23において、

前記設定期間及び前記第1設定動作期間と、前記第2設定動作期間は、一部重なることを特徴とする発光装置の駆動方法。

5 25. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

10 1フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定期間及び設定動作期間を有し、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路を設定信号により指定し、

15 前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

26. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

20 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

1フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間から選択された x 個の水平走査期間(x は1以上の自然数)は設定期間及び設定動作期間を有し、

25 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路を設定信号により指定し、

前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

27. 請求項20乃至請求項26のいずれか一項において、

- 5 前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

28. 請求項20乃至請求項26のいずれか一項において、

前記複数の配線は複数の信号線又は複数の電流線であることを特徴とする発光装置の駆動方法。

- 10 29. (追加) 請求項1乃至請求項19のいずれか一項において、前記複数の配線の各々にはスイッチが設けられており、前記スイッチは前記変換された電圧に応じた電流のオンまたはオフを行うことを特徴とする信号線駆動回路。

30. (追加) 請求項29において、前記変換された電圧に応じた電流のオンまたはオフは、ビデオ信号に従って行うことを特徴とする信号線駆動回路。

- 15 31. (追加) 請求項20乃至請求項26のいずれか一項において、前記複数の配線の各々にはスイッチが設けられており、前記スイッチは前記変換された電圧に応じた電流のオンまたはオフを行うことを特徴とする発光装置の駆動方法。

32. (追加) 請求項31において、前記変換された電圧に応じた電流のオンまたはオフは、ビデオ信号に従って行うことを特徴とする発光装置の駆動方法。

FIG. 1

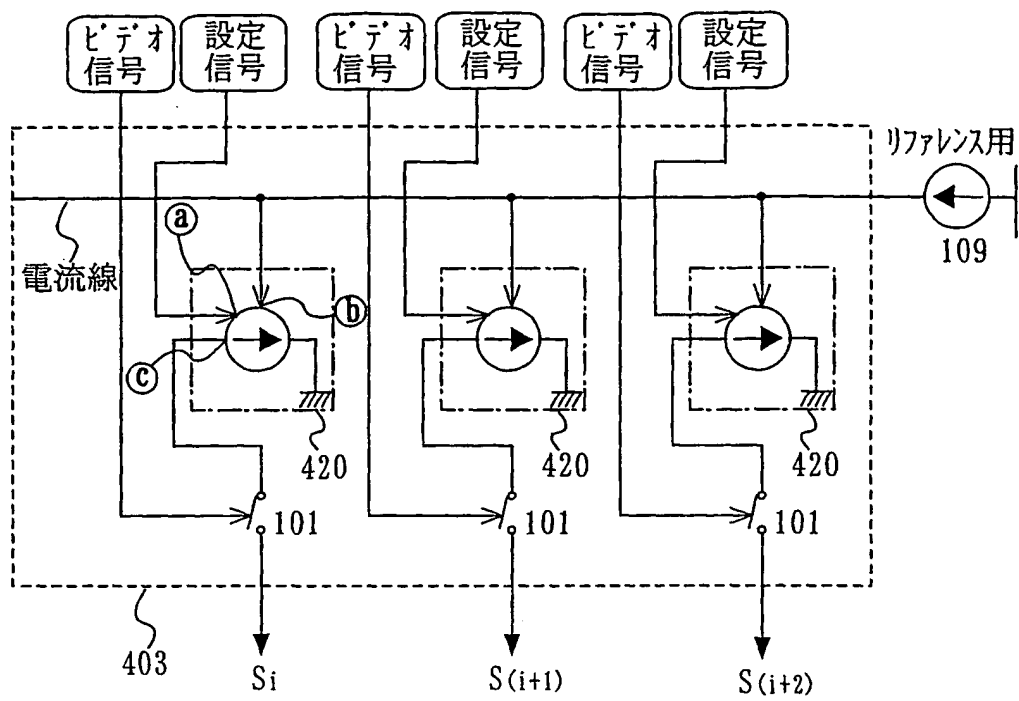


FIG. 2

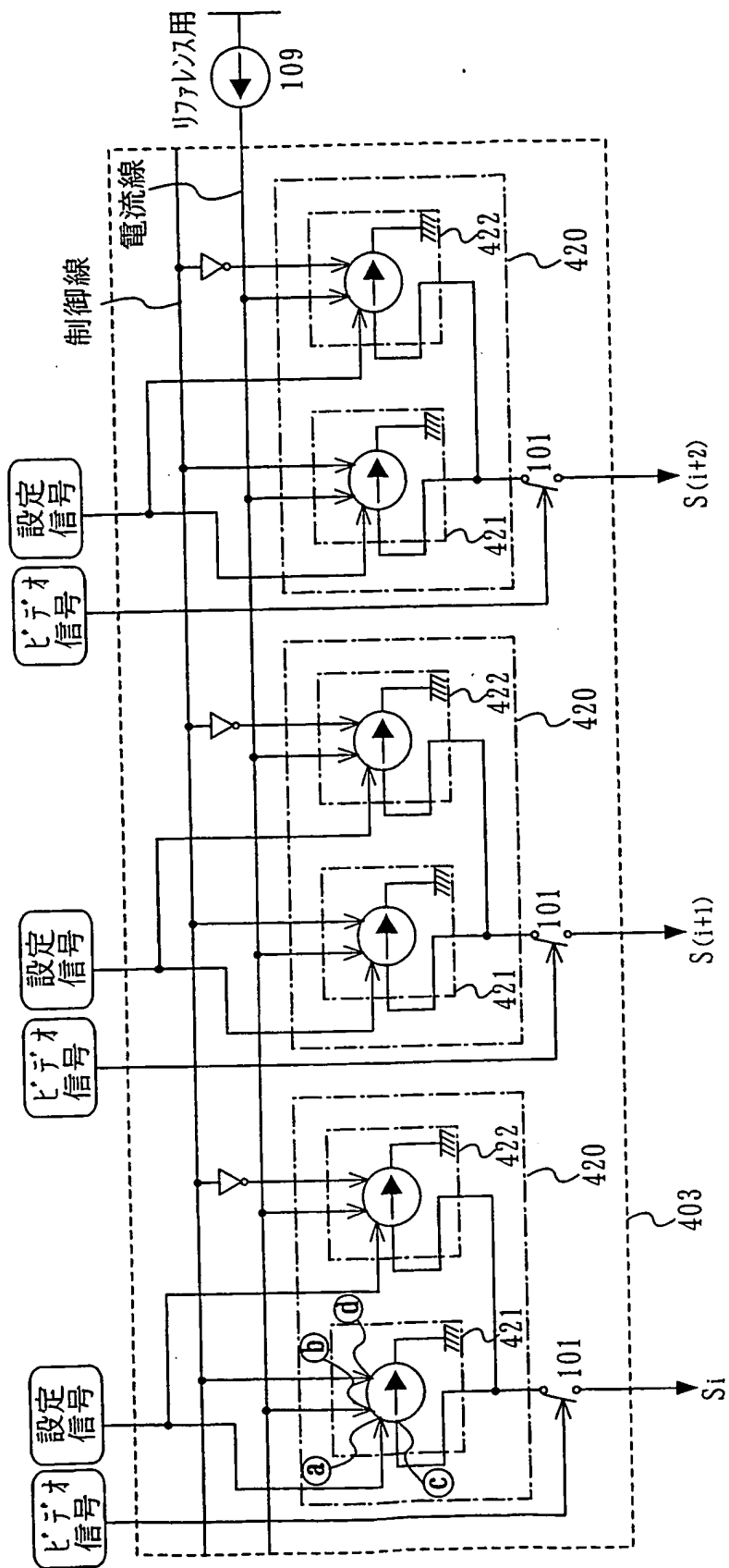


FIG. 3A

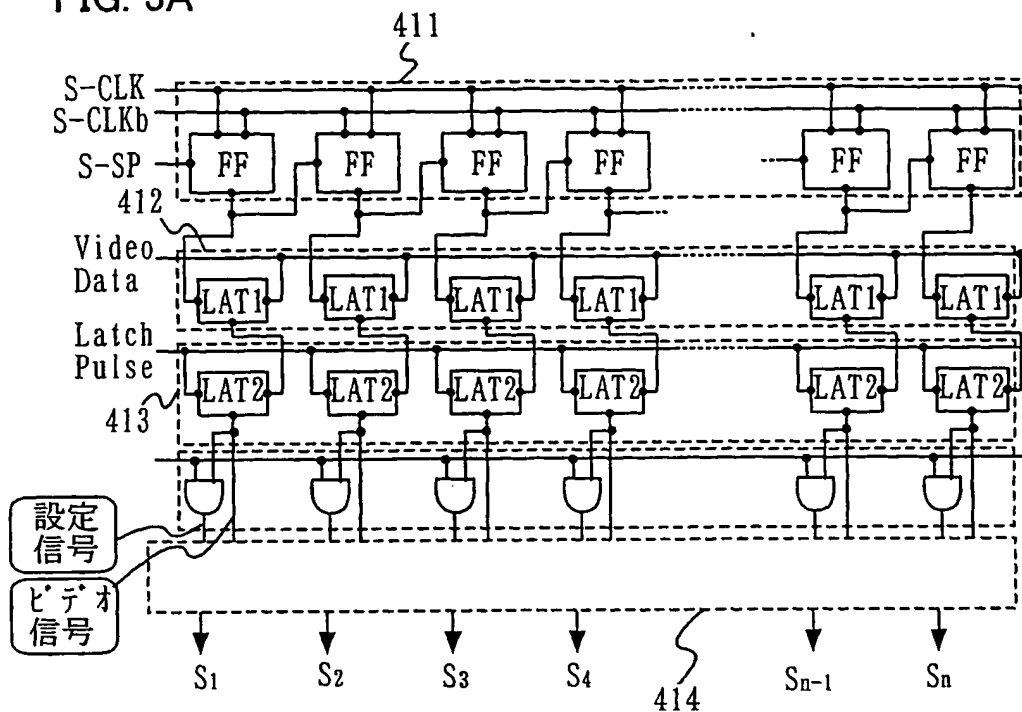


FIG. 3B

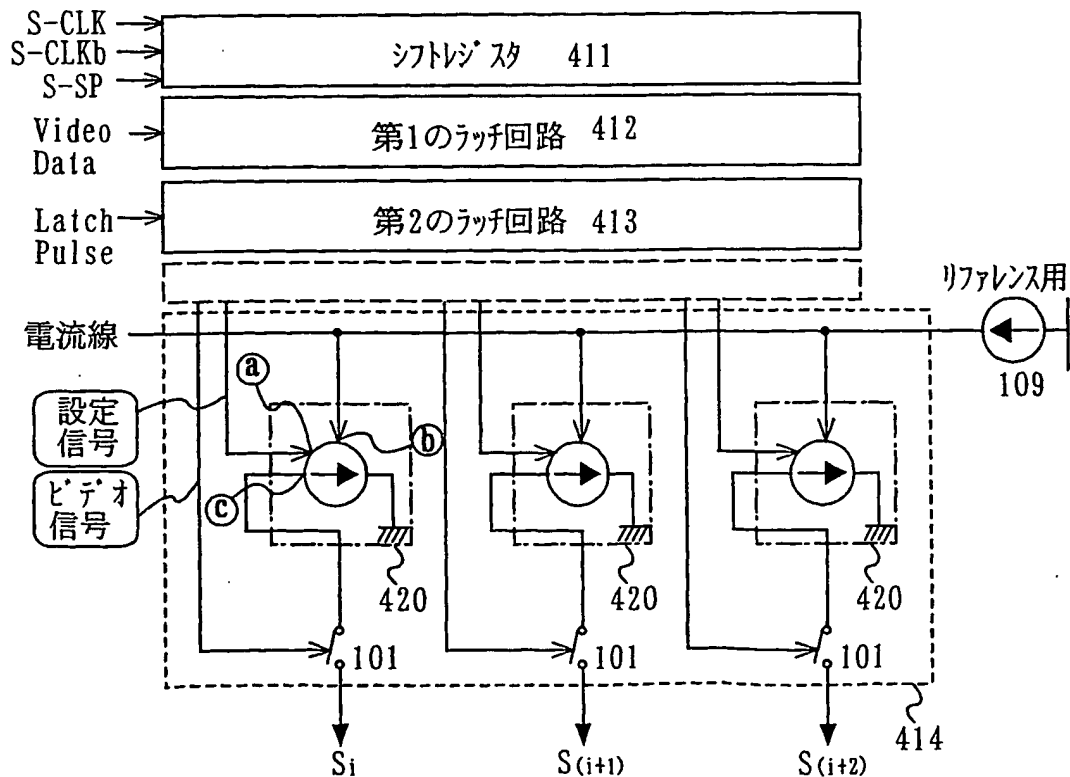


FIG. 4

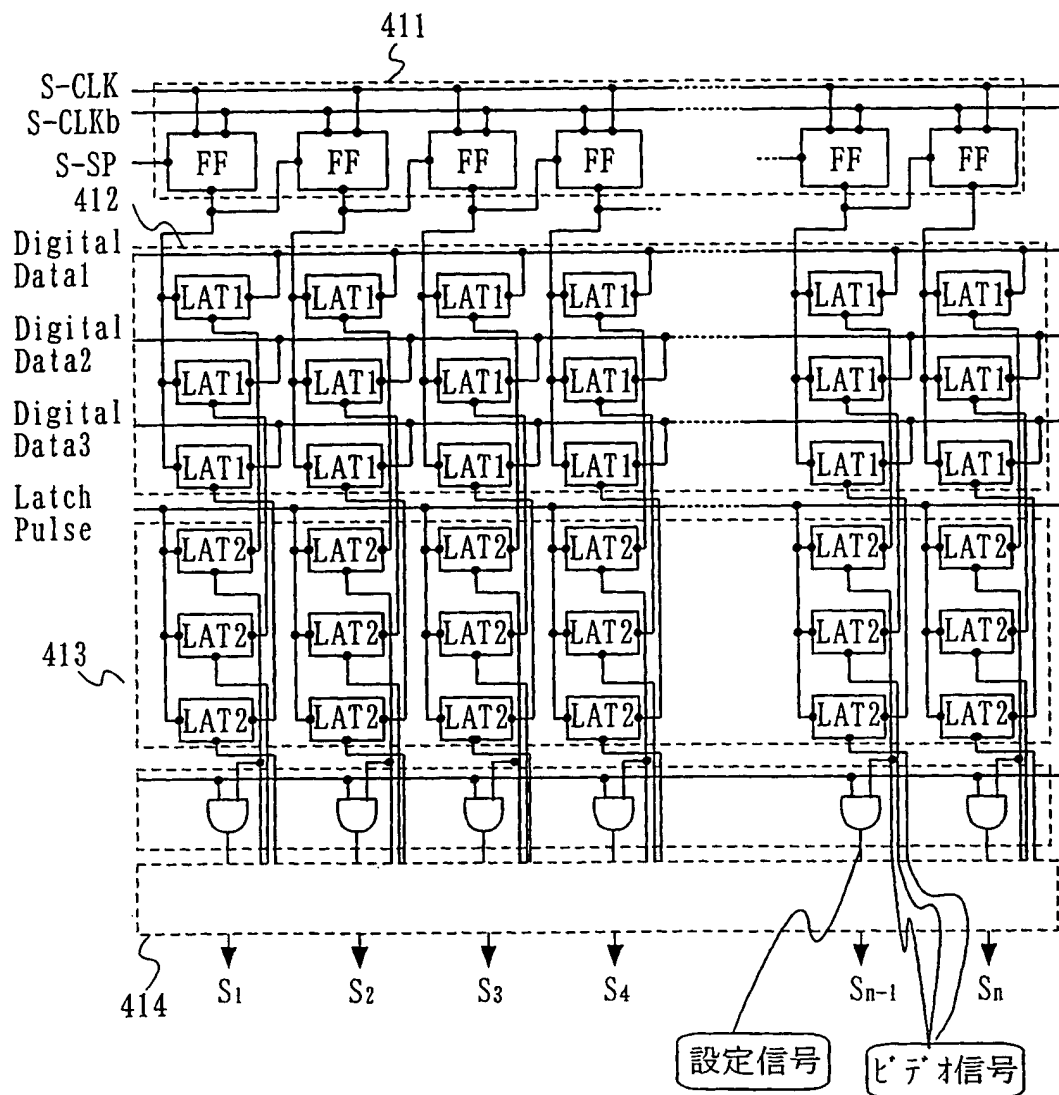
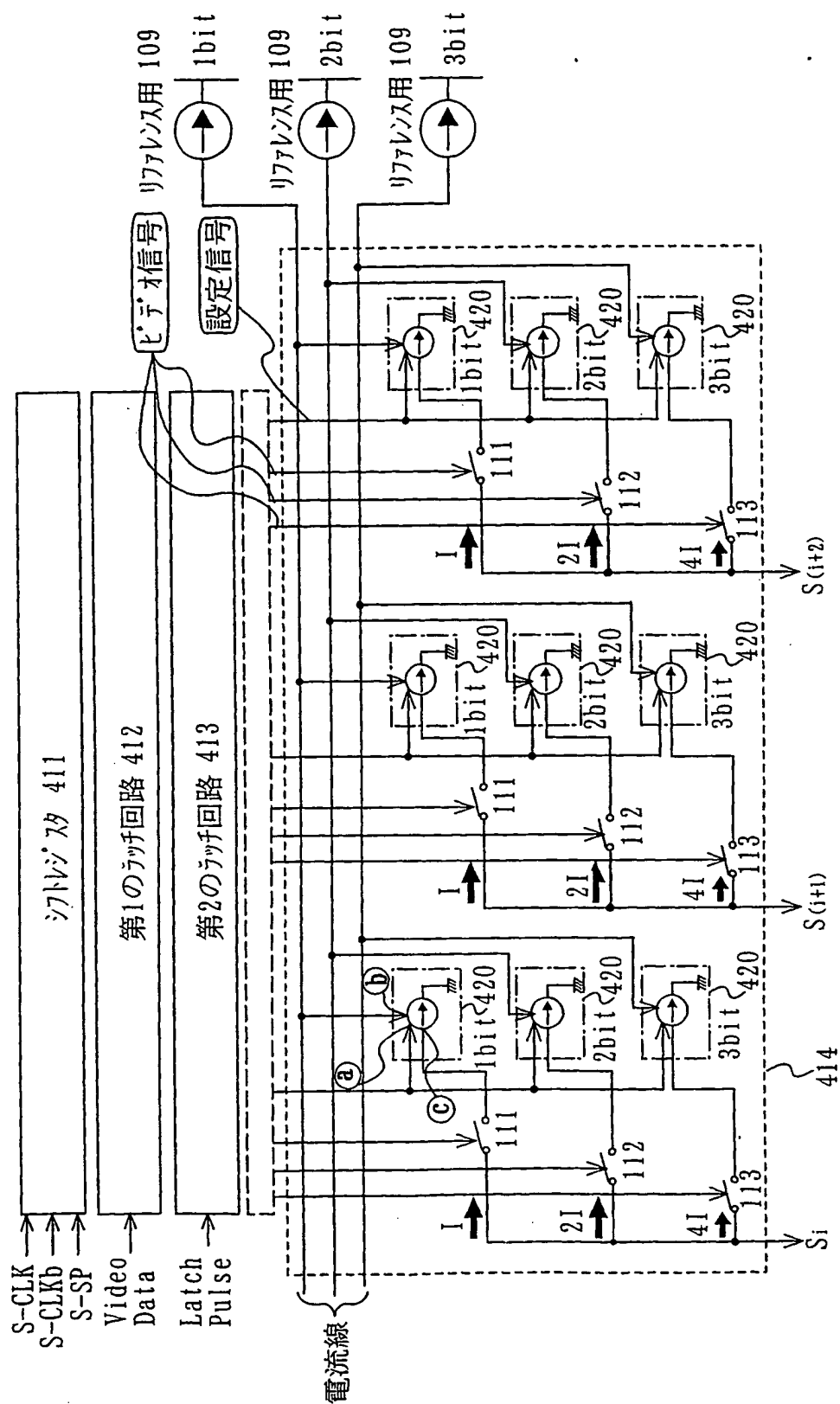


FIG. 5



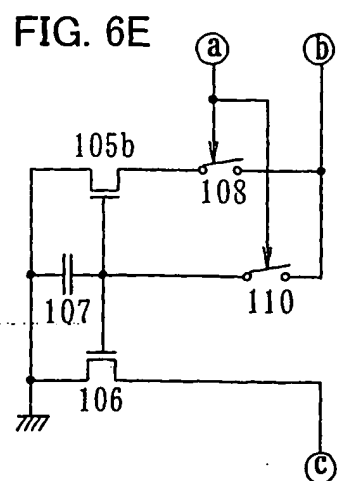
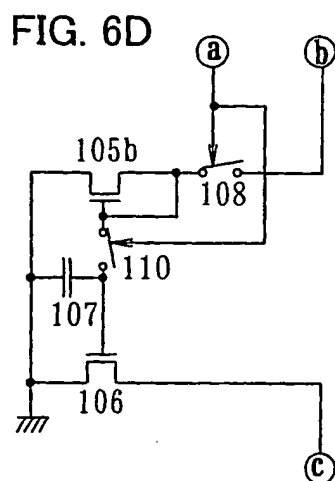
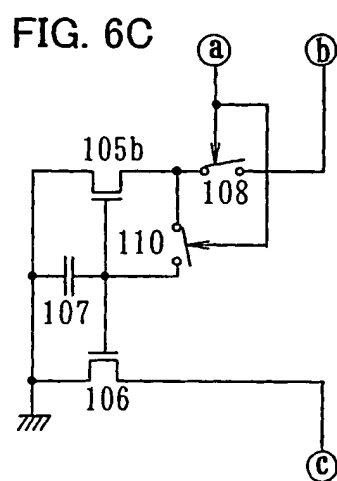
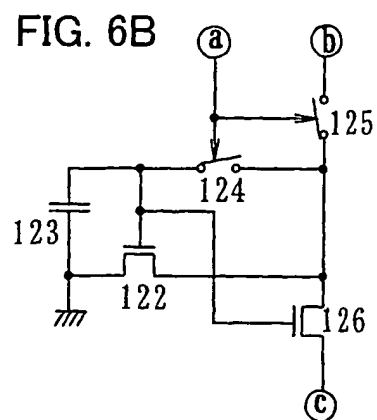
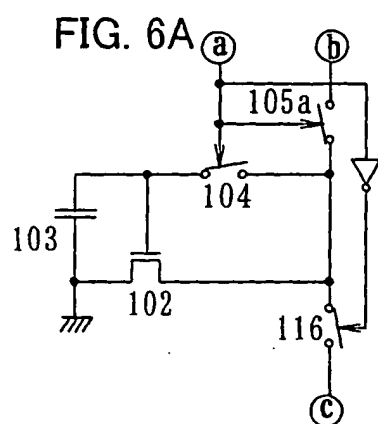


FIG. 7A

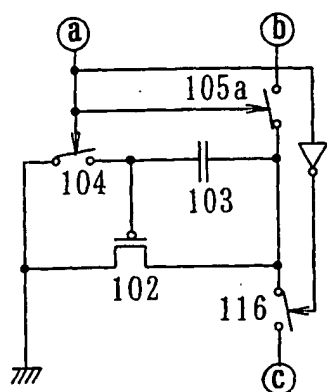


FIG. 7B

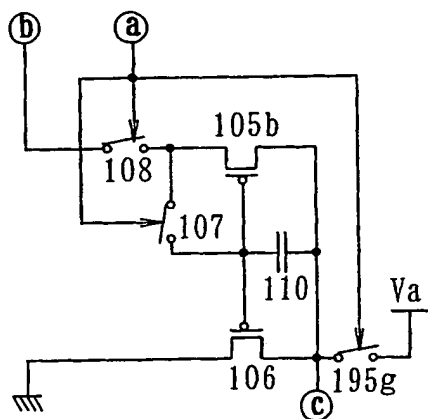


FIG. 7C

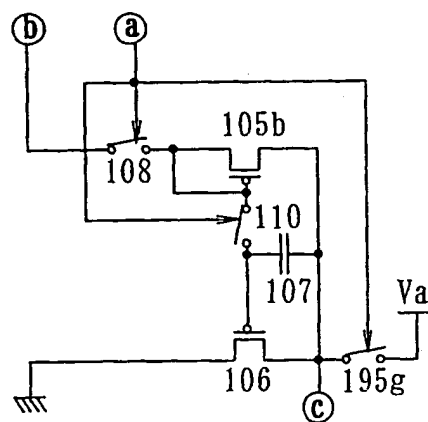


FIG. 7D

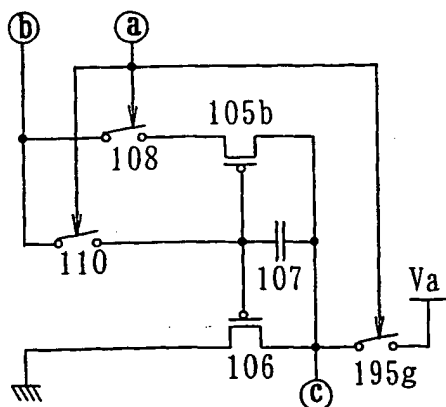


FIG. 8A

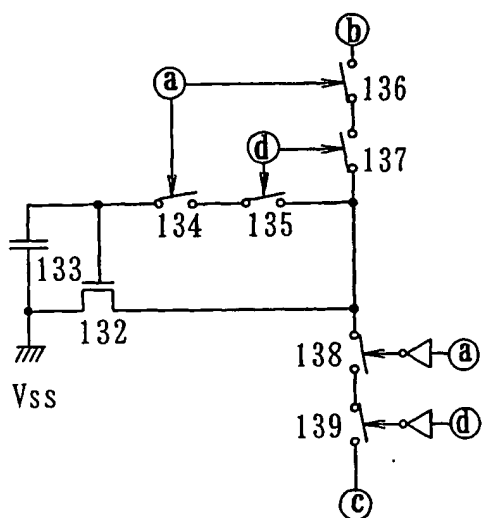


FIG. 8B

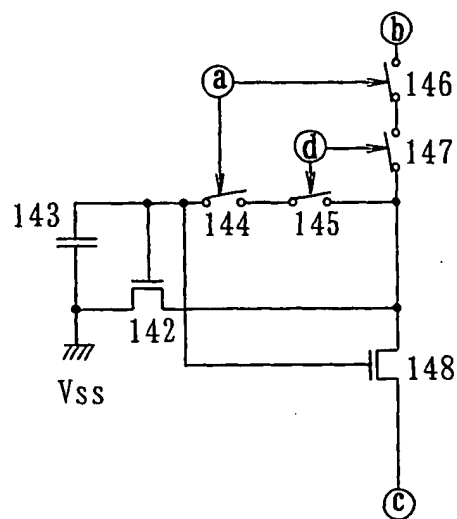
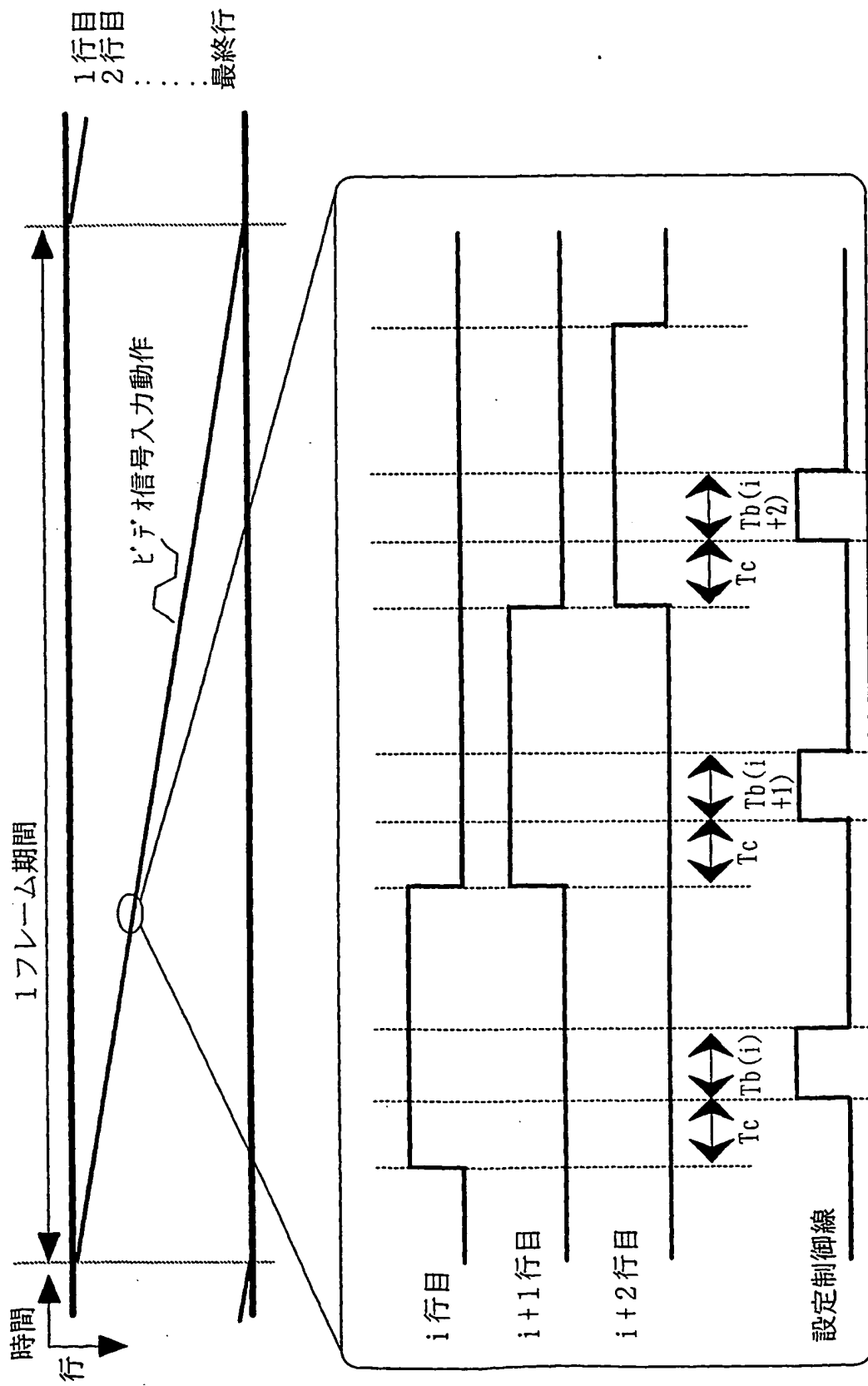


FIG. 9



10/84

FIG. 10

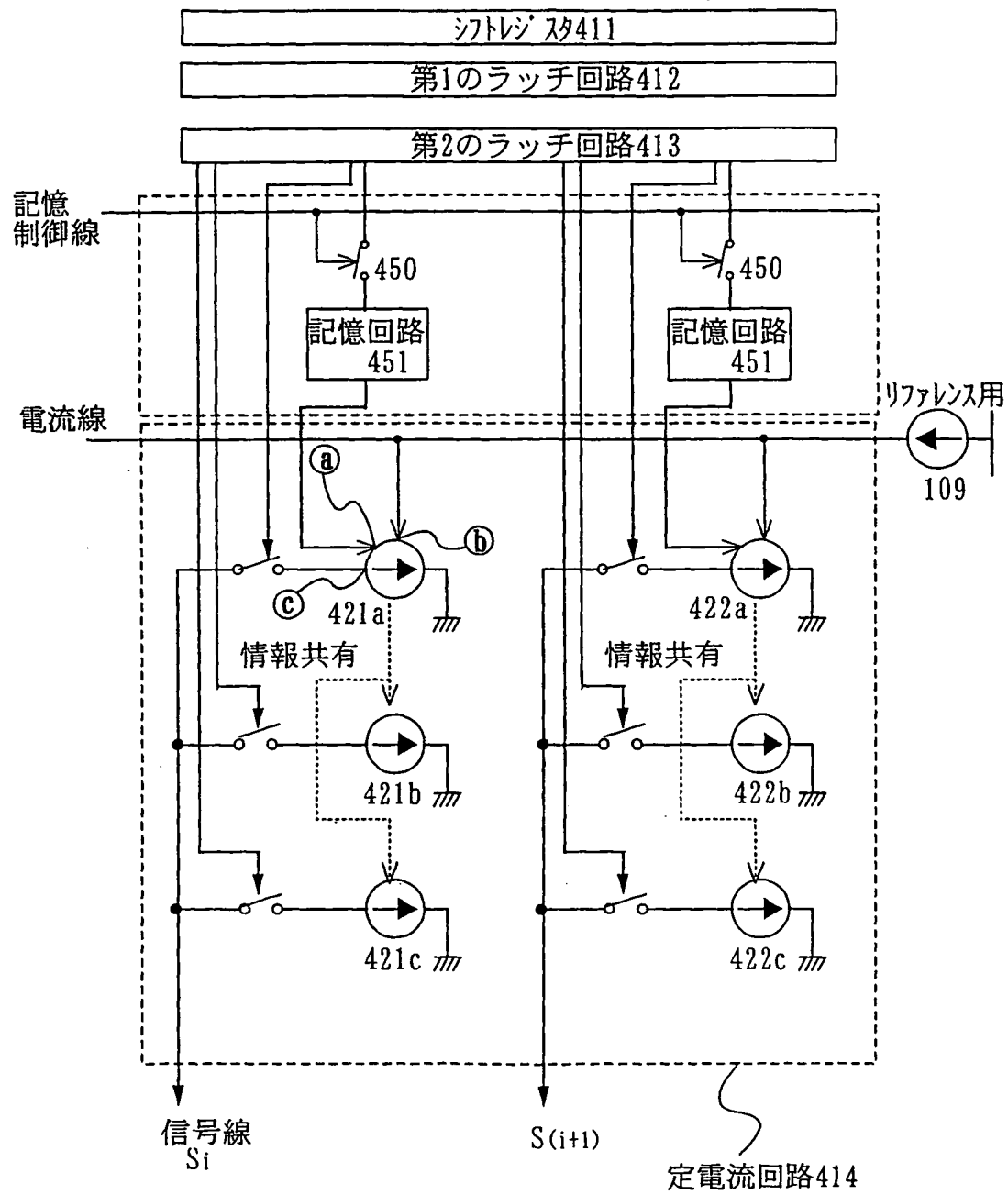
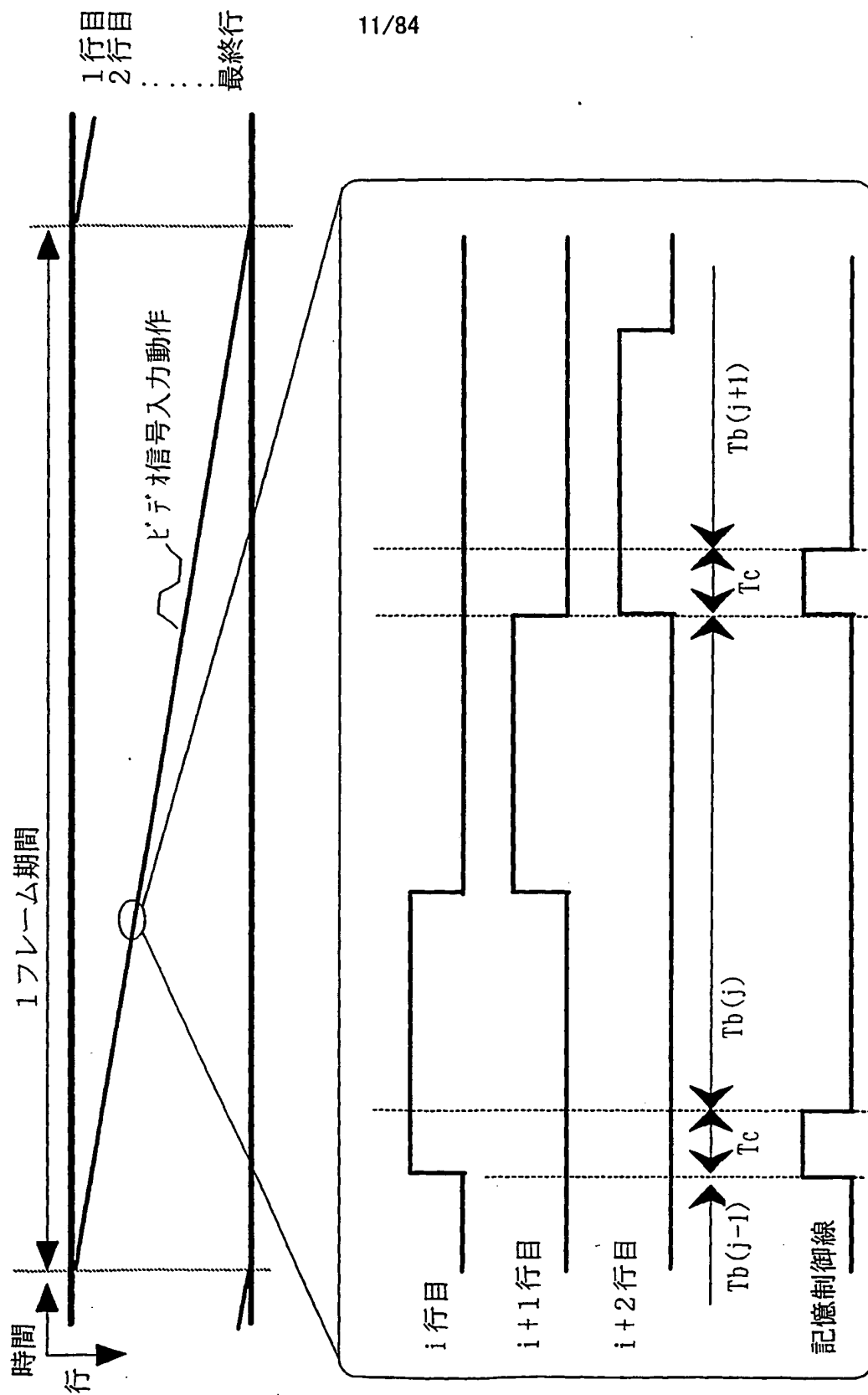


FIG. 11



12/84

FIG. 12A

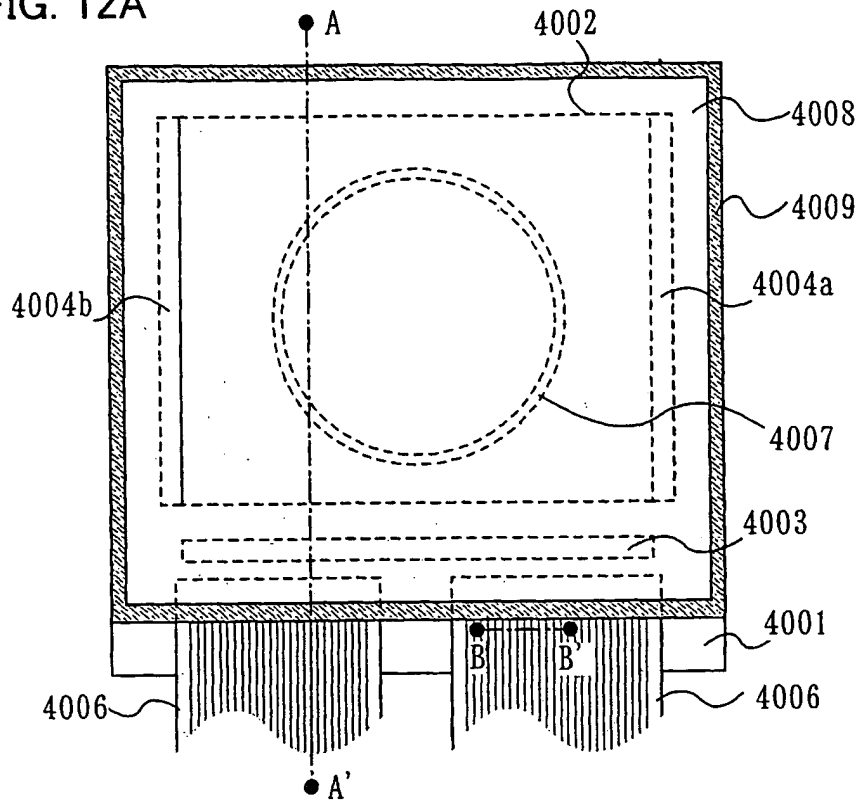


FIG. 12B

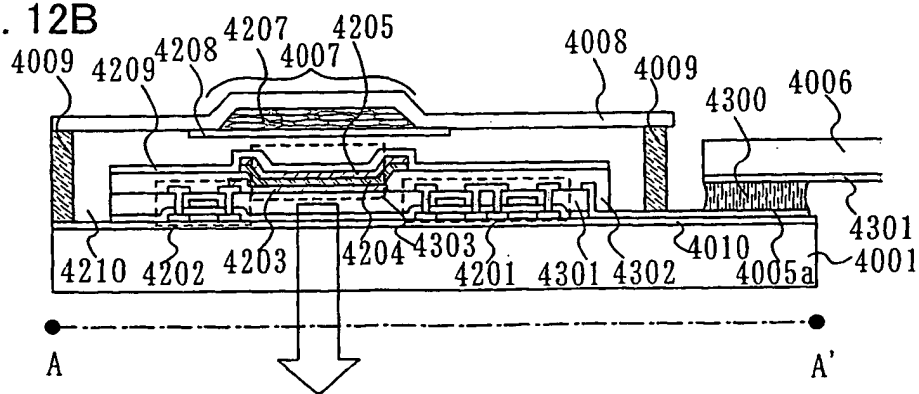
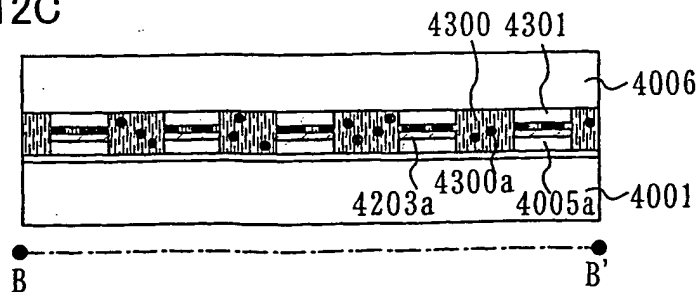


FIG. 12C



13/84

FIG. 13A

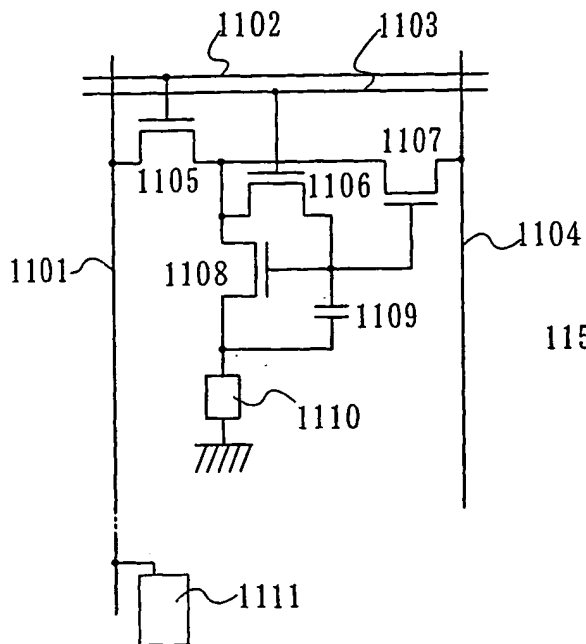


FIG. 13B

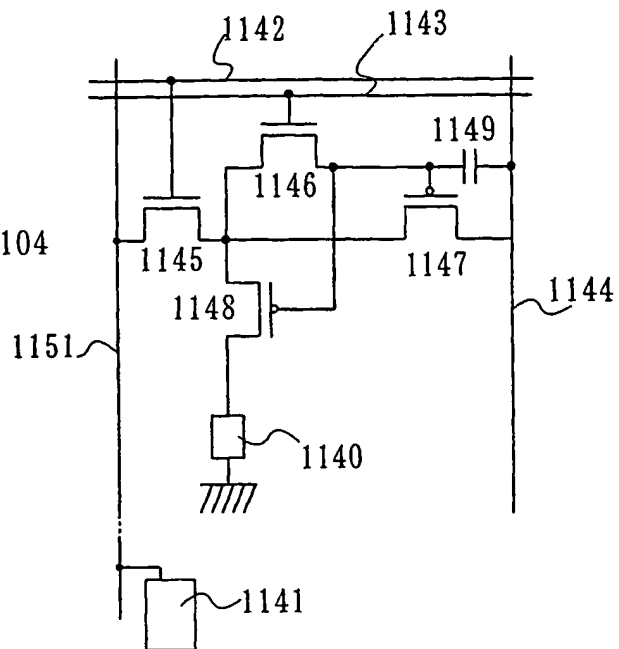
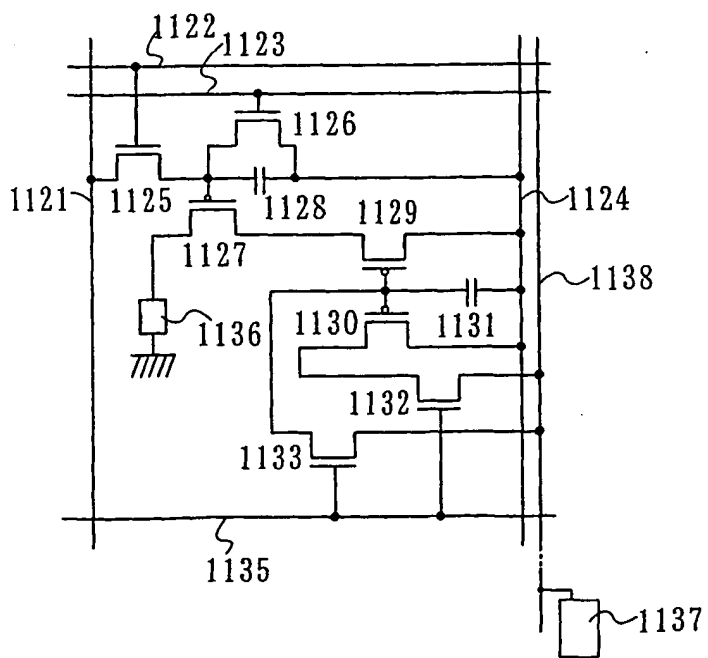


FIG. 13C



14/84

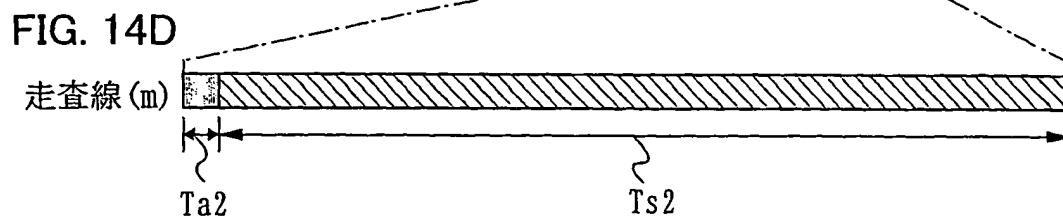
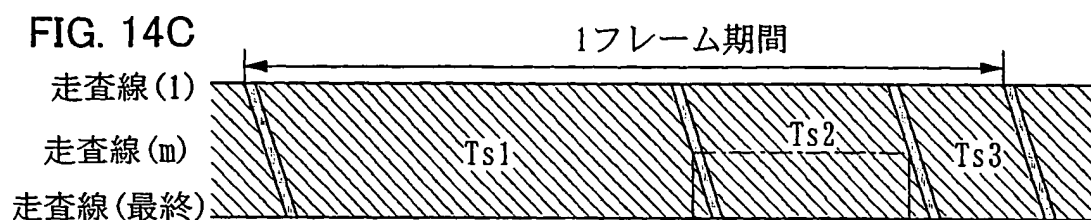
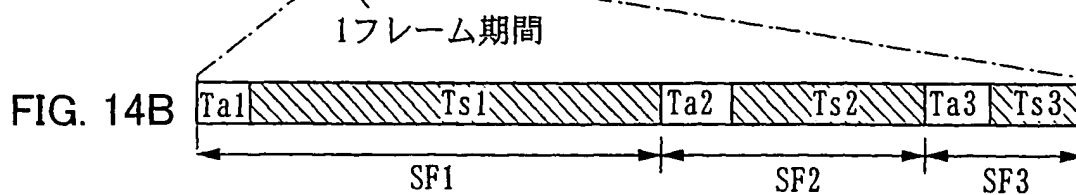


FIG. 15A

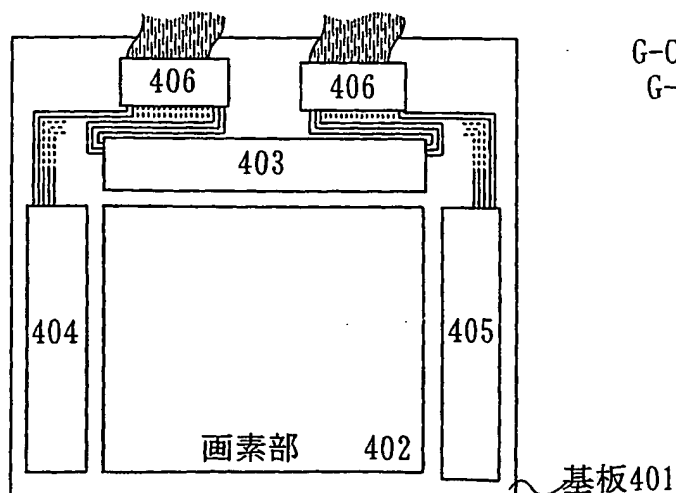
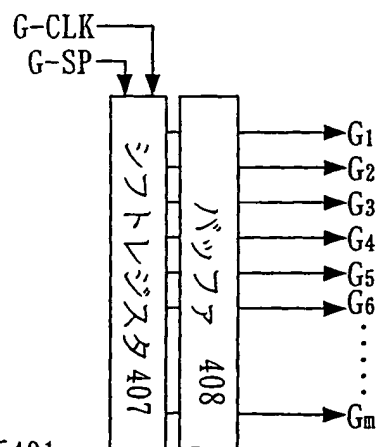


FIG. 15B



差替え用紙 (規則26)

15/84

FIG. 16A

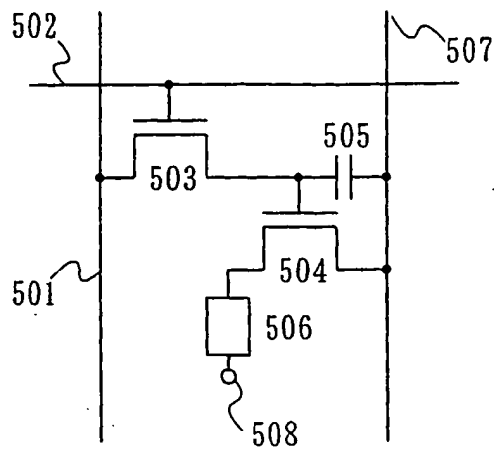
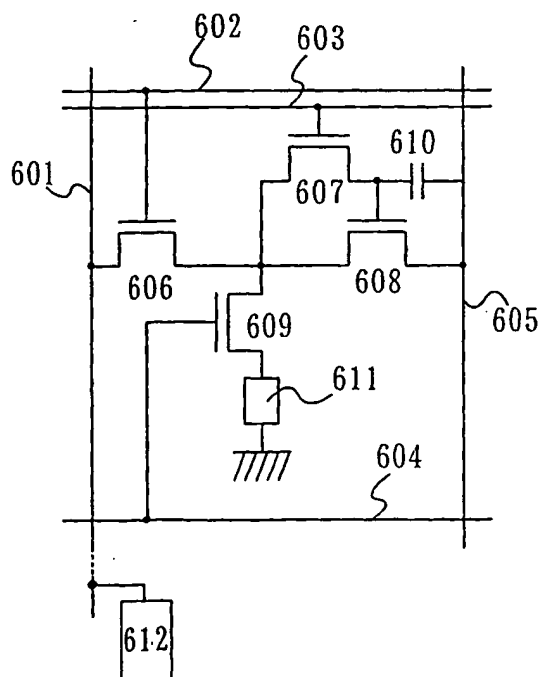


FIG. 16B



16/84

FIG. 17A

信号入力時

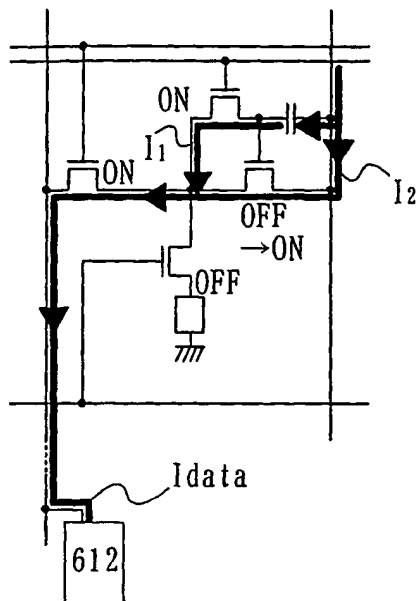


FIG. 17B

信号入力完了時

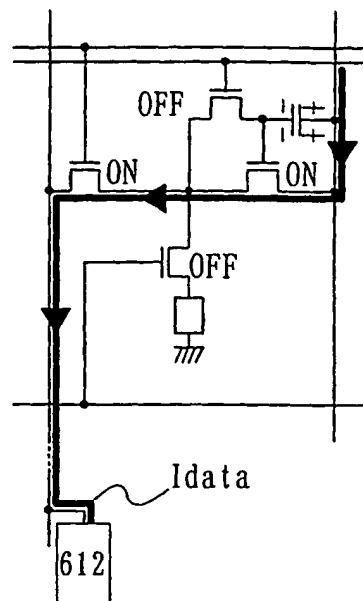


FIG. 17C

発光時

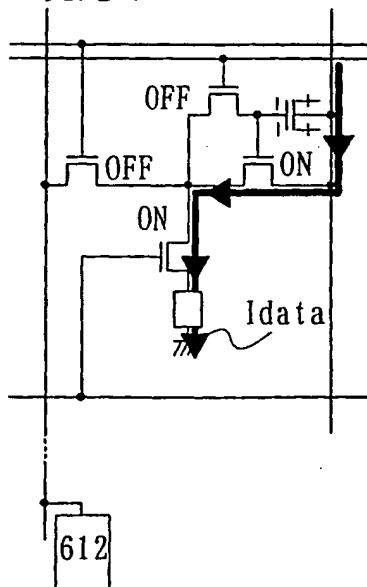


FIG. 17D

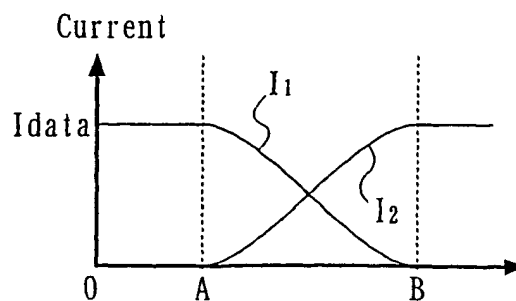


FIG. 17E

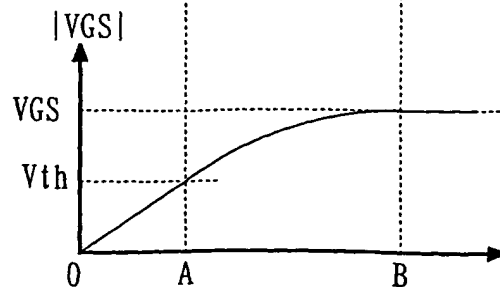


FIG. 18A

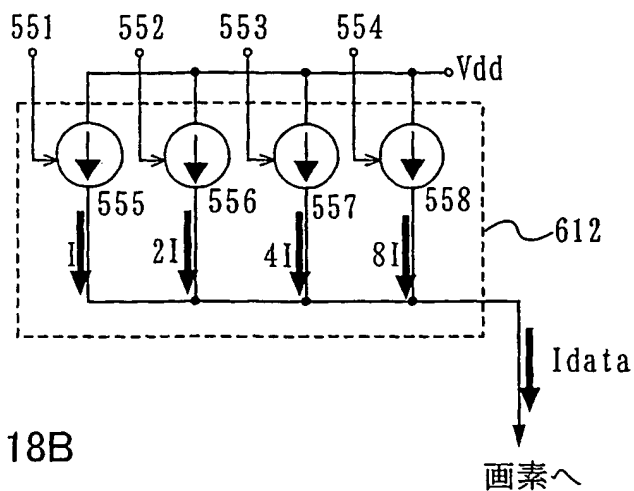
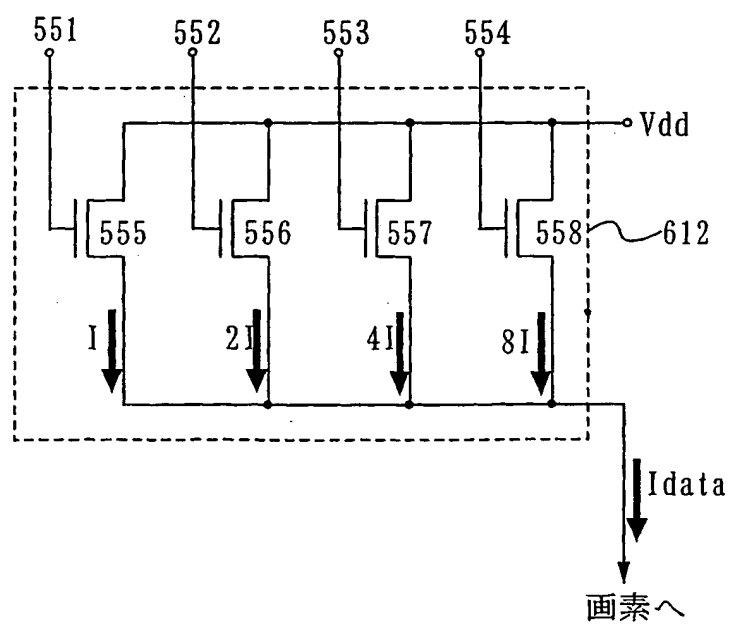


FIG. 18B



18/84

FIG. 19A

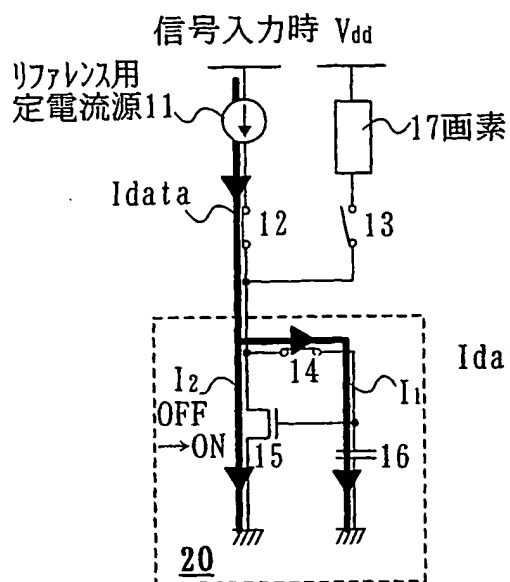


FIG. 19B

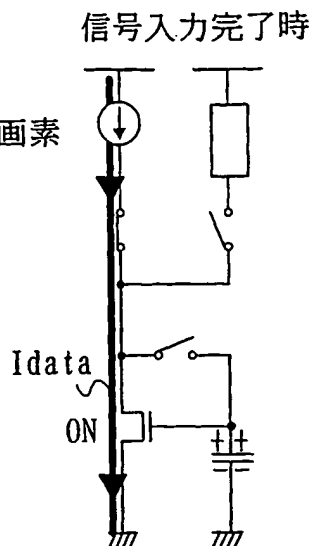


FIG. 19C

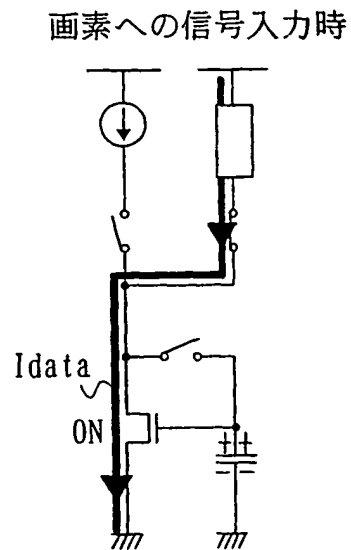


FIG. 19D

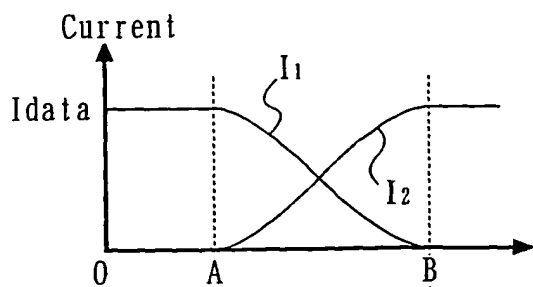


FIG. 19E

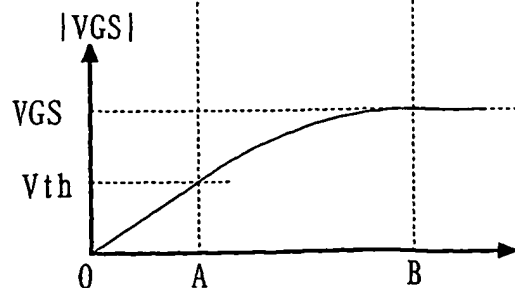
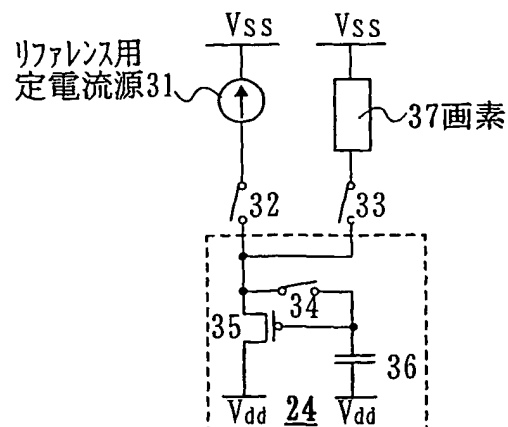


FIG. 19F



19/84

FIG. 20A

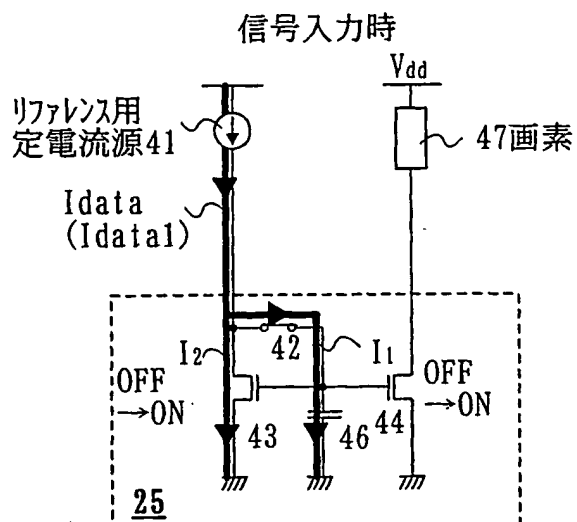


FIG. 20B

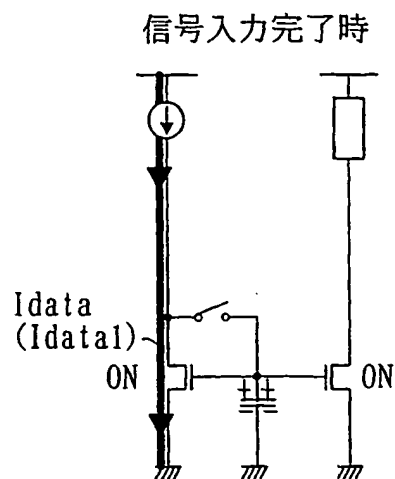


FIG. 20C

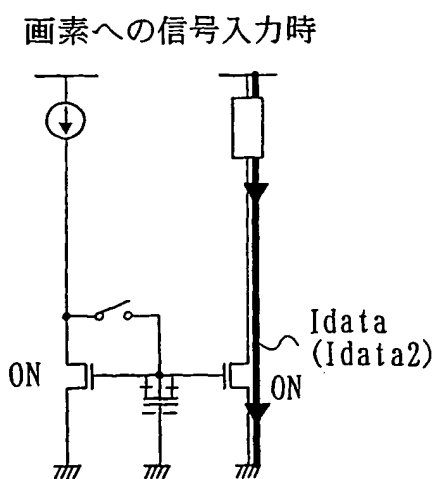


FIG. 20D

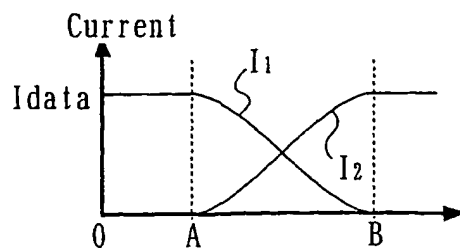
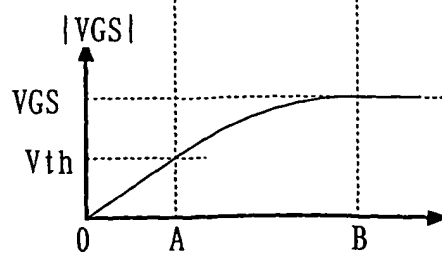
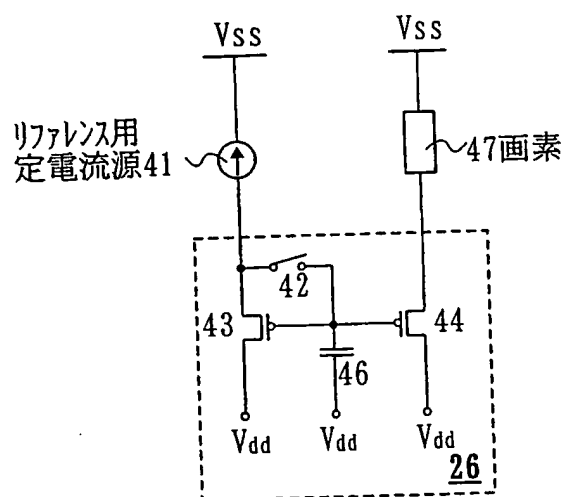


FIG. 20E



20/84

FIG. 21



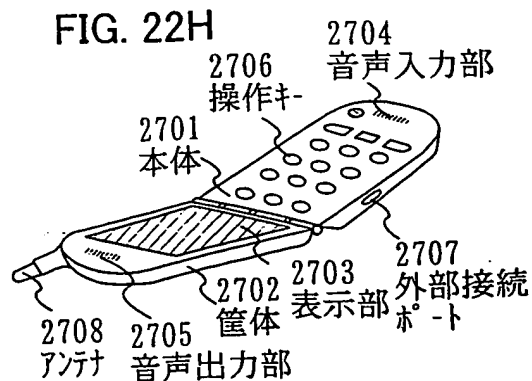
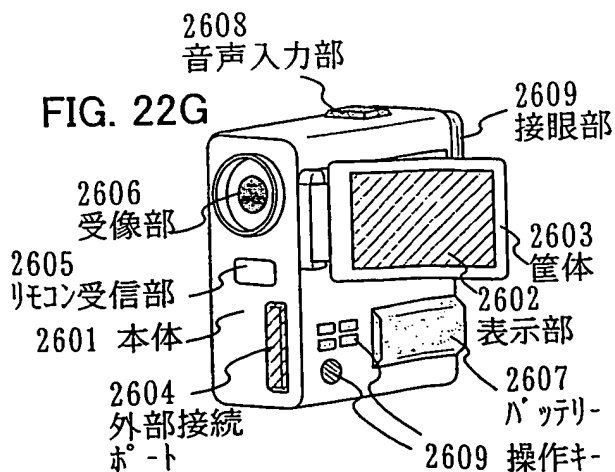
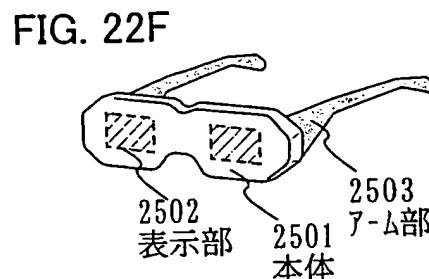
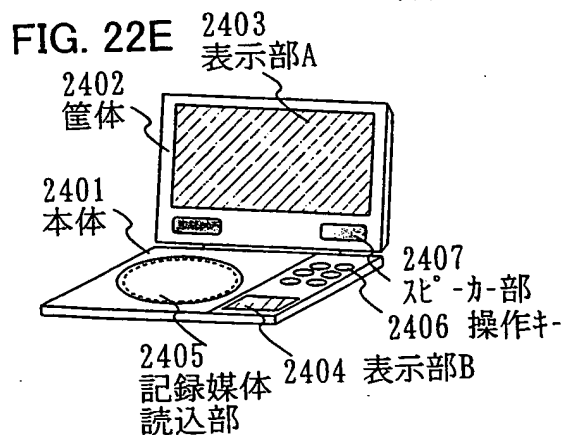
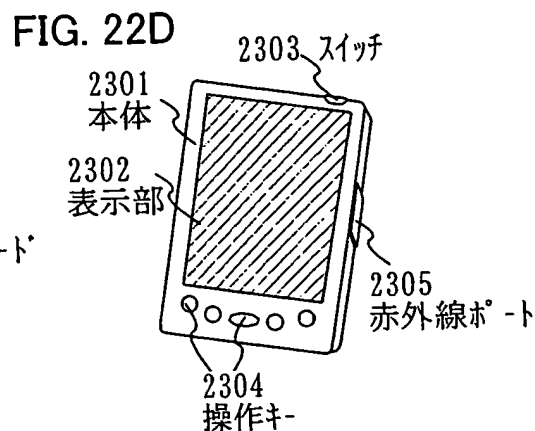
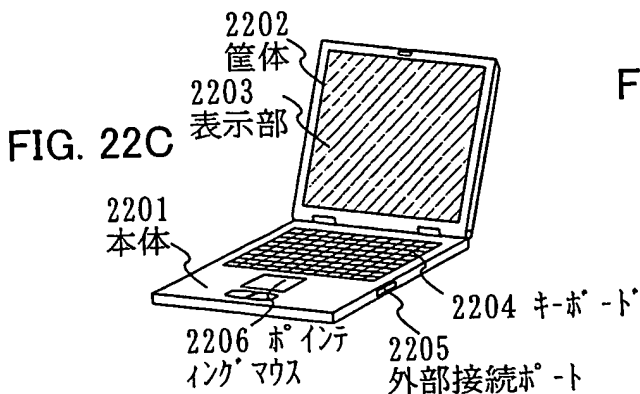
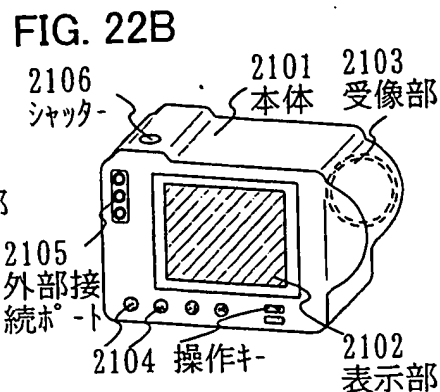
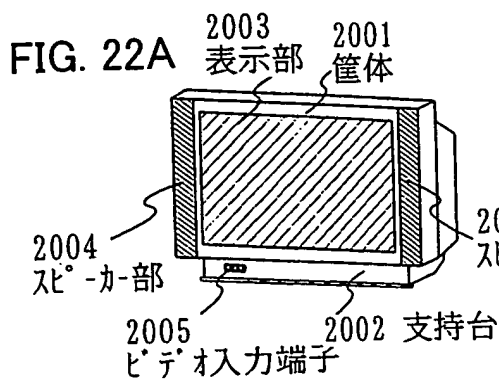


FIG. 23

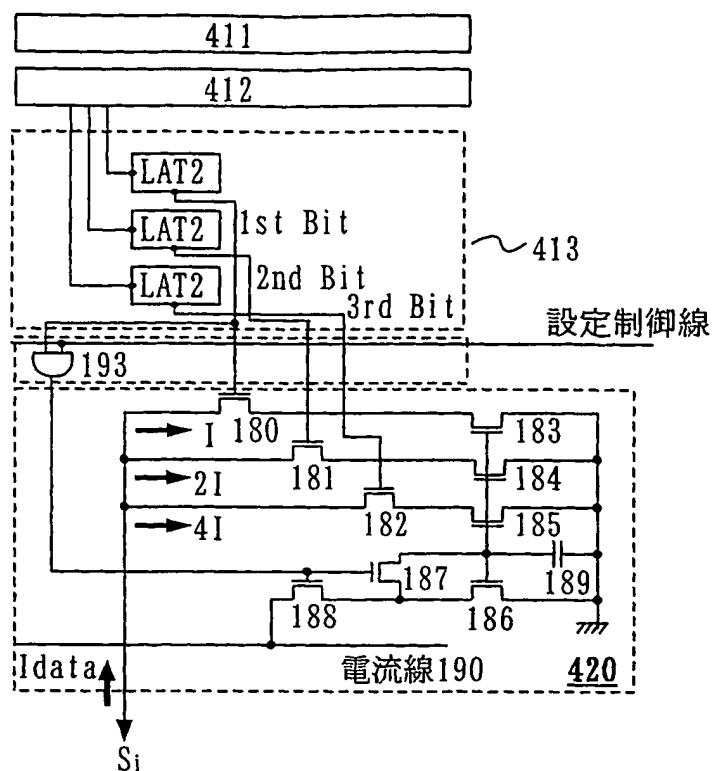
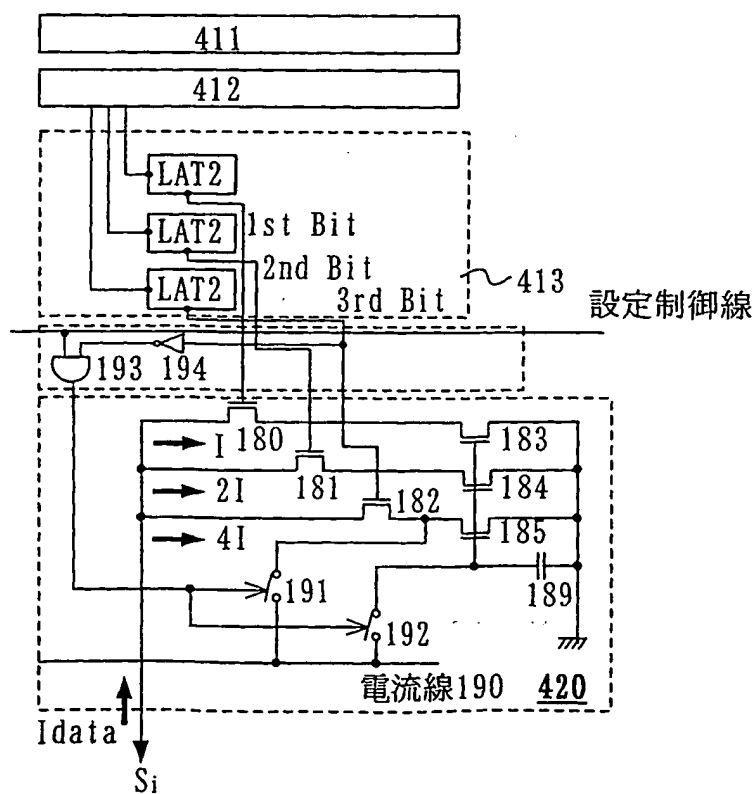


FIG. 24



23/84

FIG. 25A

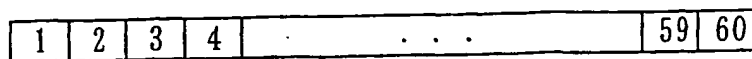


FIG. 25B

走査線(1)
走査線(m)
走査線(最終)

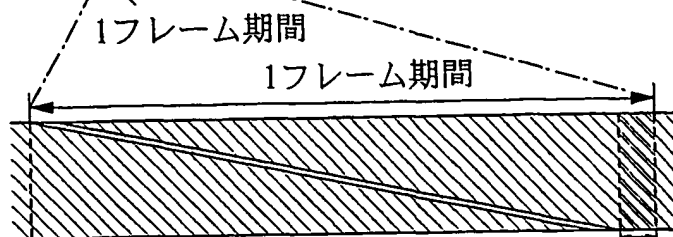


FIG. 25C

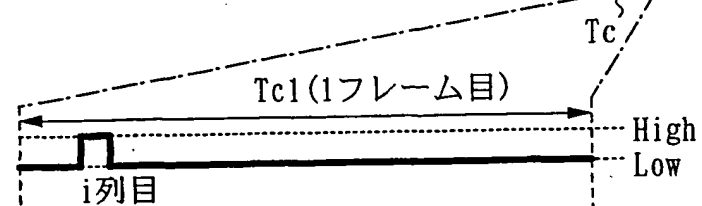


FIG. 25D

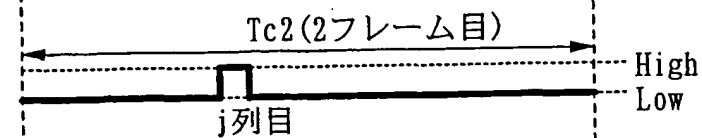
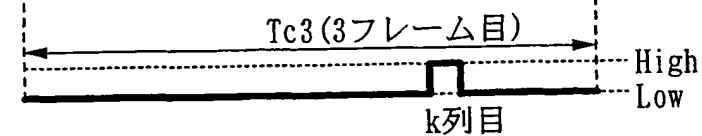


FIG. 25E



24/84

FIG. 26A

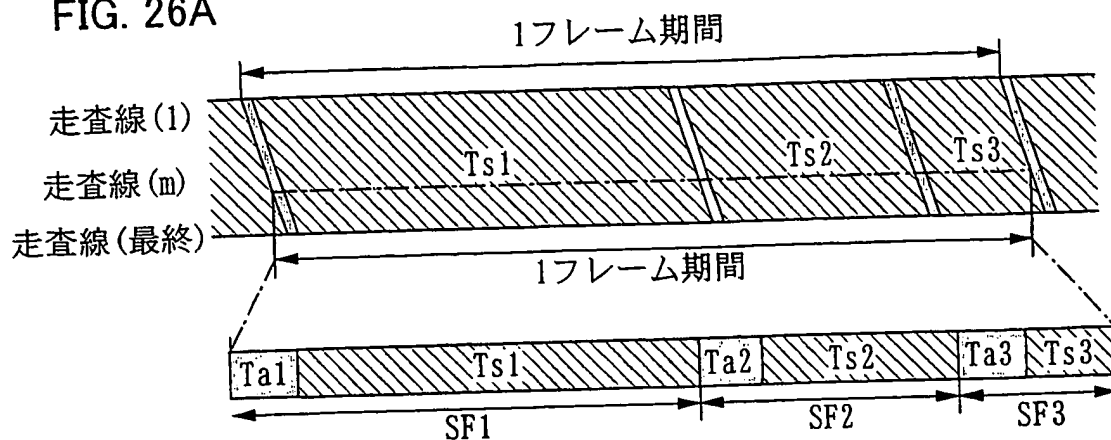


FIG. 26B

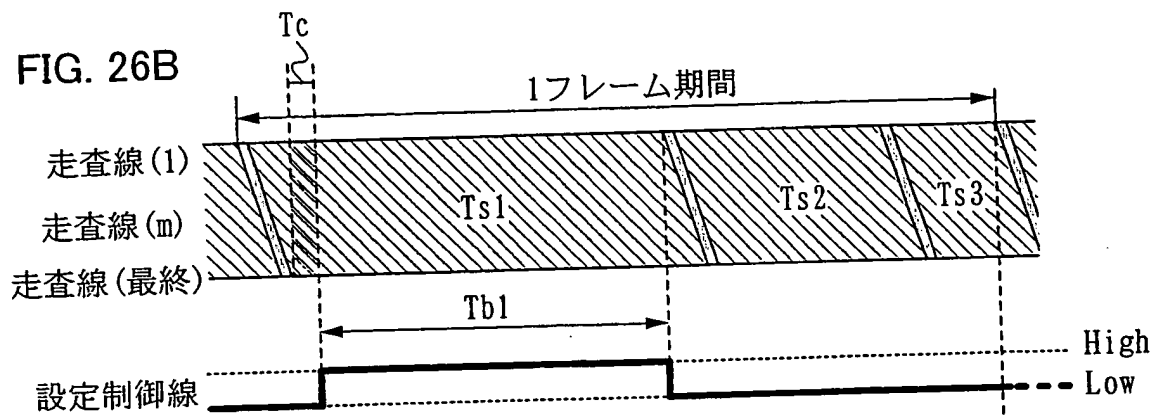
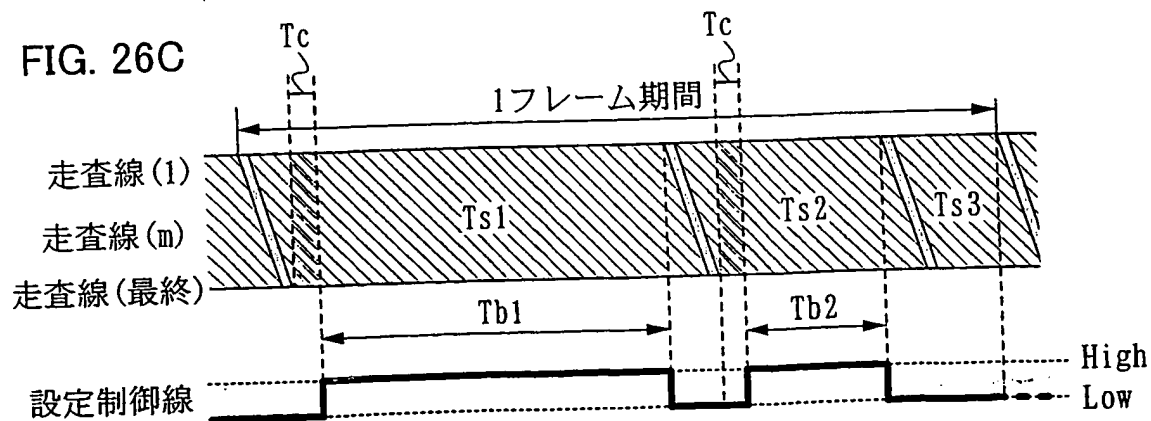
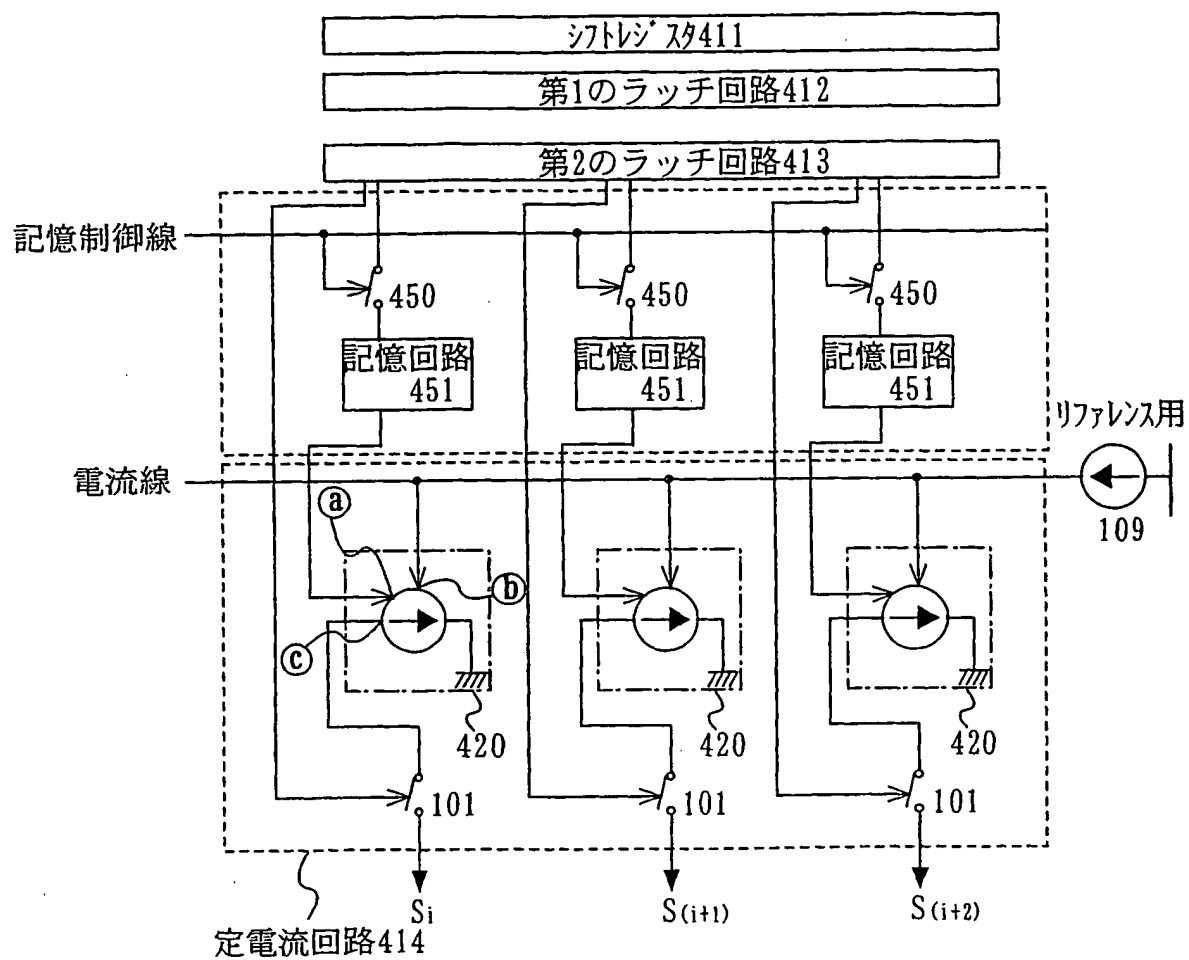


FIG. 26C



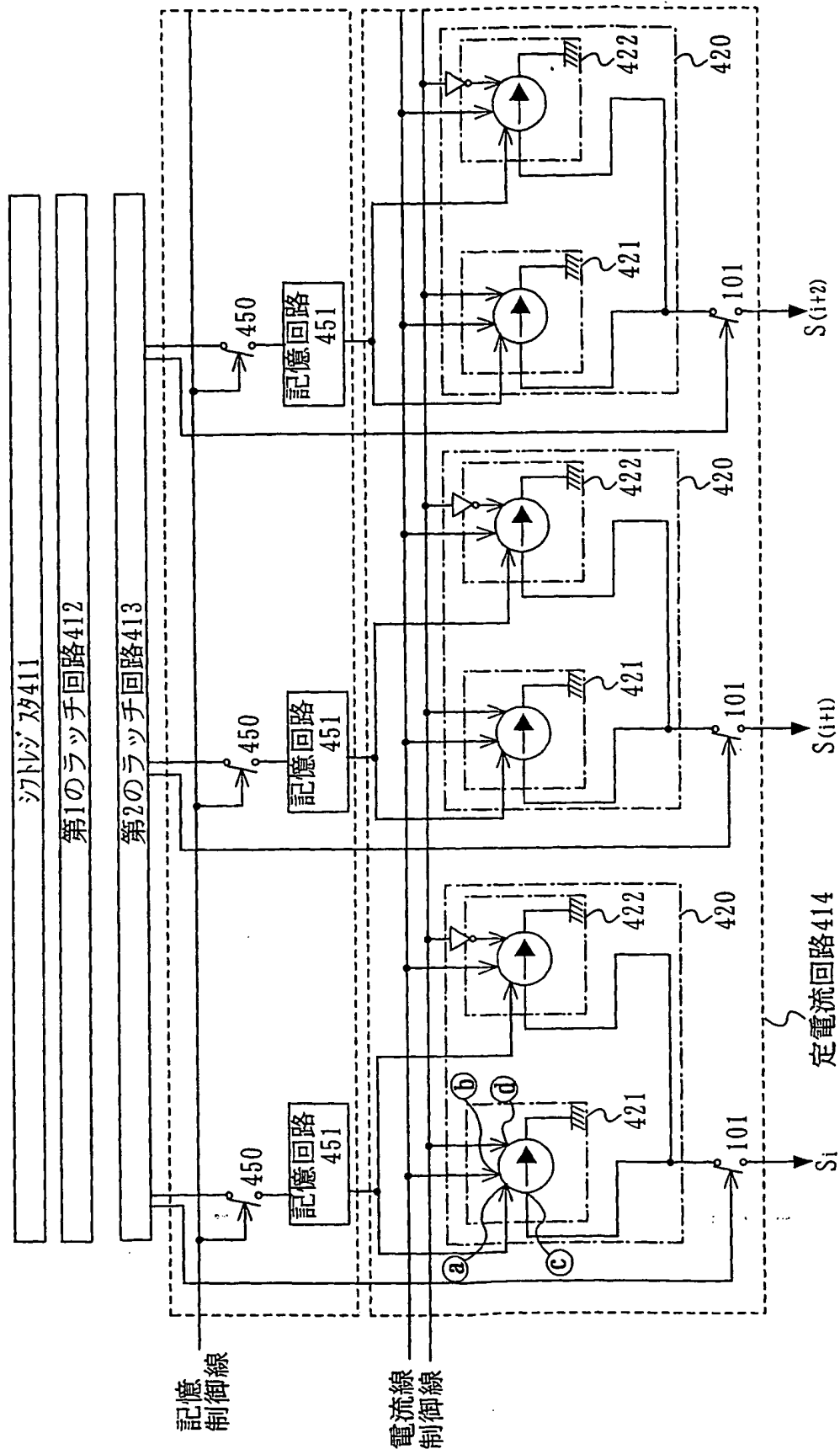
25/84

FIG. 27



26/84

FIG. 28



27/84

FIG. 29A

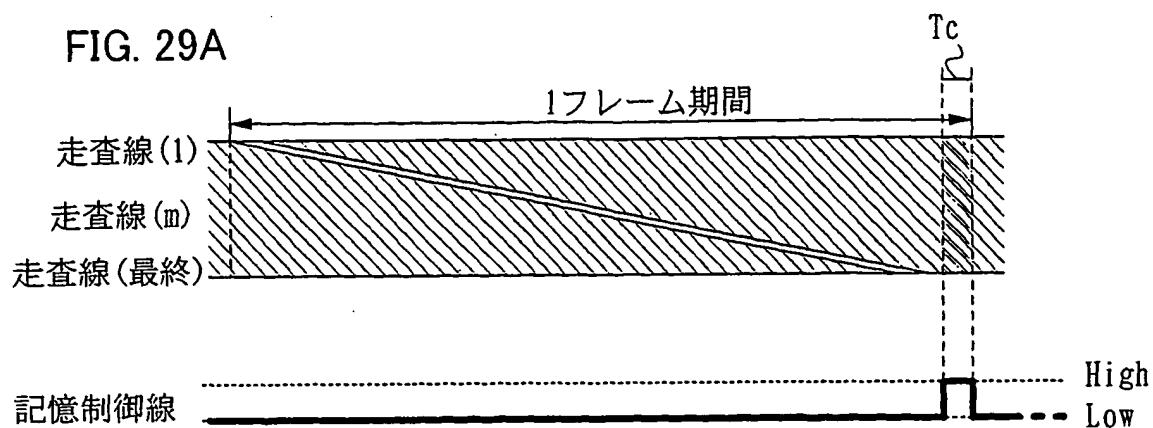


FIG. 29B

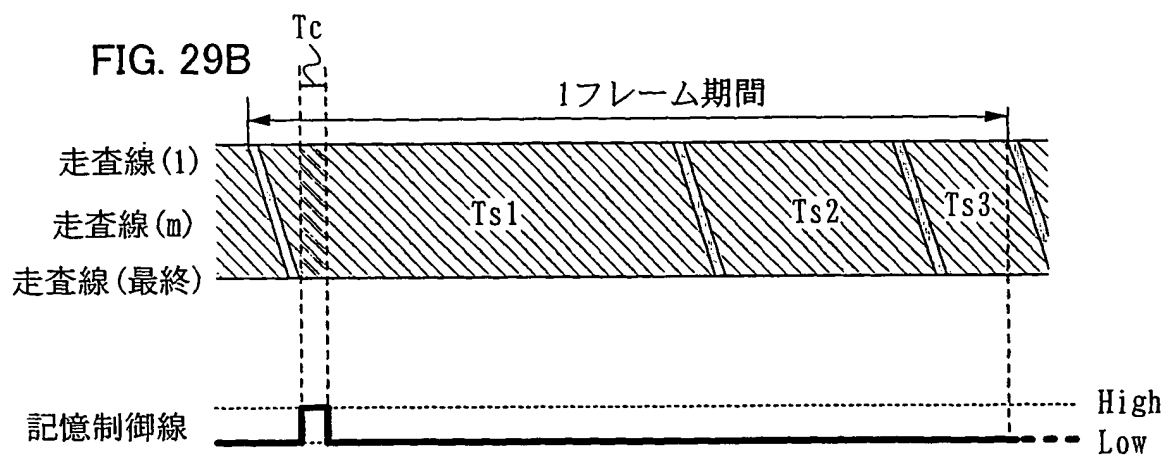
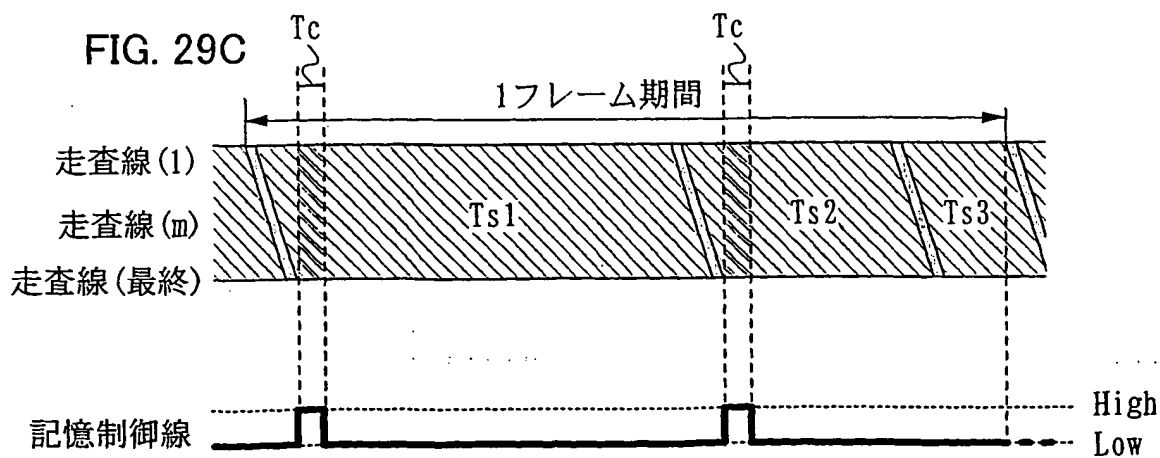


FIG. 29C



28/84

FIG. 30

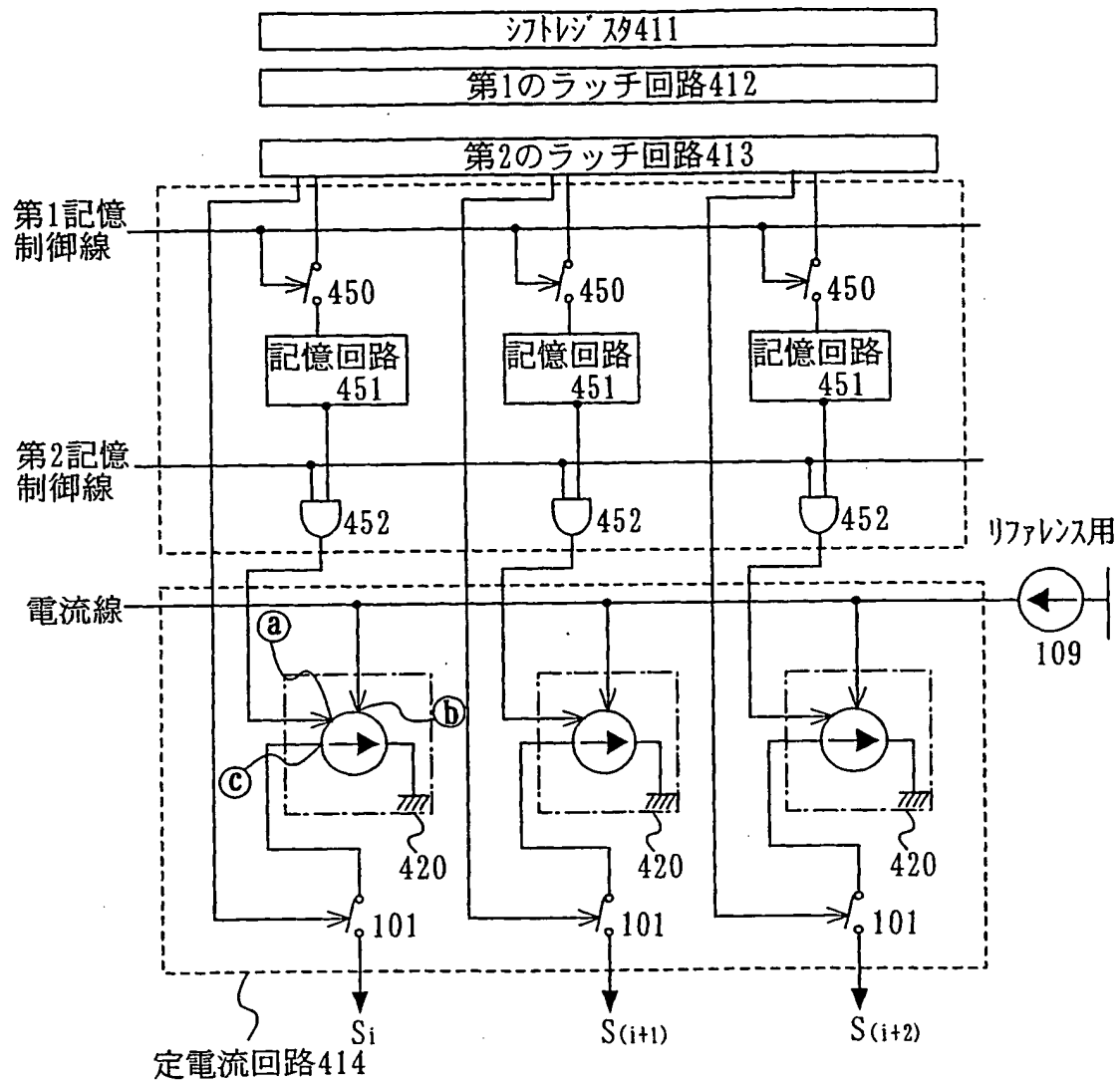


FIG. 31A

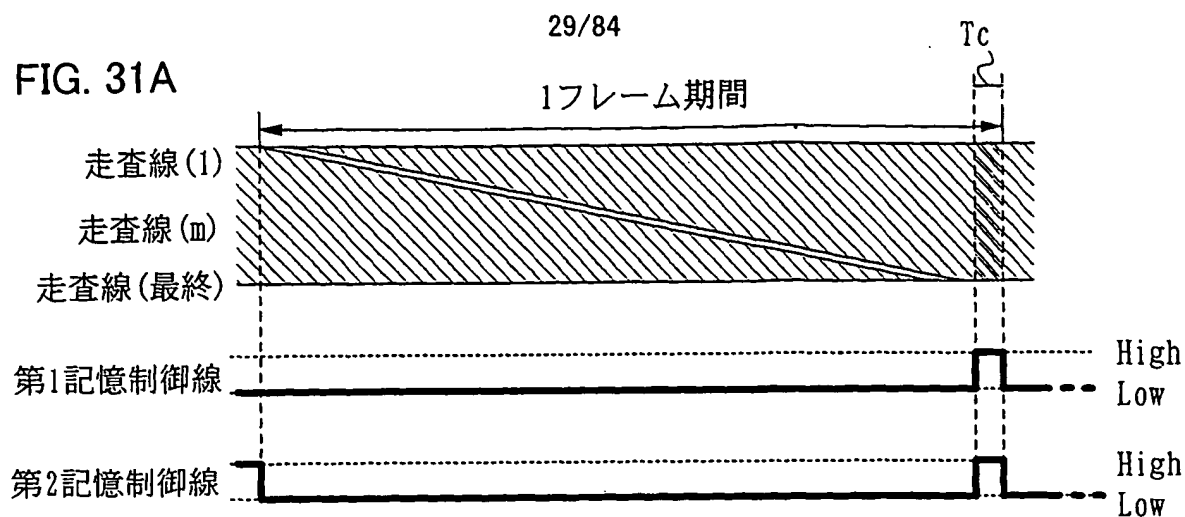


FIG. 31B

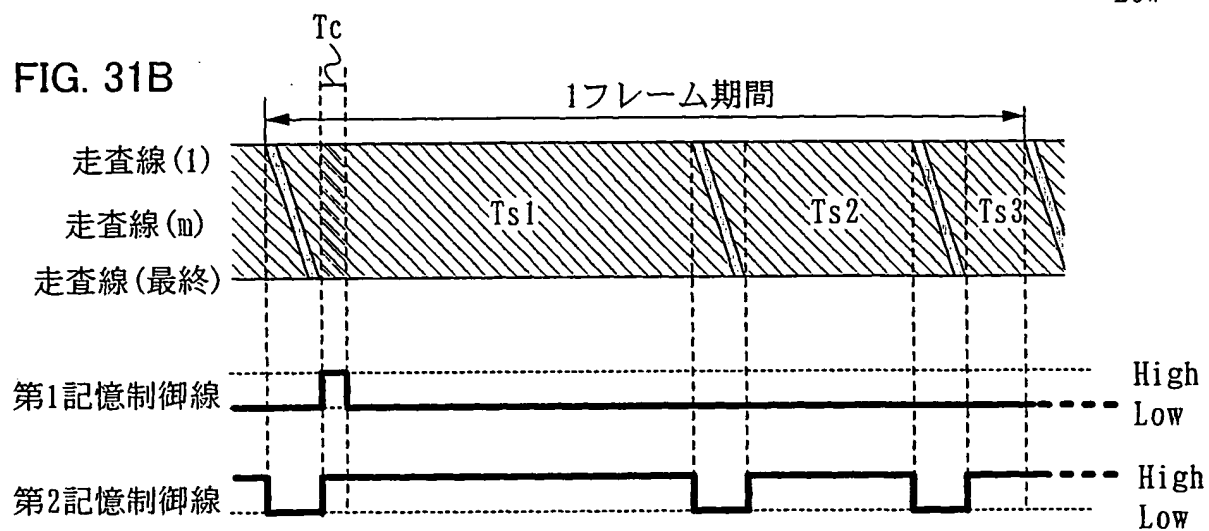
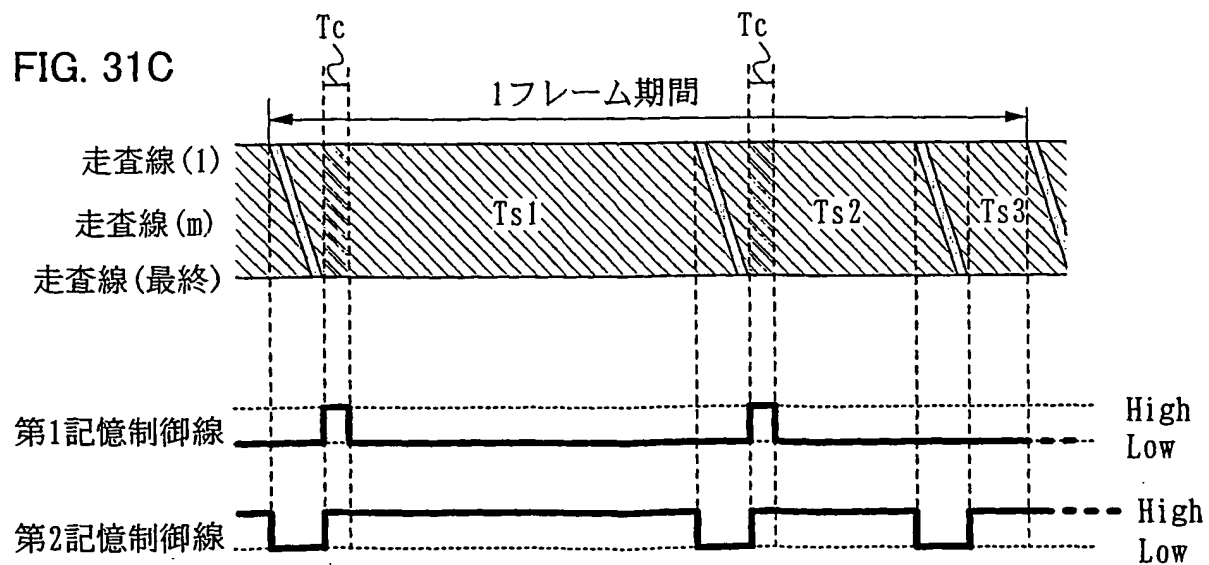


FIG. 31C



30/84

FIG. 32

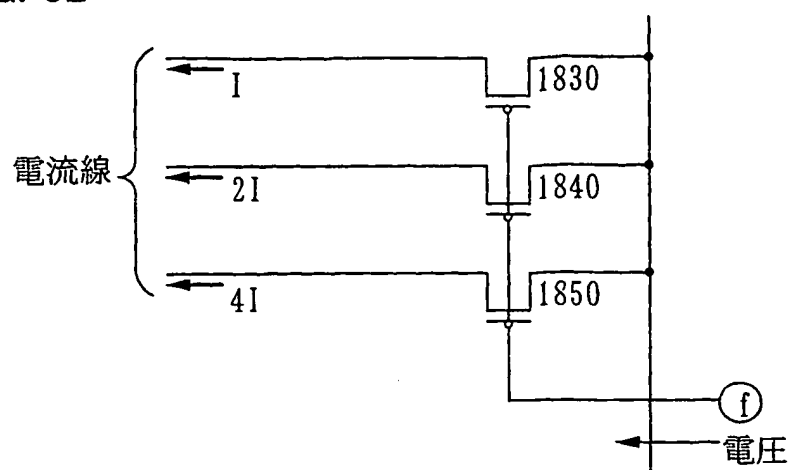


FIG. 33A

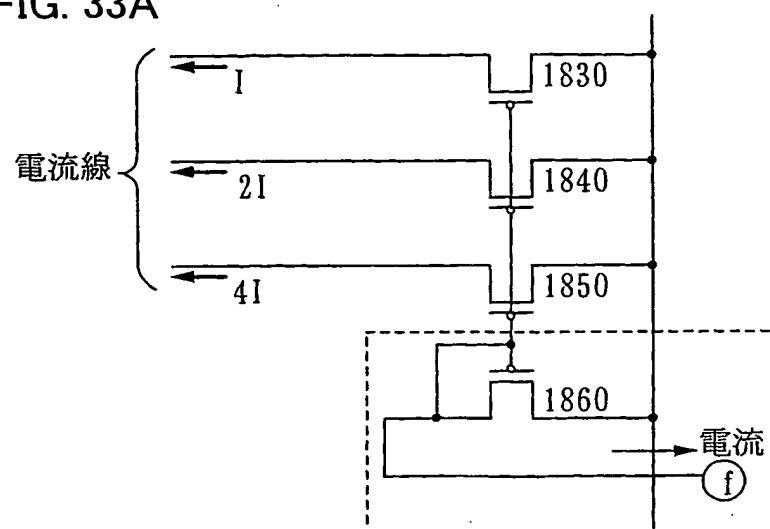
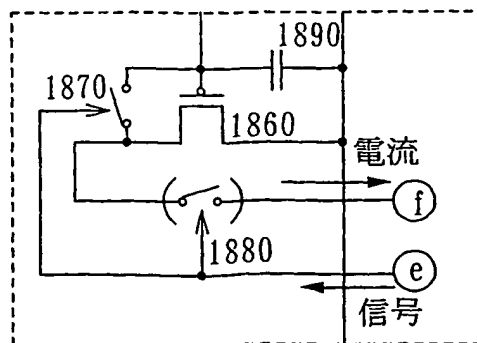


FIG. 33B



31/84

FIG. 34

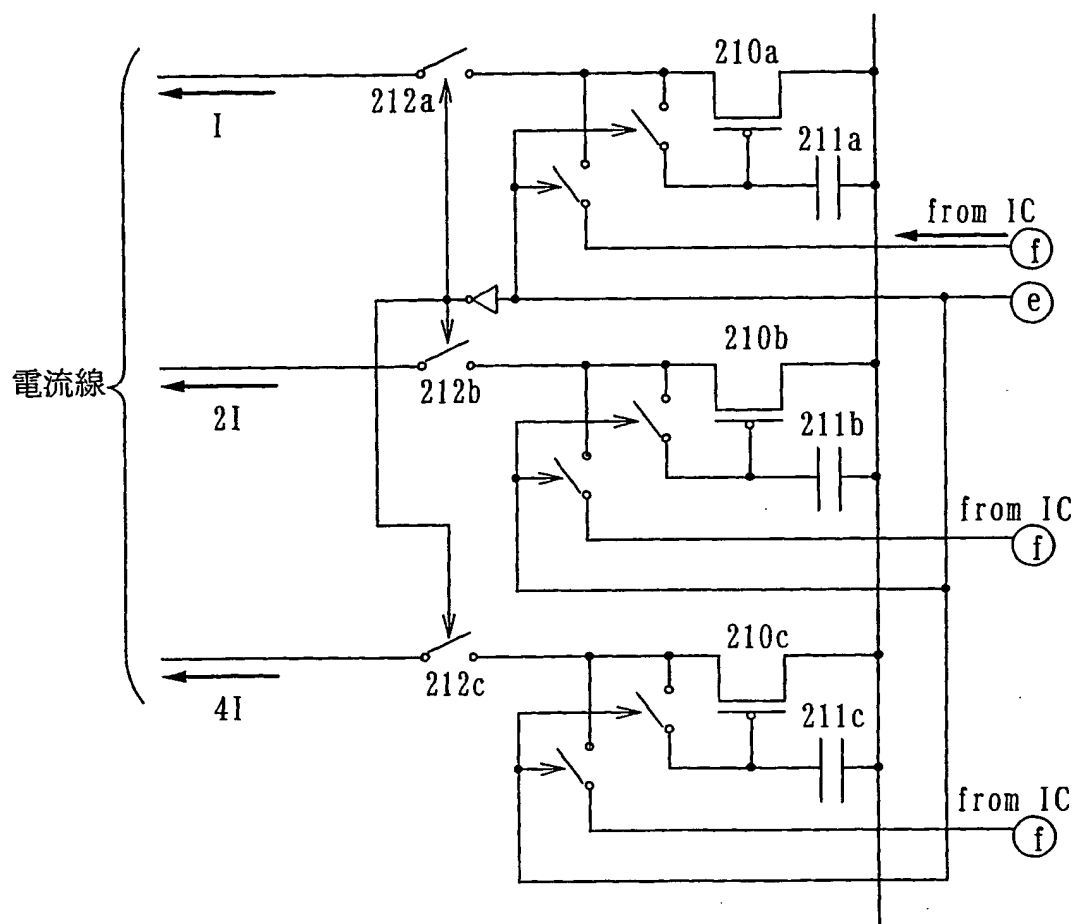


FIG. 35

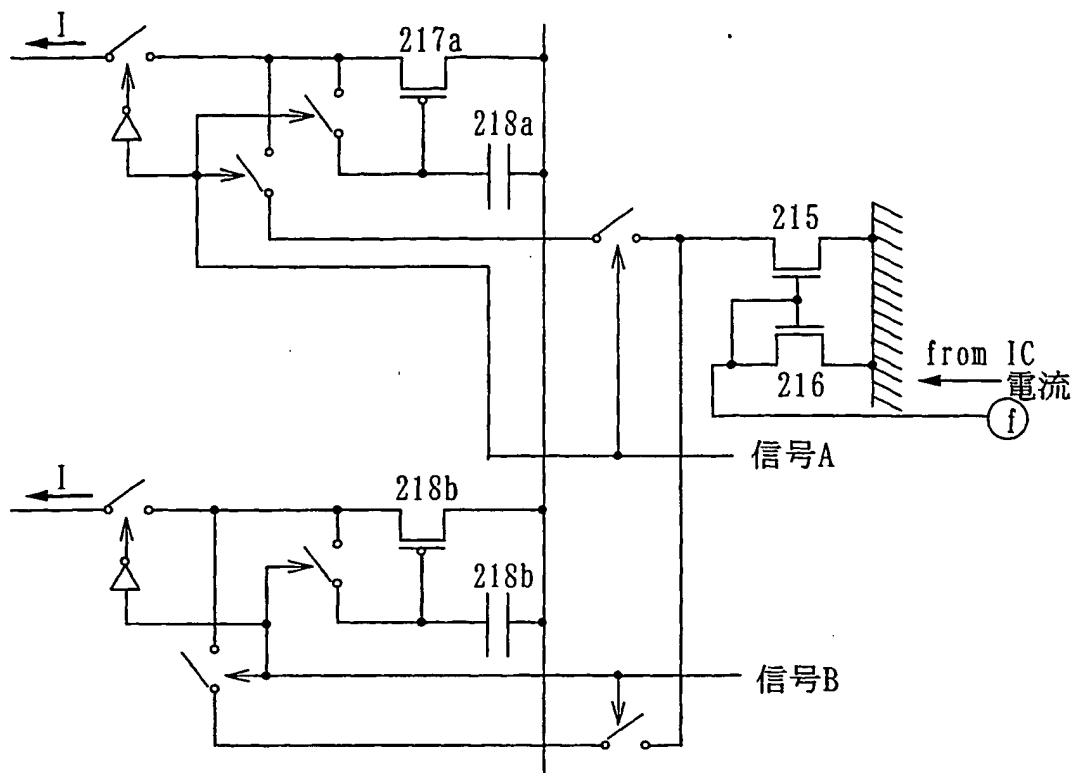
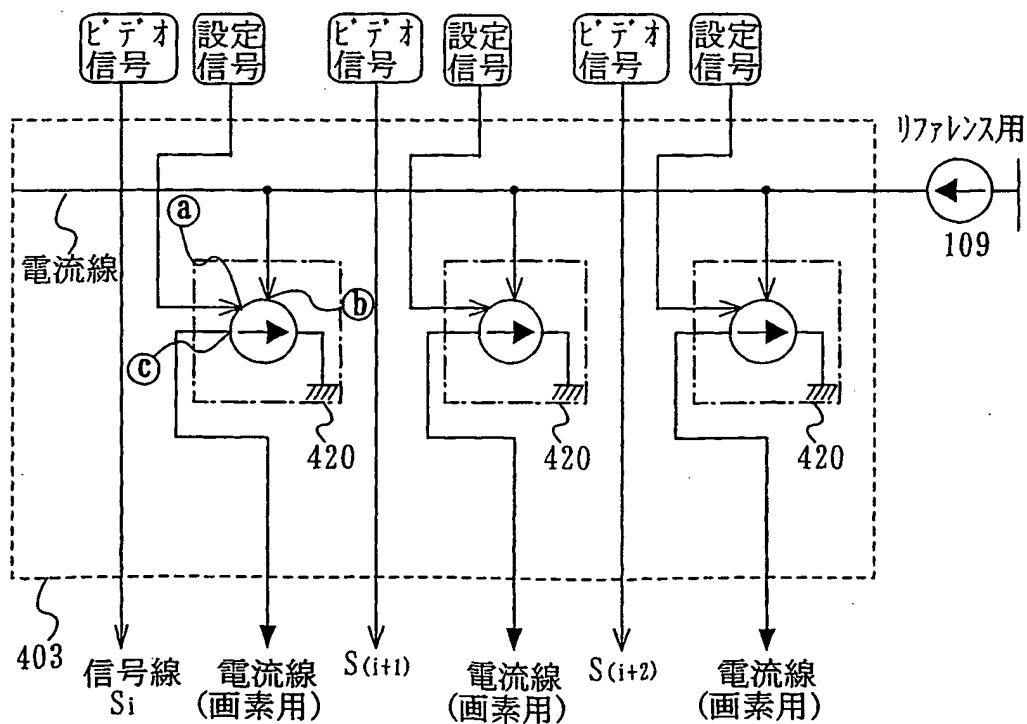


FIG. 36



33/84

FIG. 37

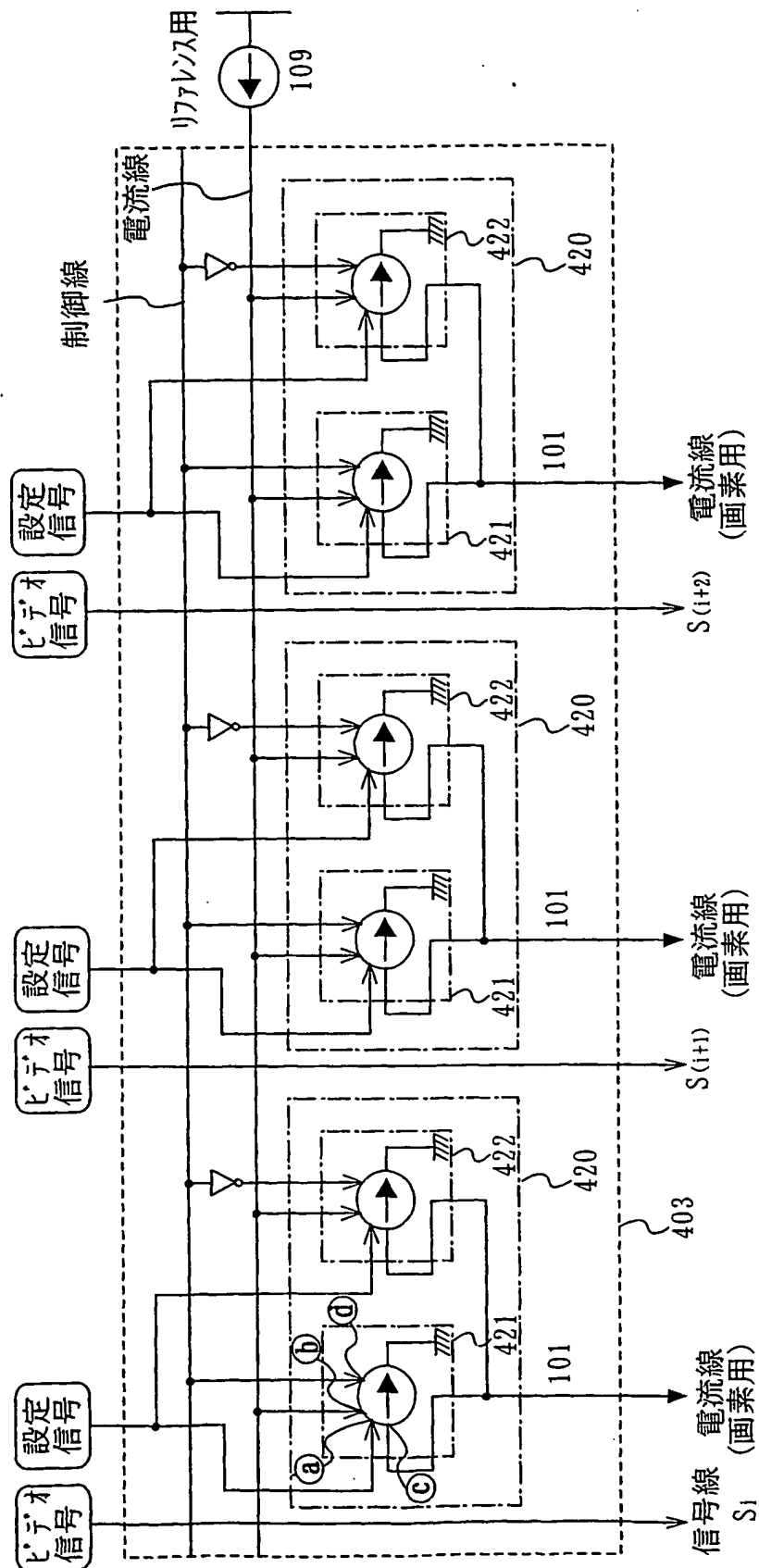


FIG. 38A

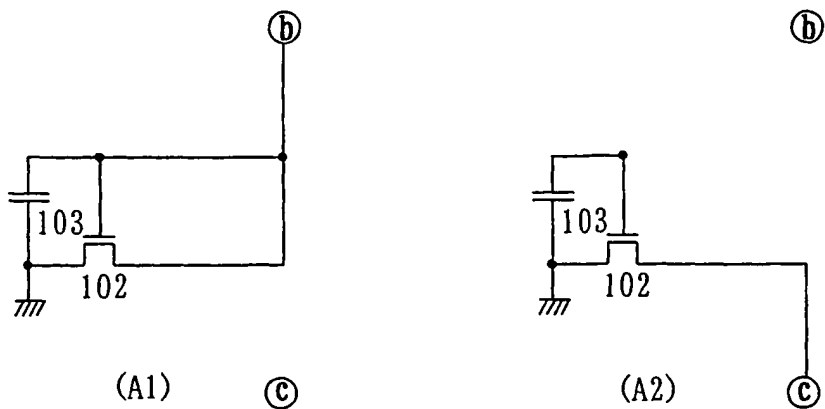


FIG. 38B

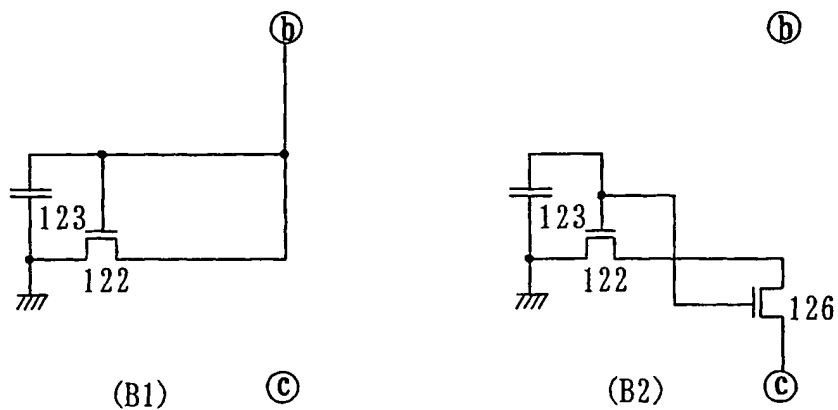


FIG. 38C

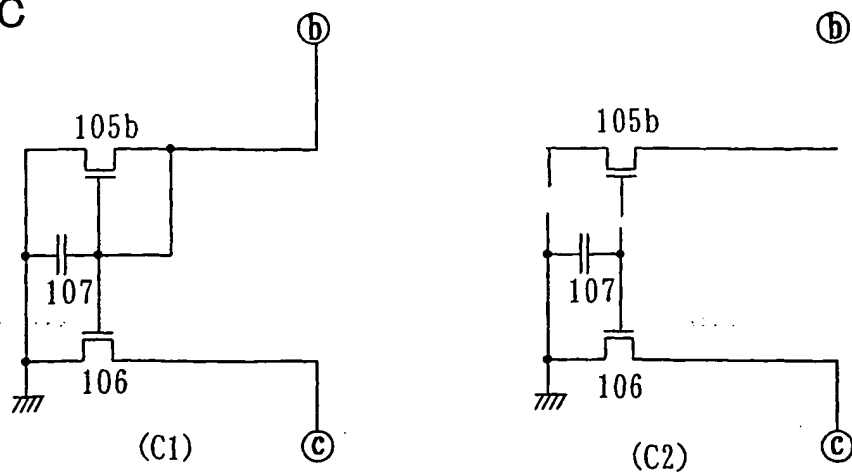


FIG. 39A

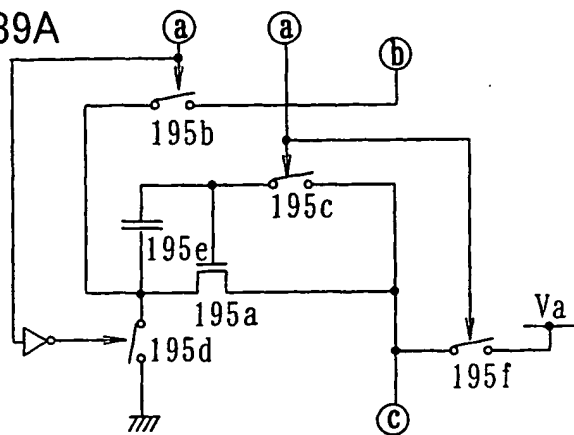


FIG. 39B

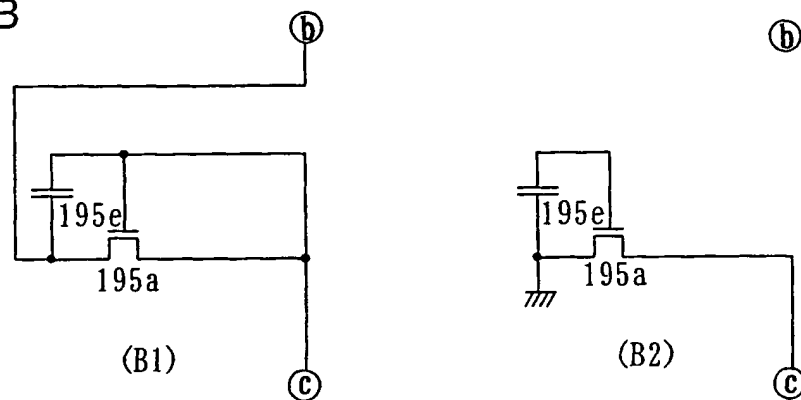
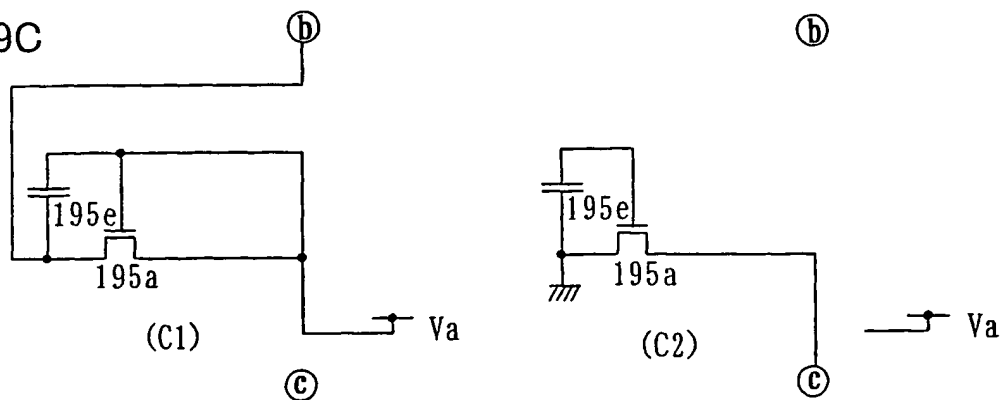


FIG. 39C



36/84

FIG. 40A

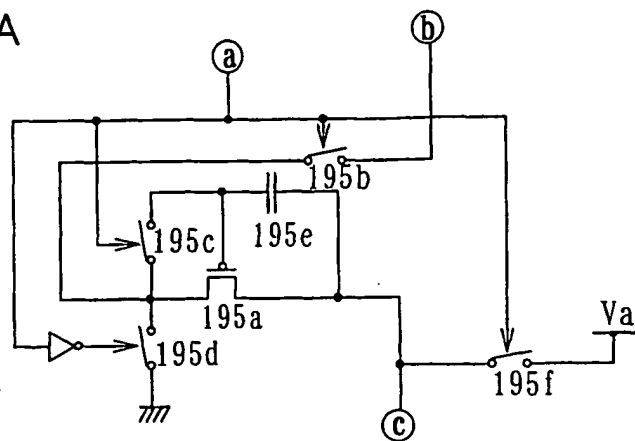
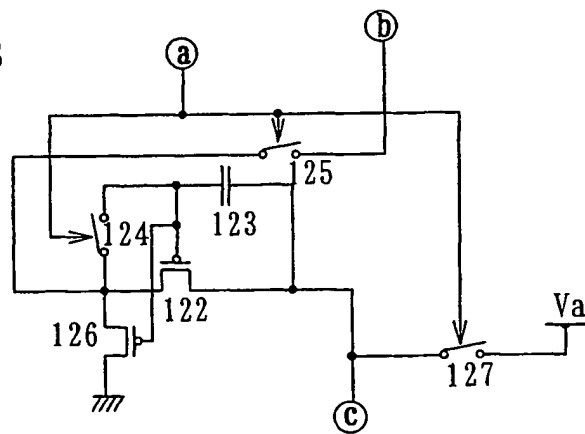


FIG. 40B



37/84

FIG. 41A

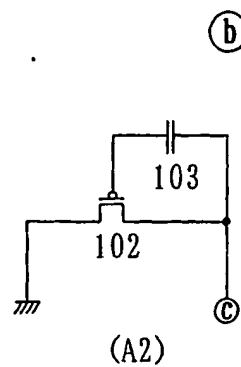
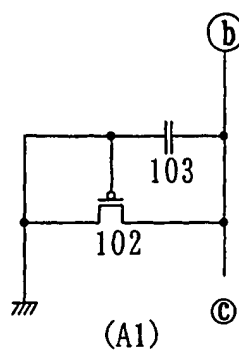


FIG. 41B

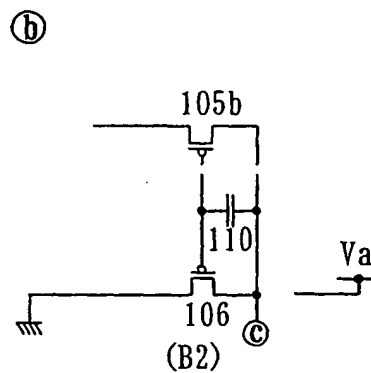
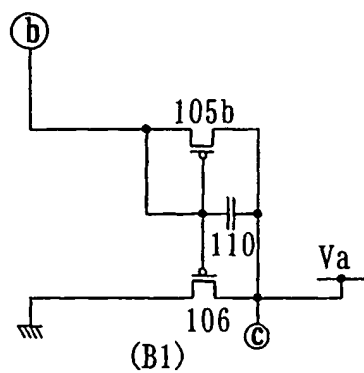


FIG. 41C

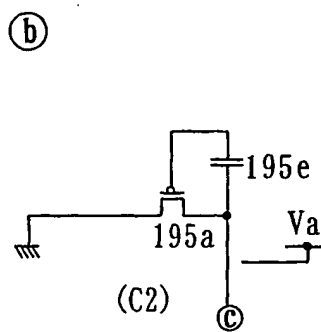
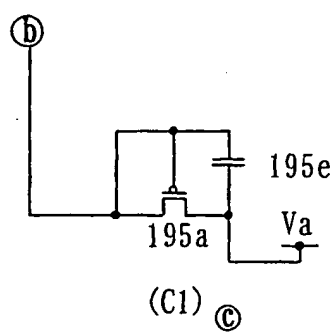
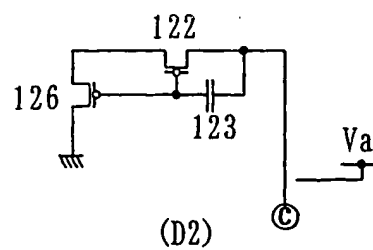
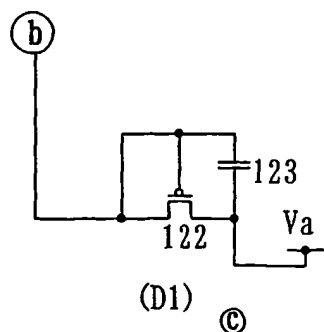


FIG. 41D



38/84

FIG. 42A

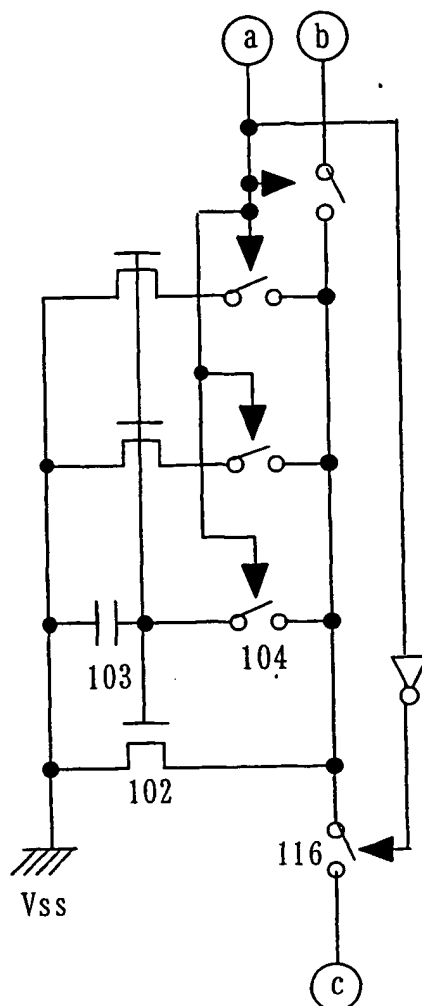


FIG. 42B

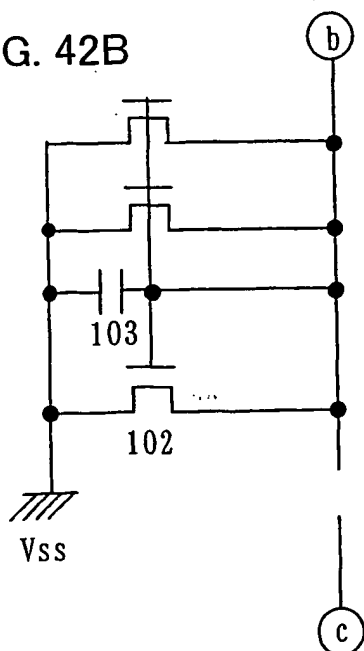
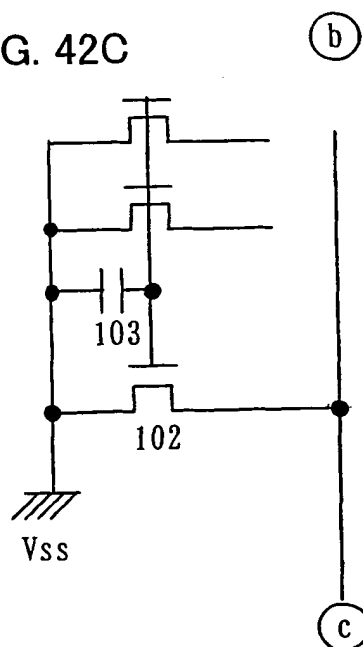


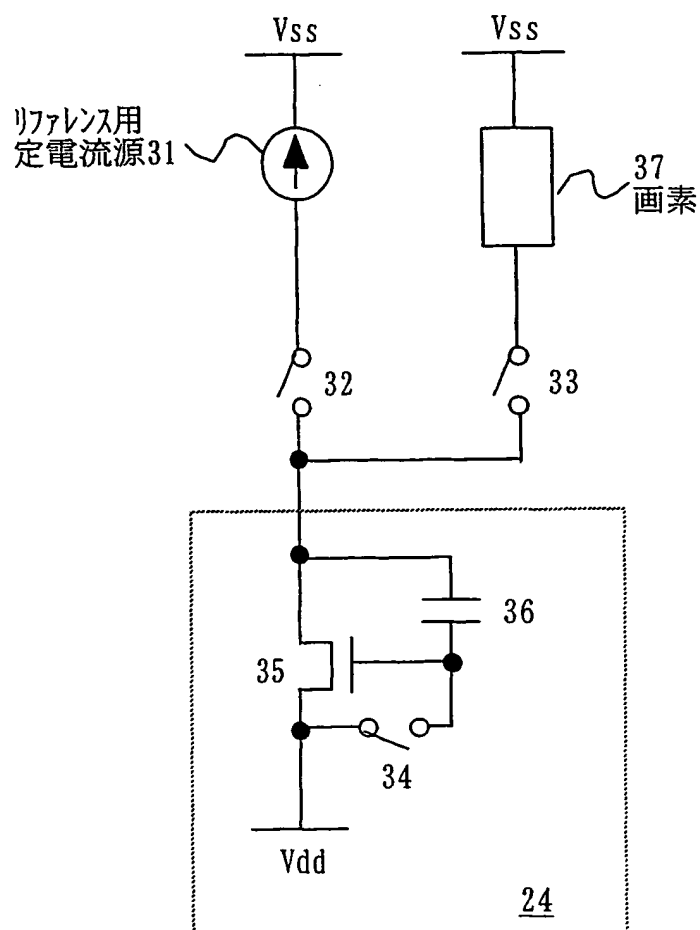
FIG. 42C



差替え用紙 (規則26)

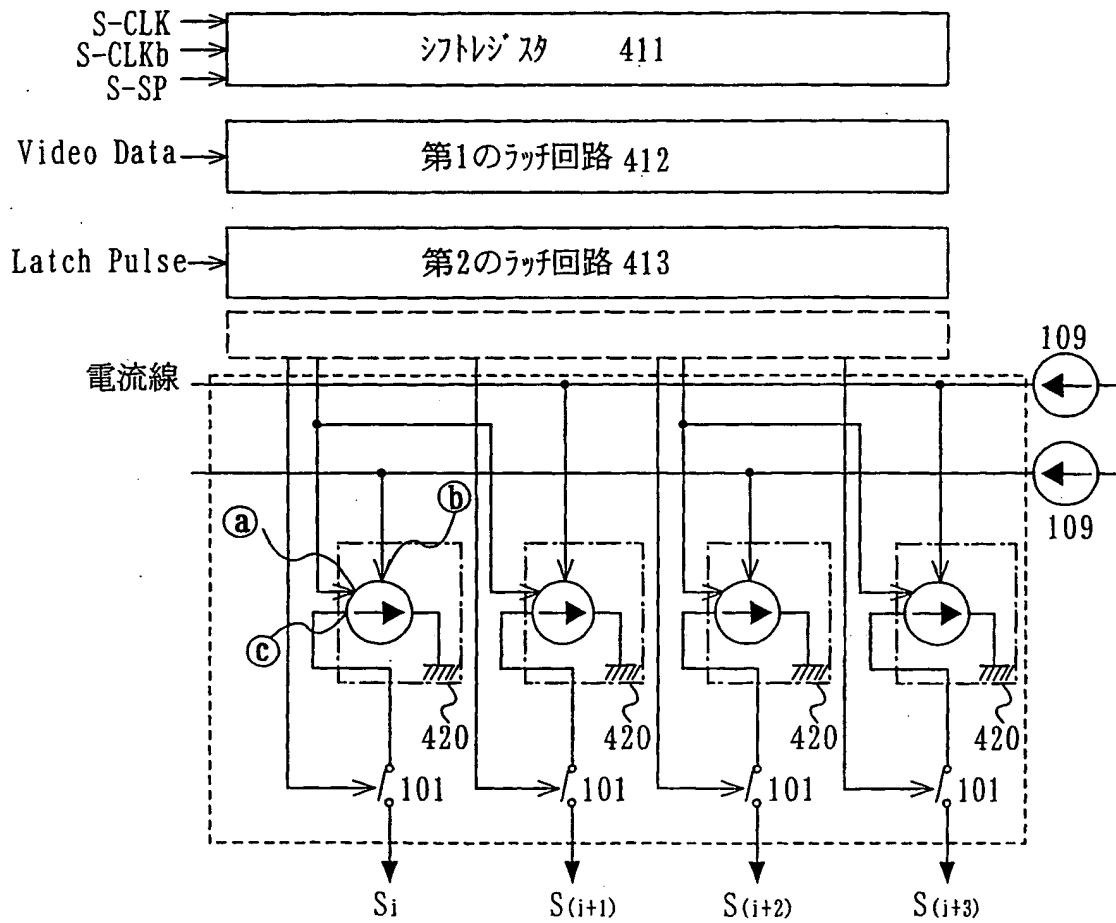
39/84

FIG. 43



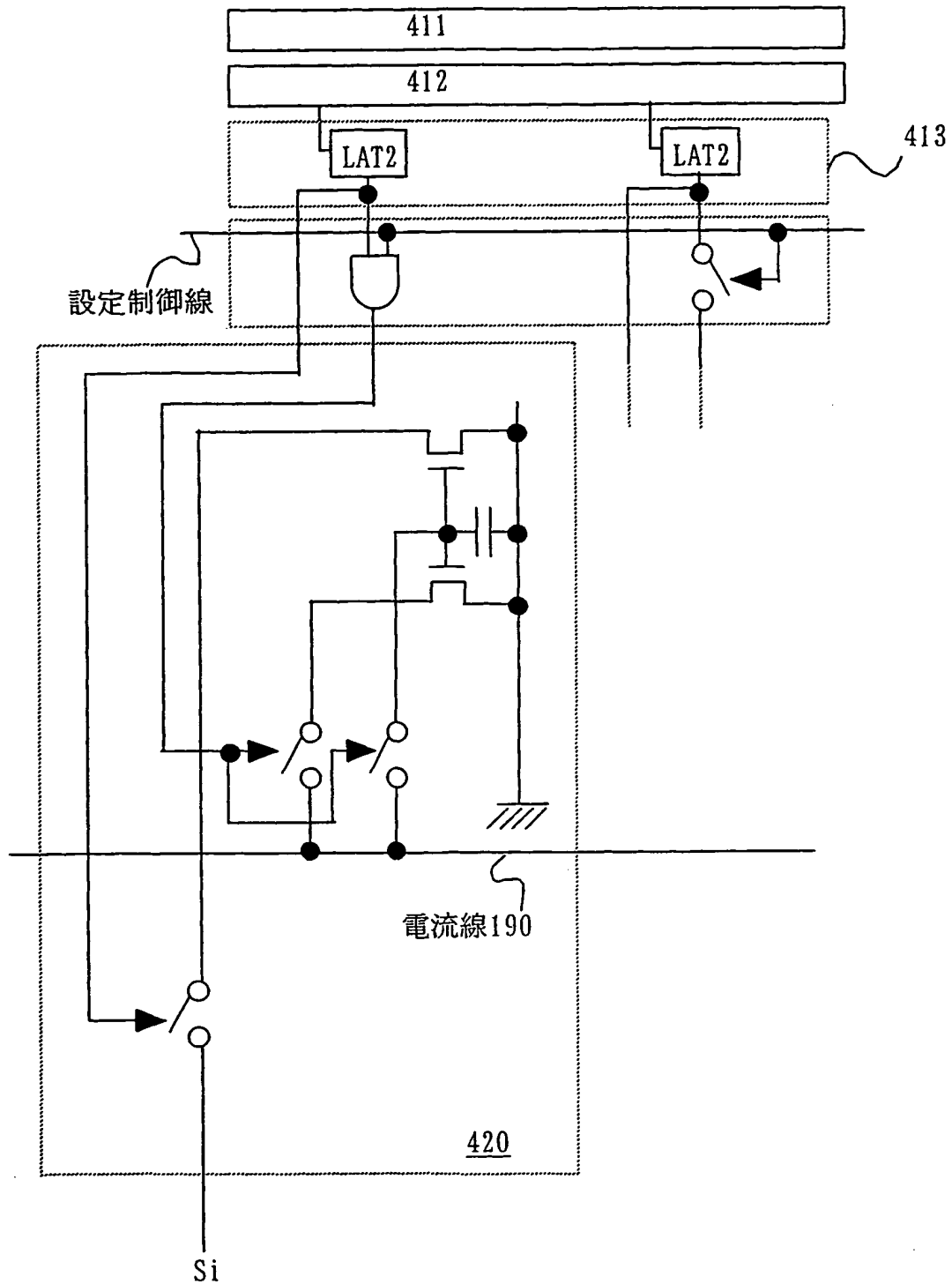
40/84

FIG. 44



41/84

FIG. 45



42/84

FIG. 46

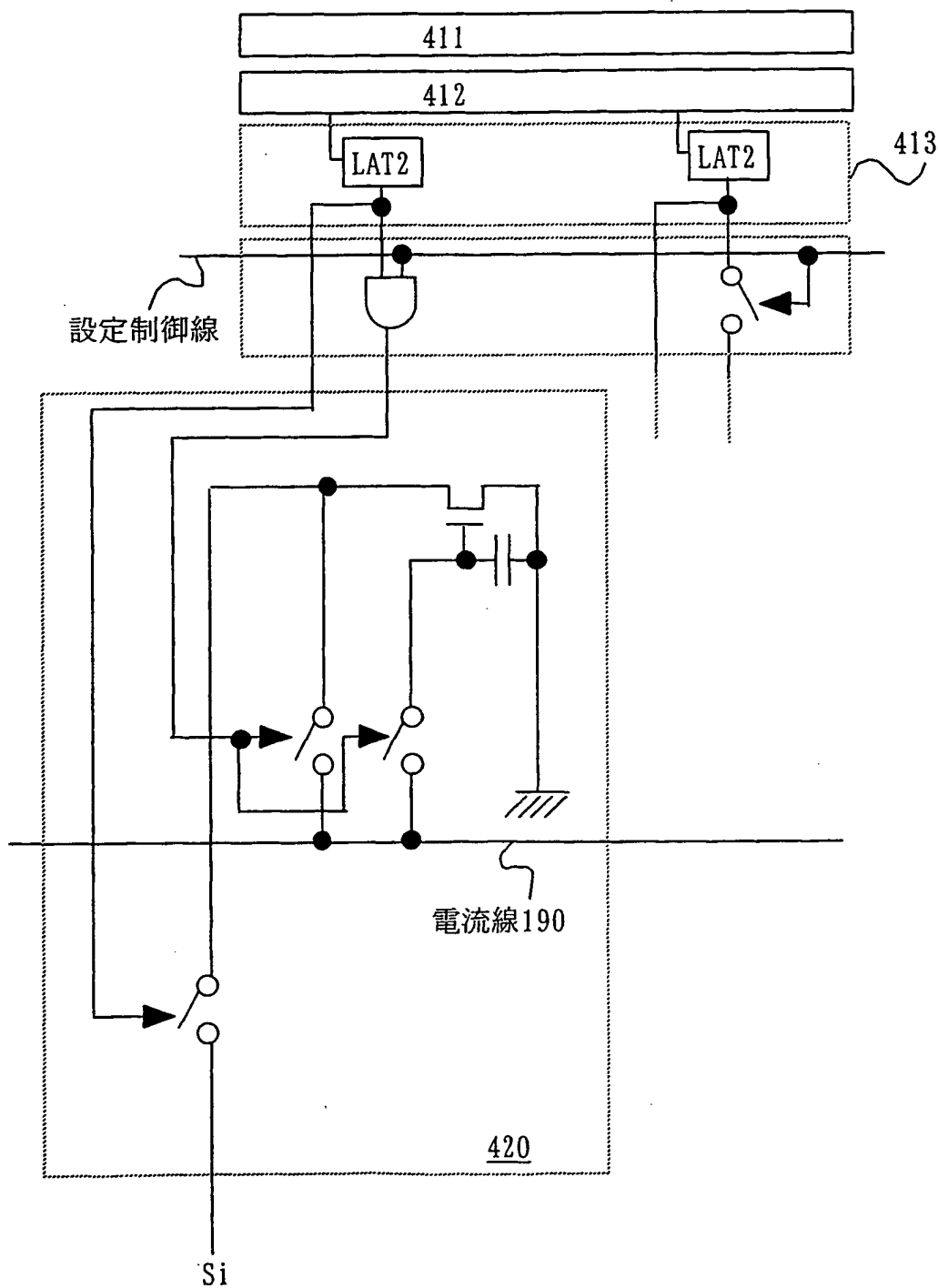


FIG. 47A

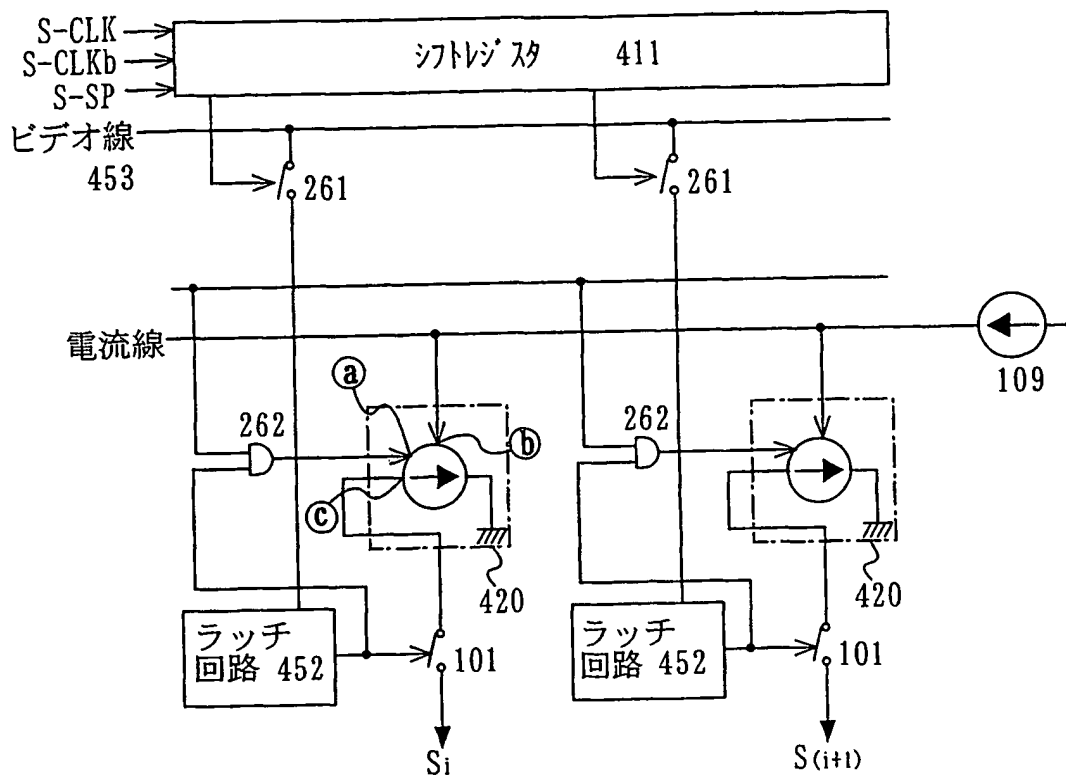


FIG. 47B

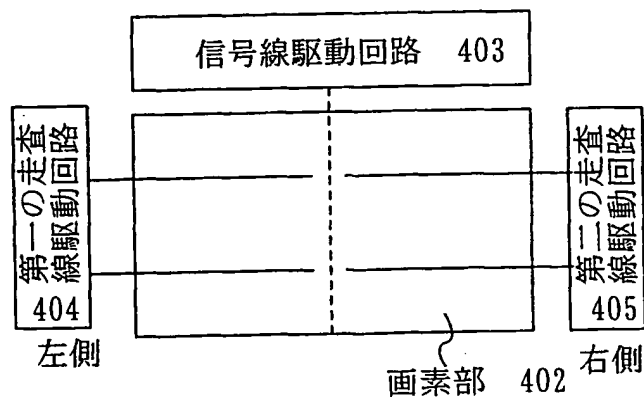


FIG. 47C

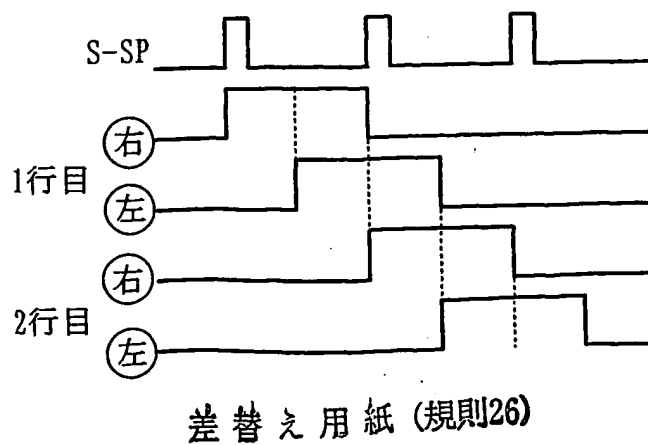


FIG. 48

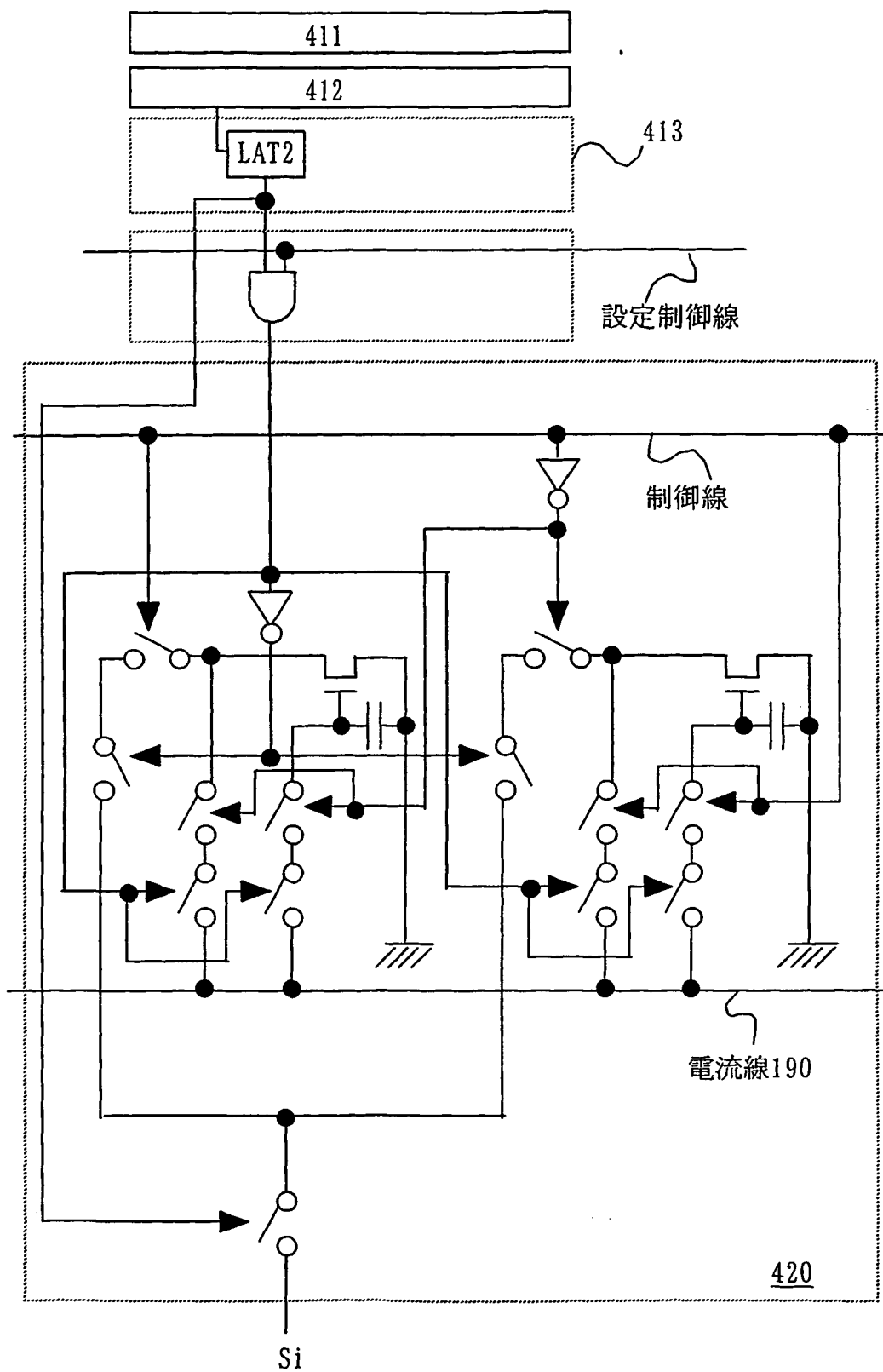
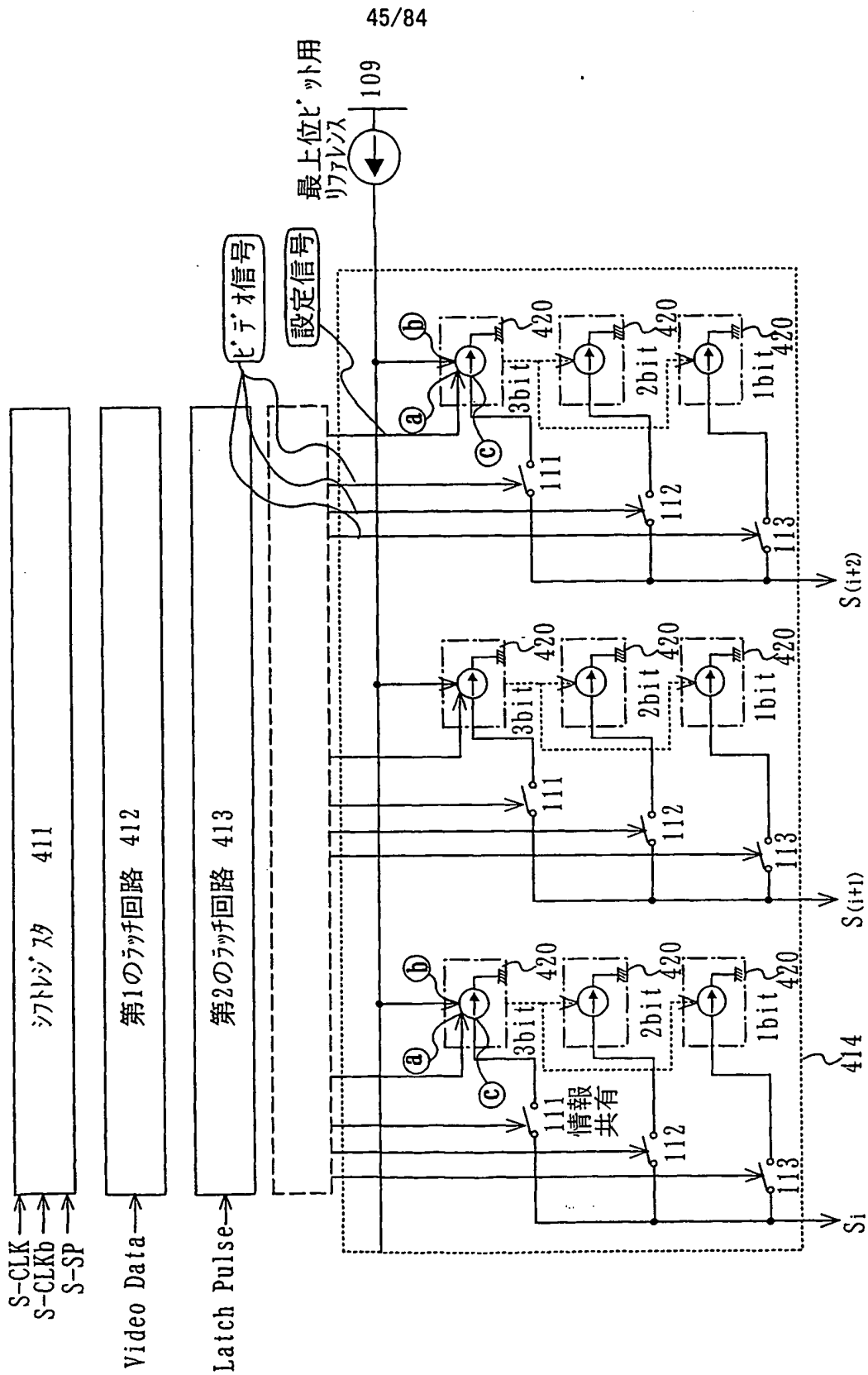
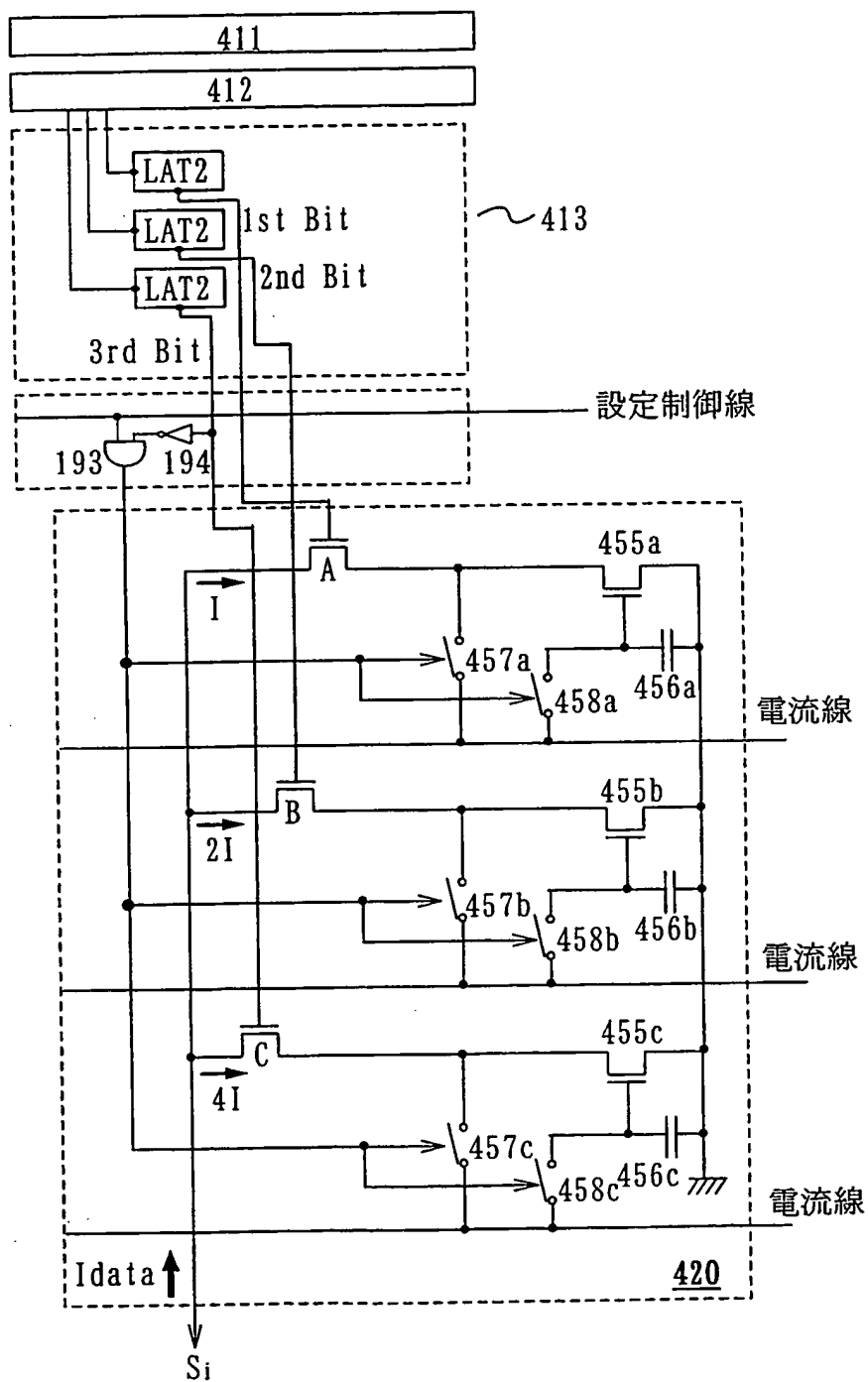


FIG. 49



46/84

FIG. 50



47/84

FIG. 51

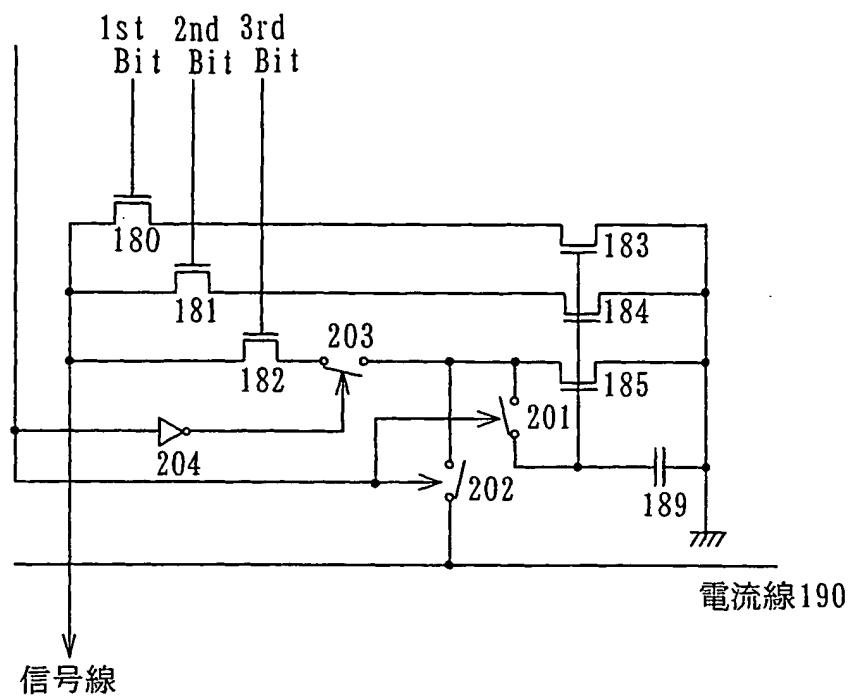
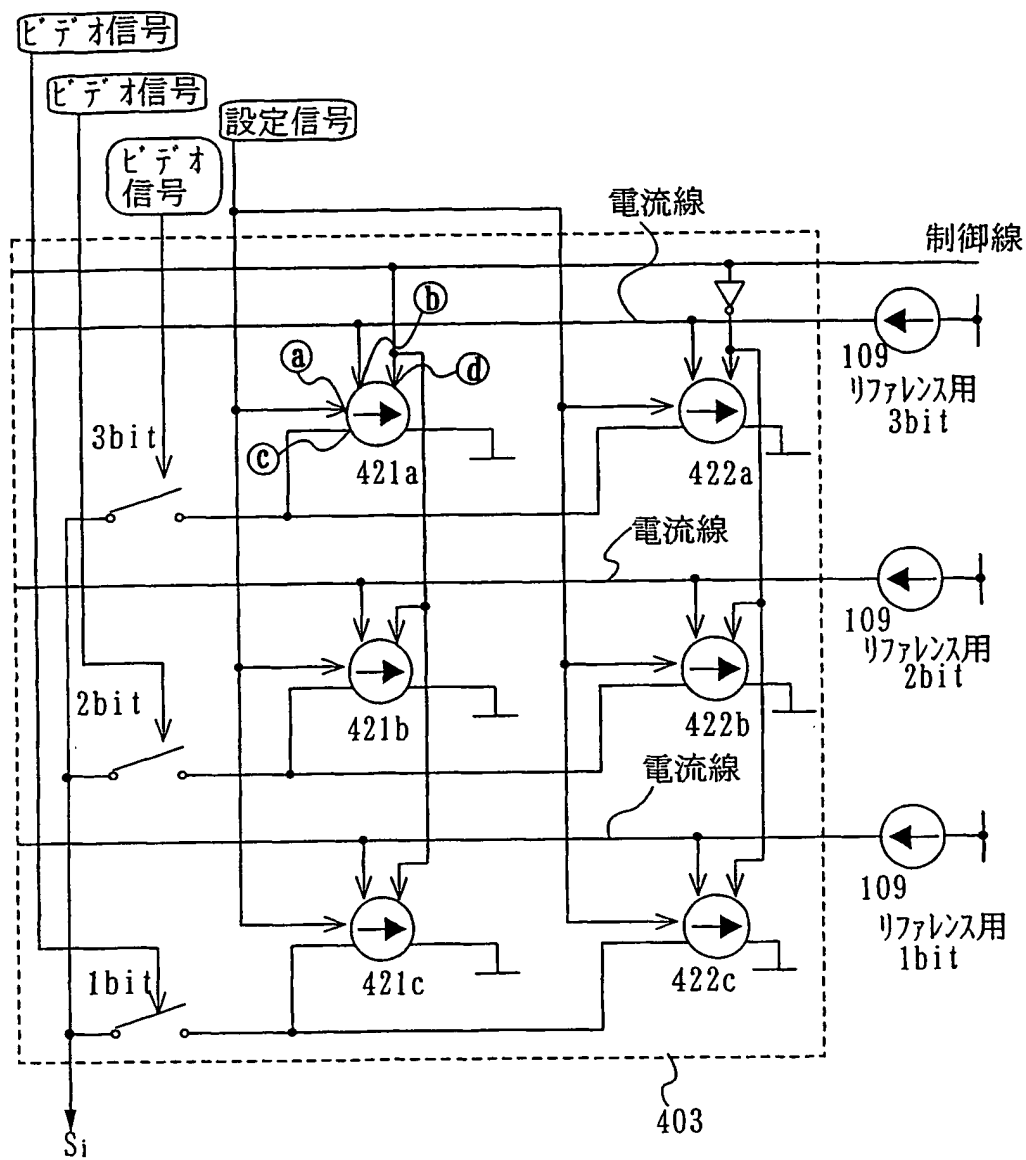


FIG. 52



49/84

FIG. 53

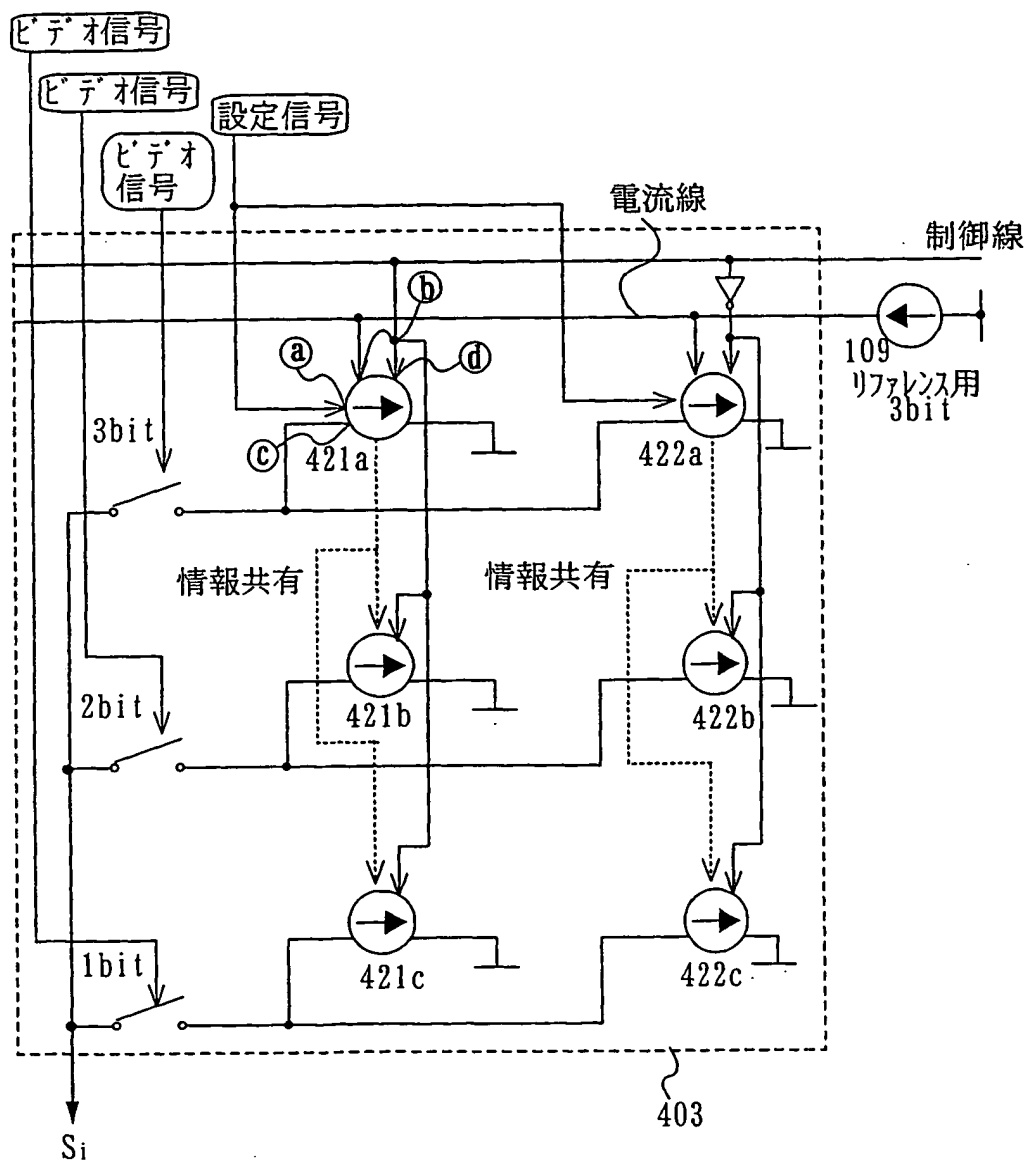


FIG. 54A

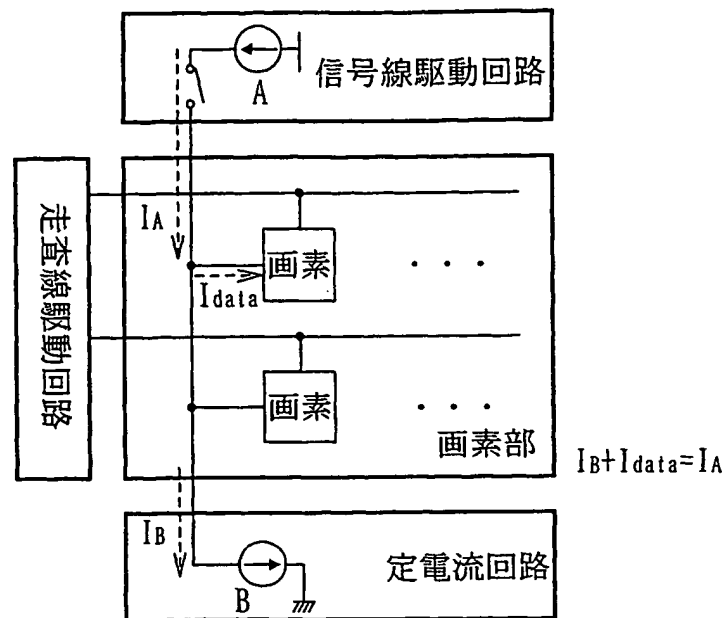


FIG. 54B

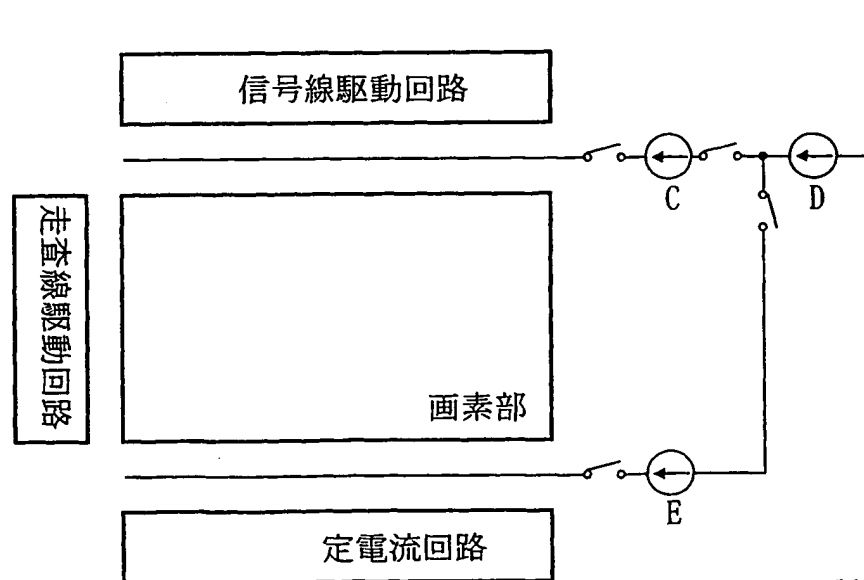


FIG. 55A

51/84

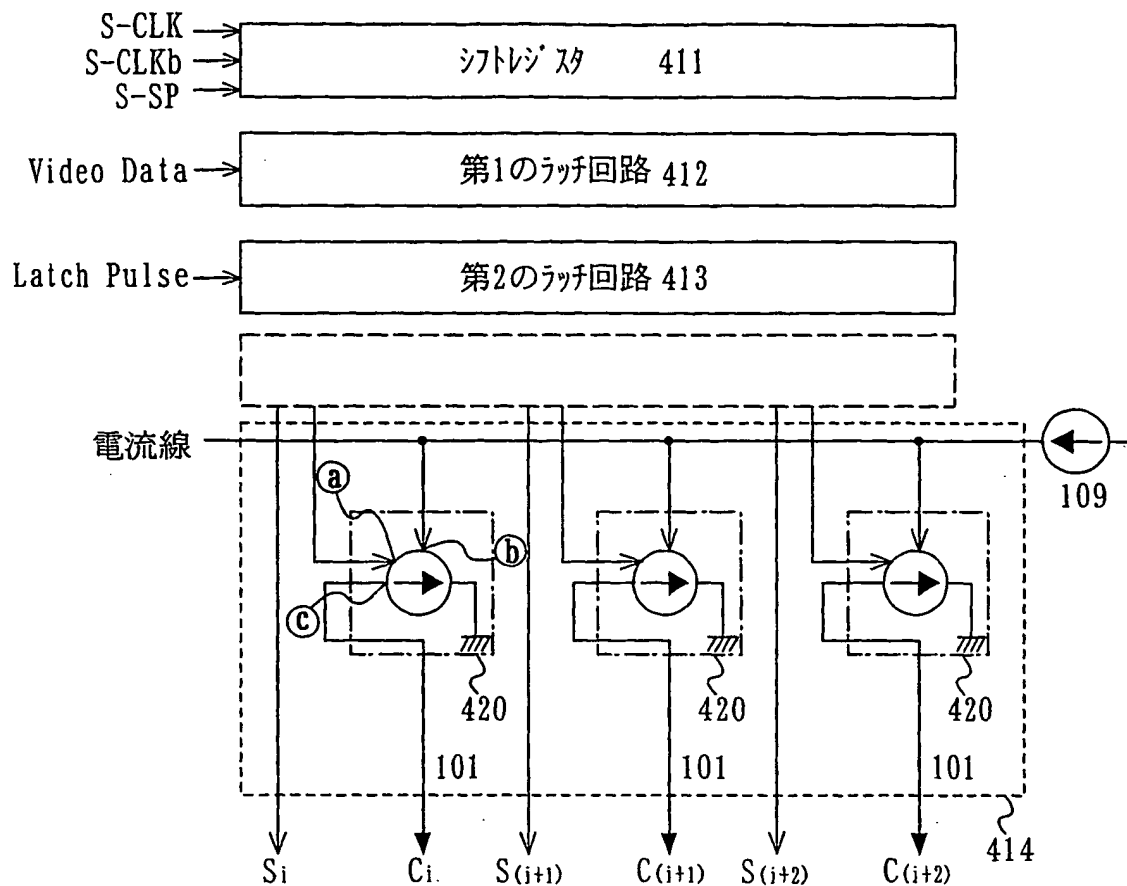
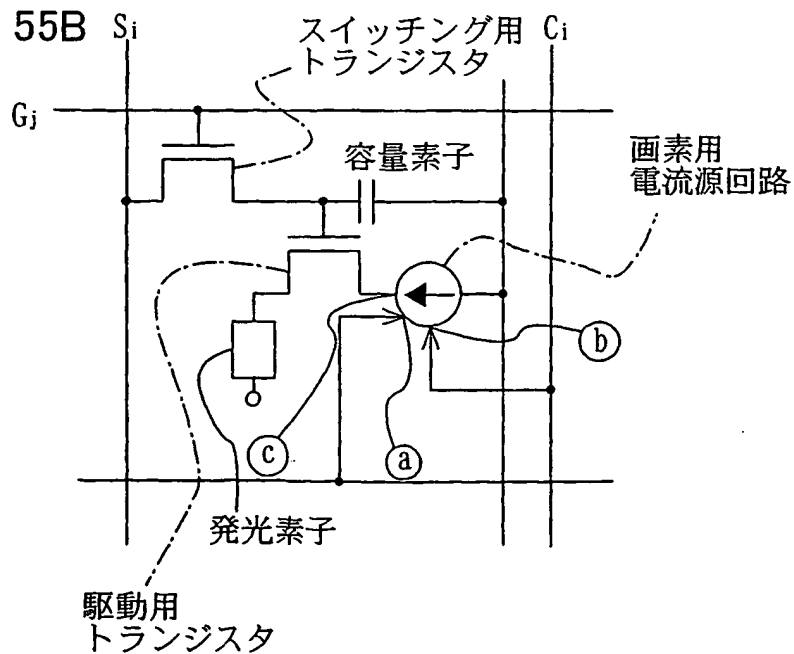
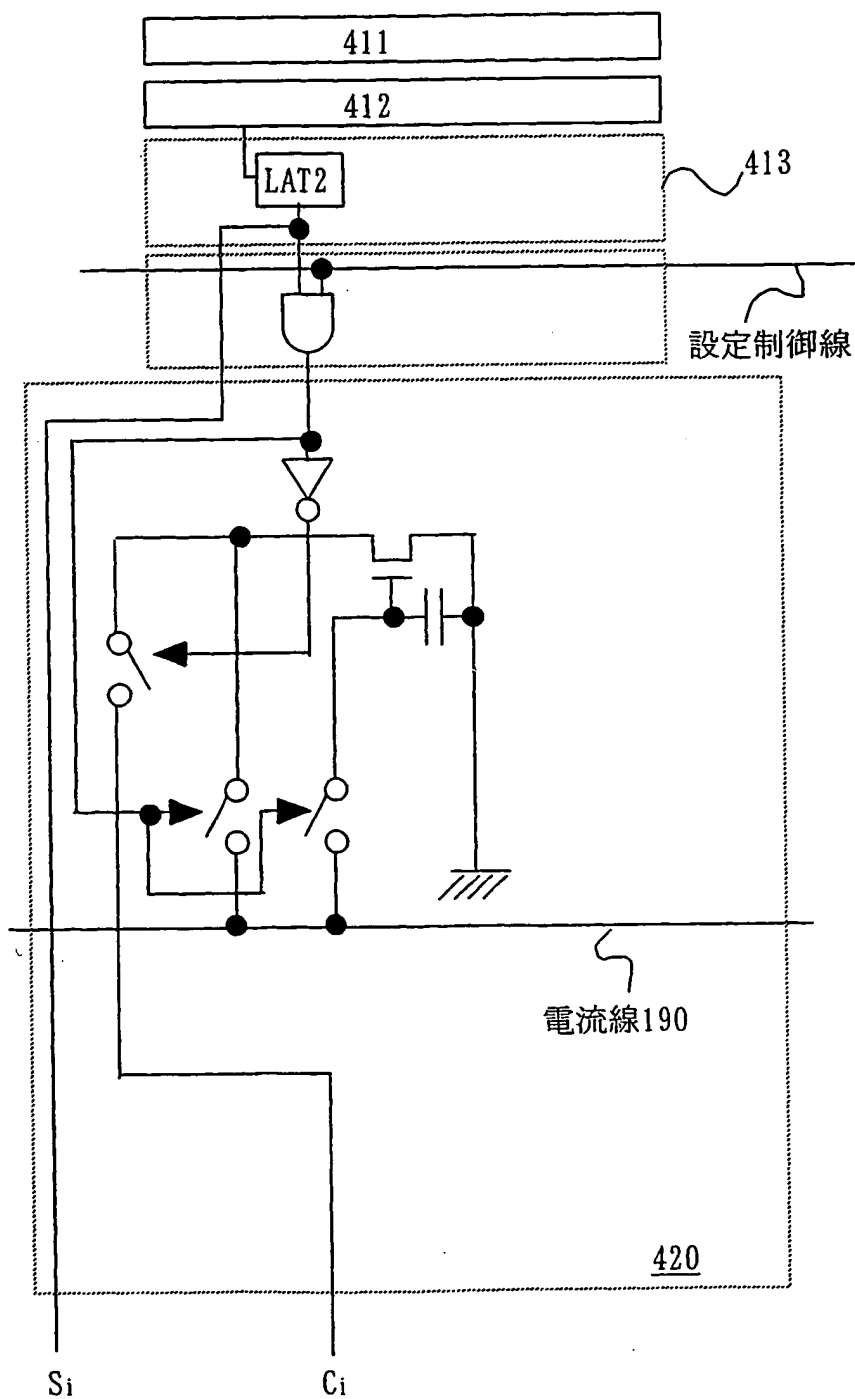


FIG. 55B



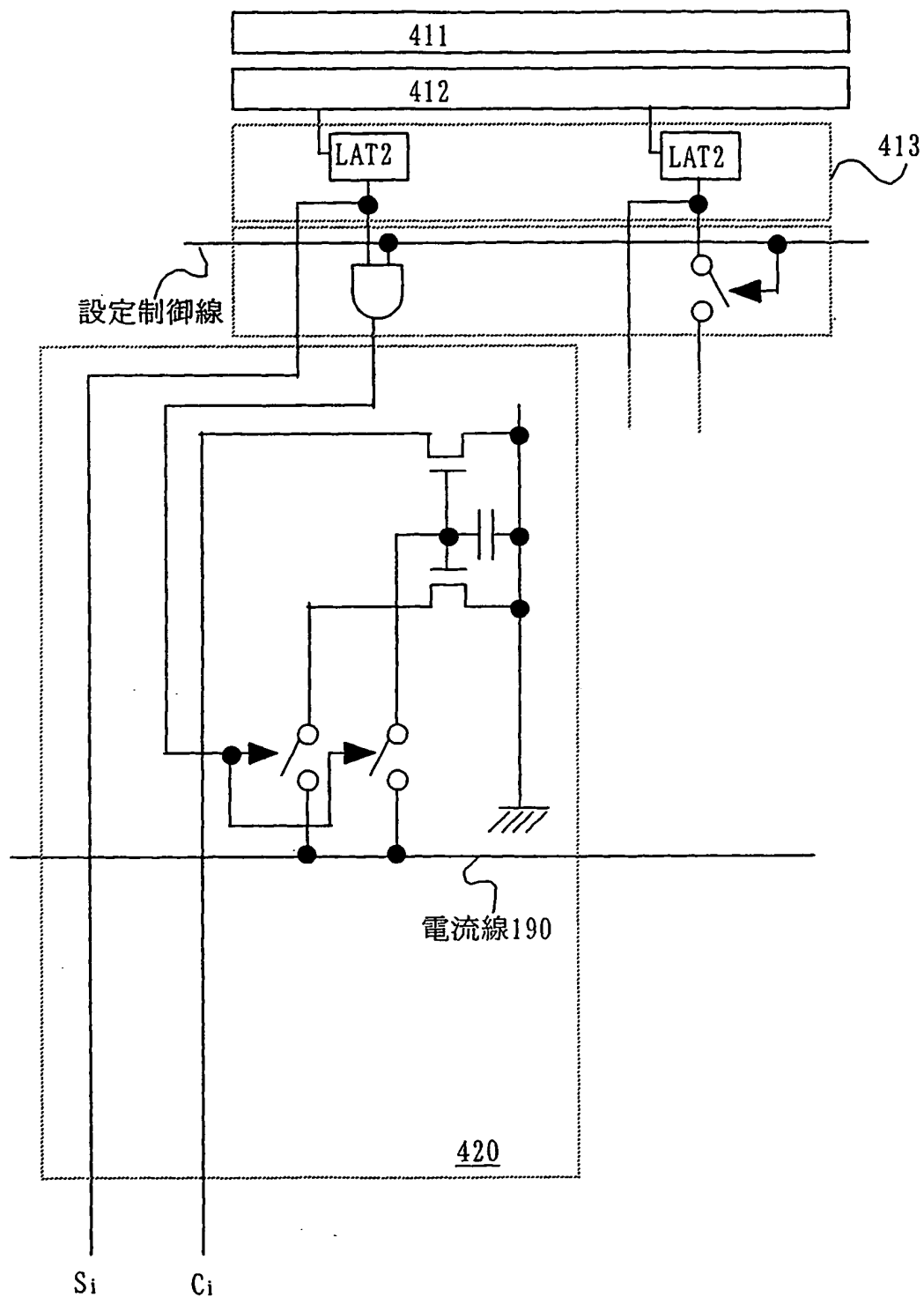
52/84

FIG. 56



53/84

FIG. 57



54/84

FIG. 58

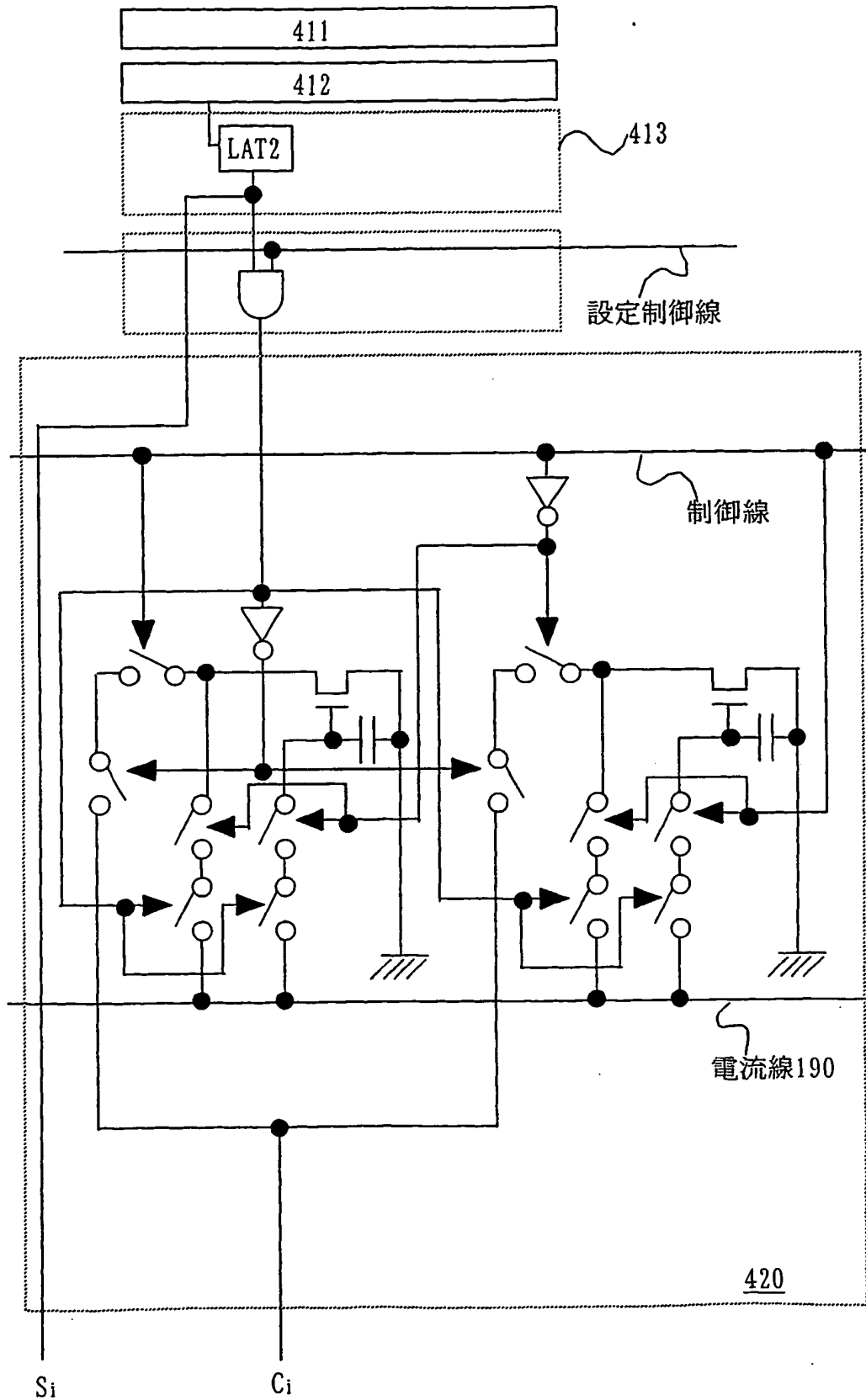


FIG. 59

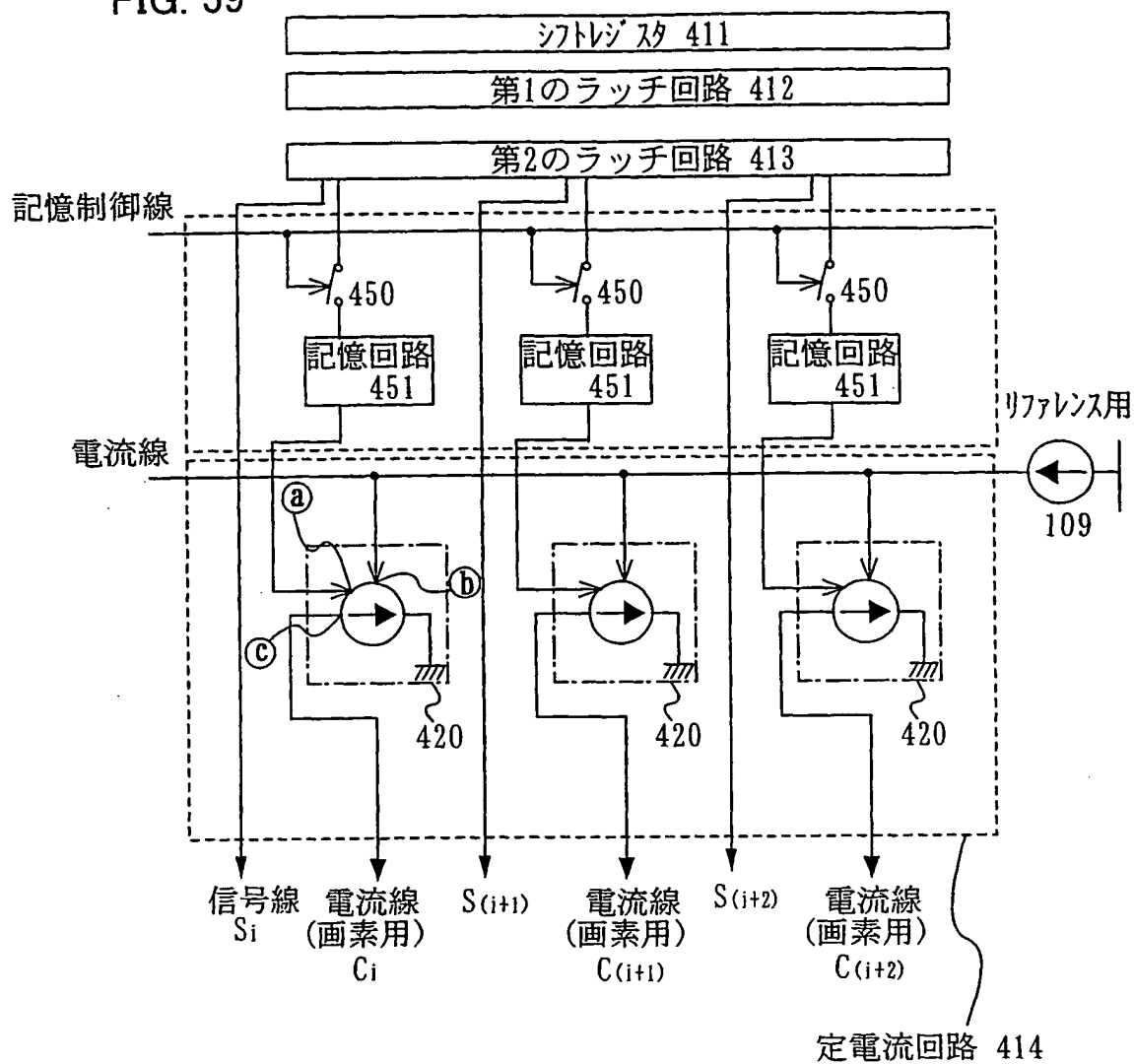
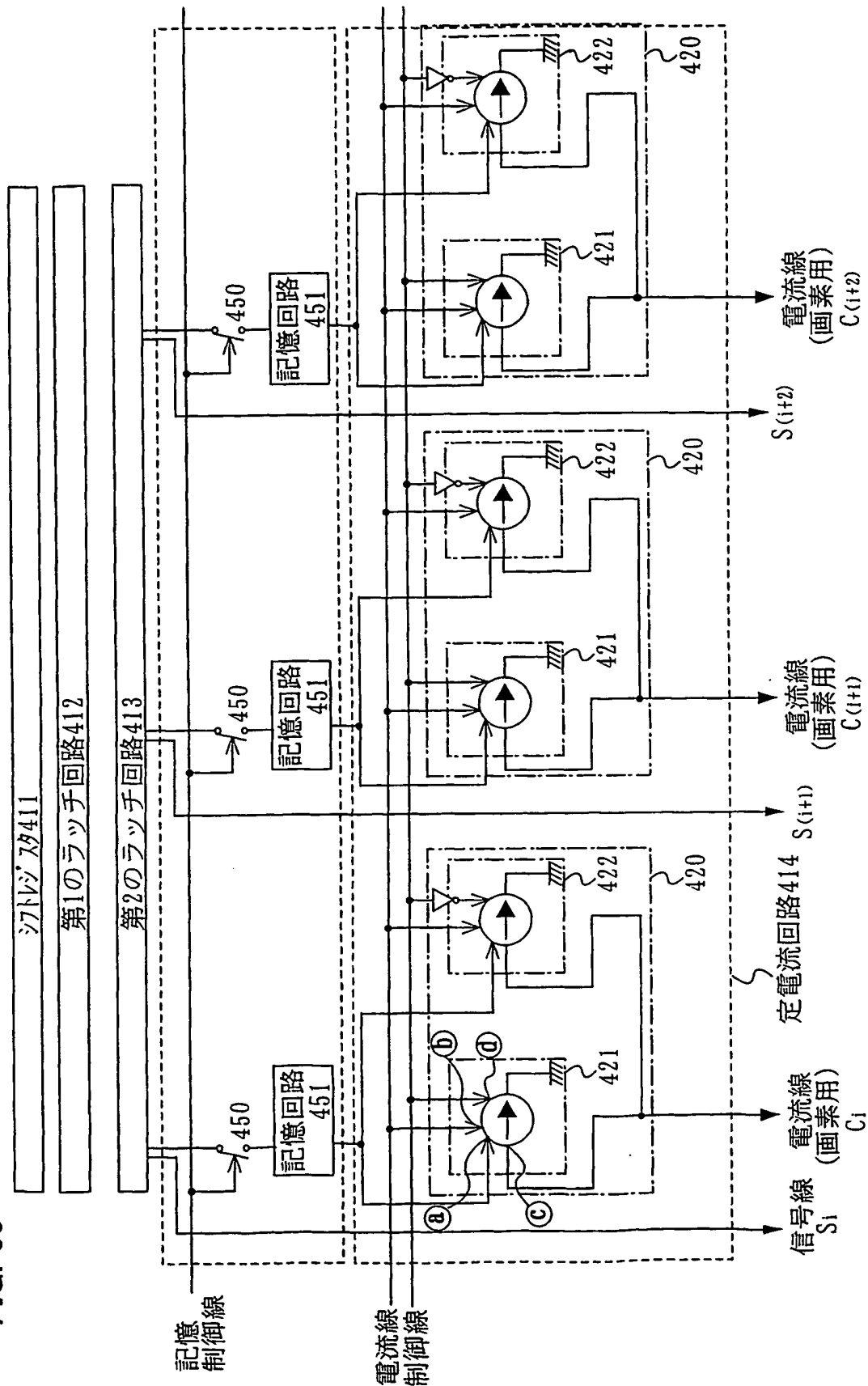


FIG. 60



57/84

FIG. 61

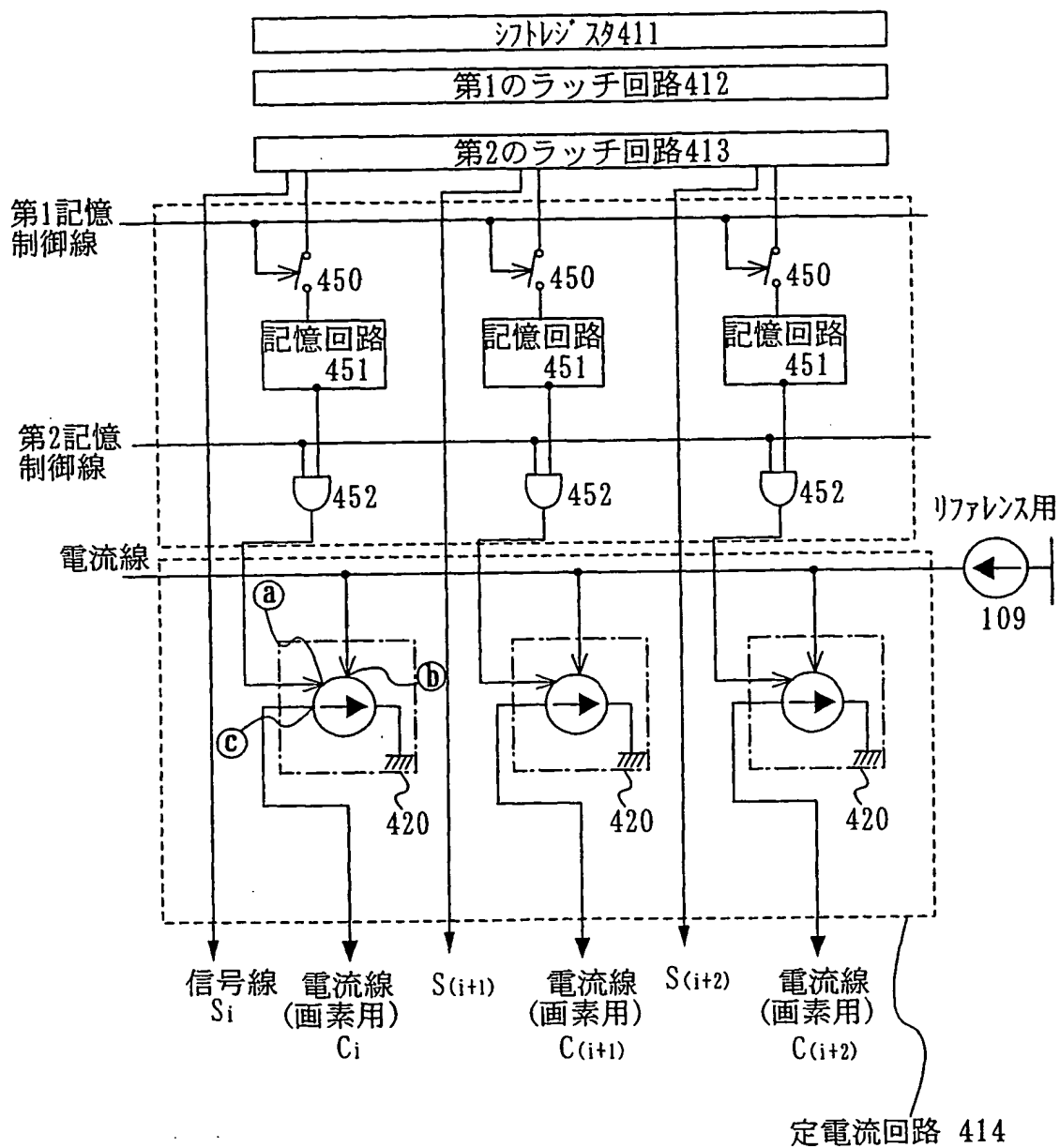


FIG. 62

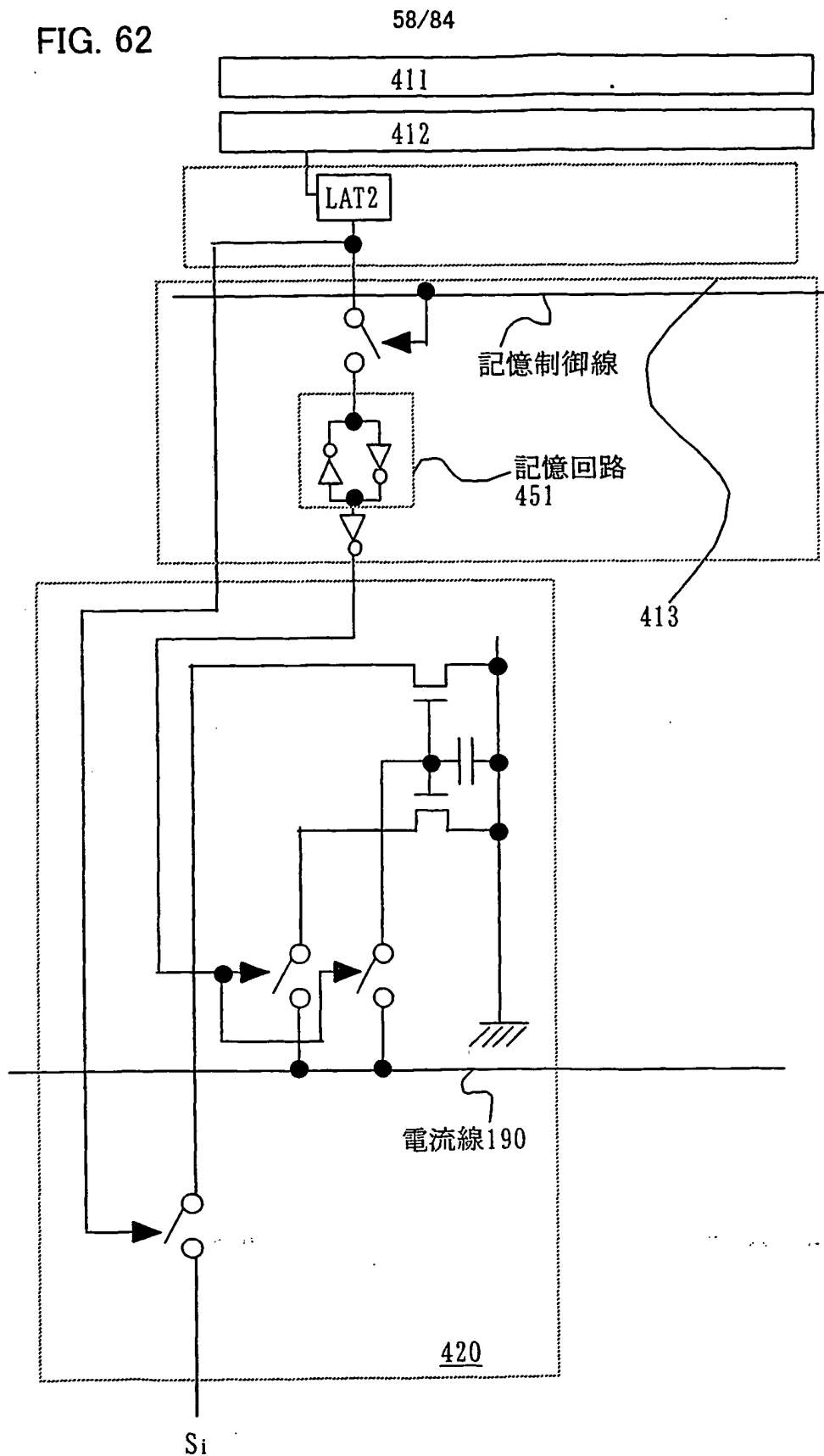
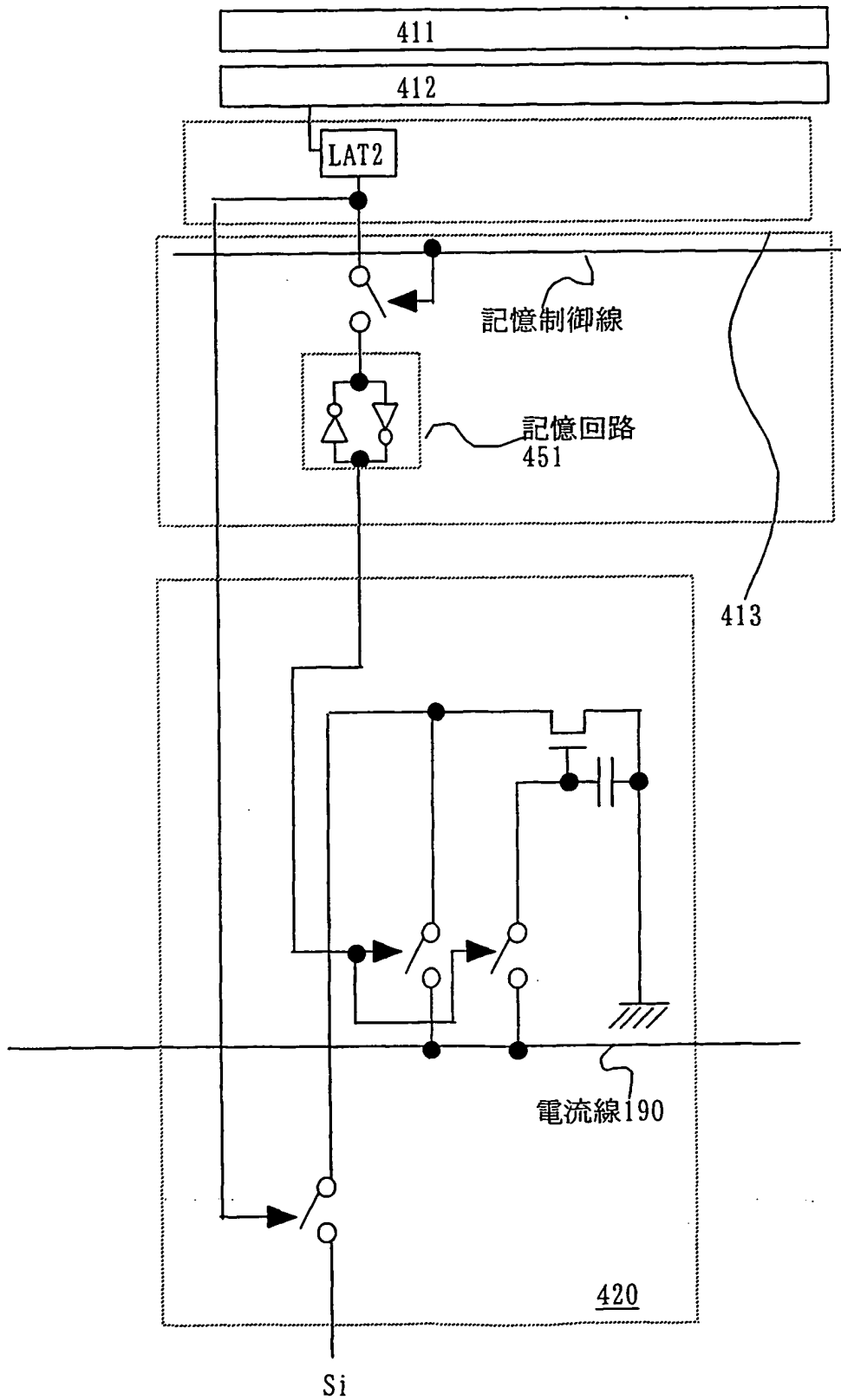


FIG. 63

59/84



60/84

FIG. 64

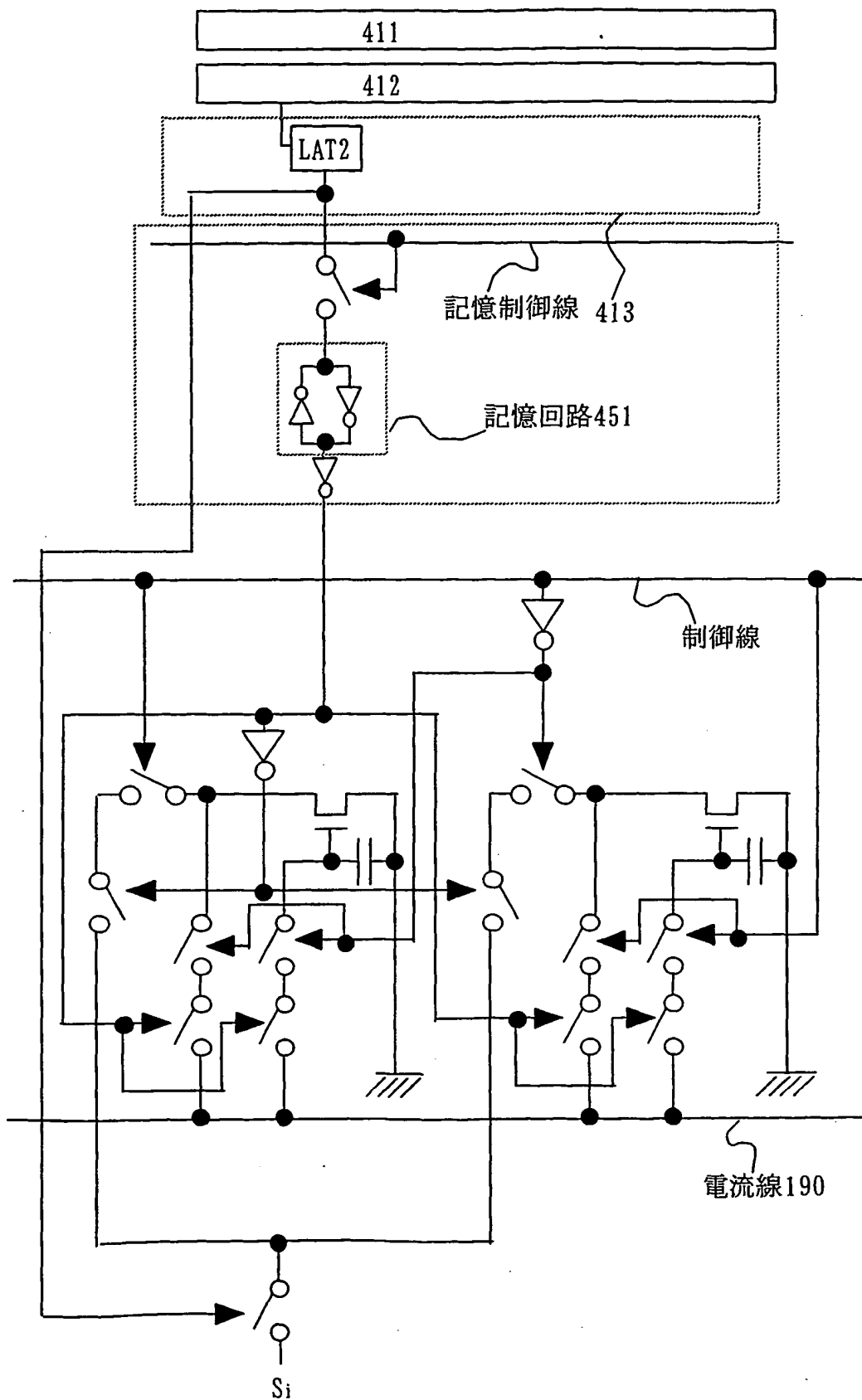
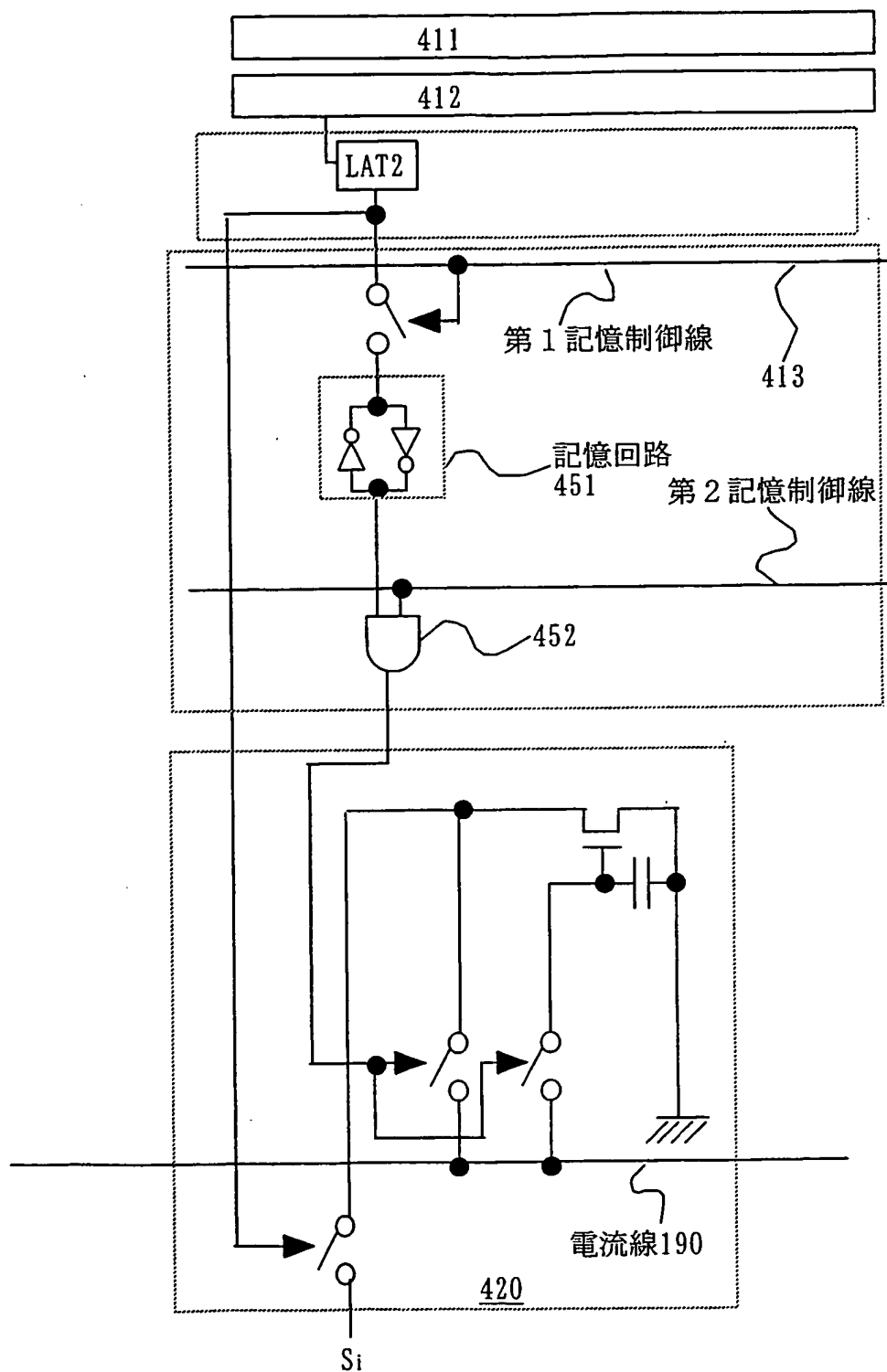


FIG. 65

61/84



62/84

FIG. 66

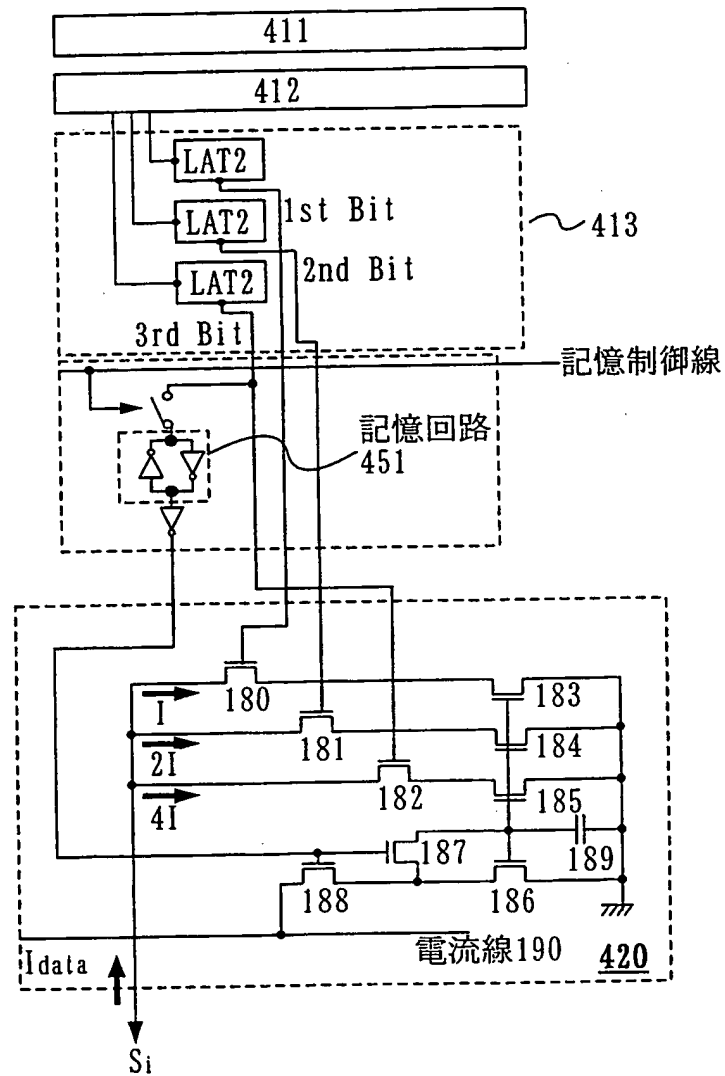


FIG. 67

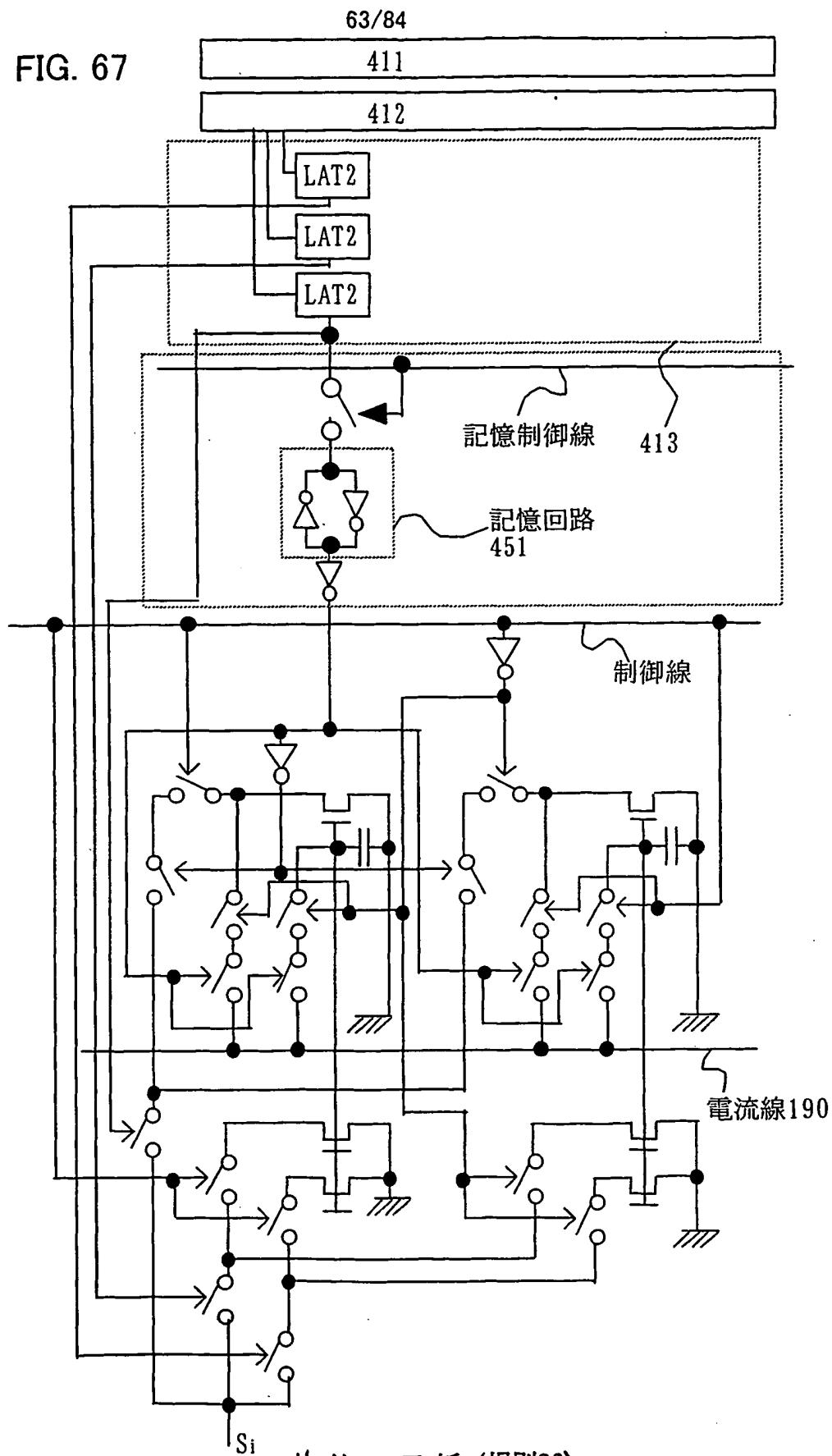
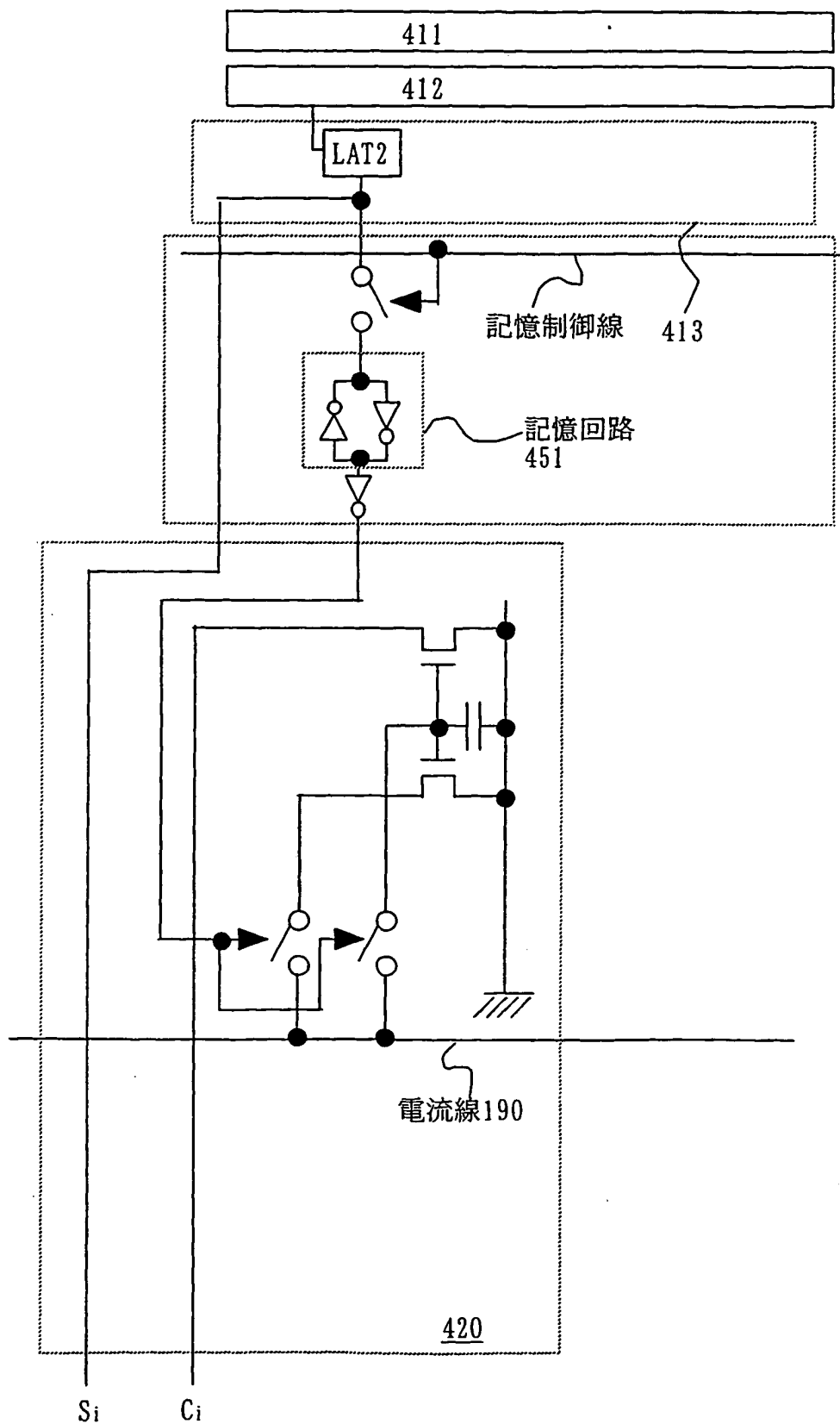


FIG. 69

65/84



66/84

FIG. 70

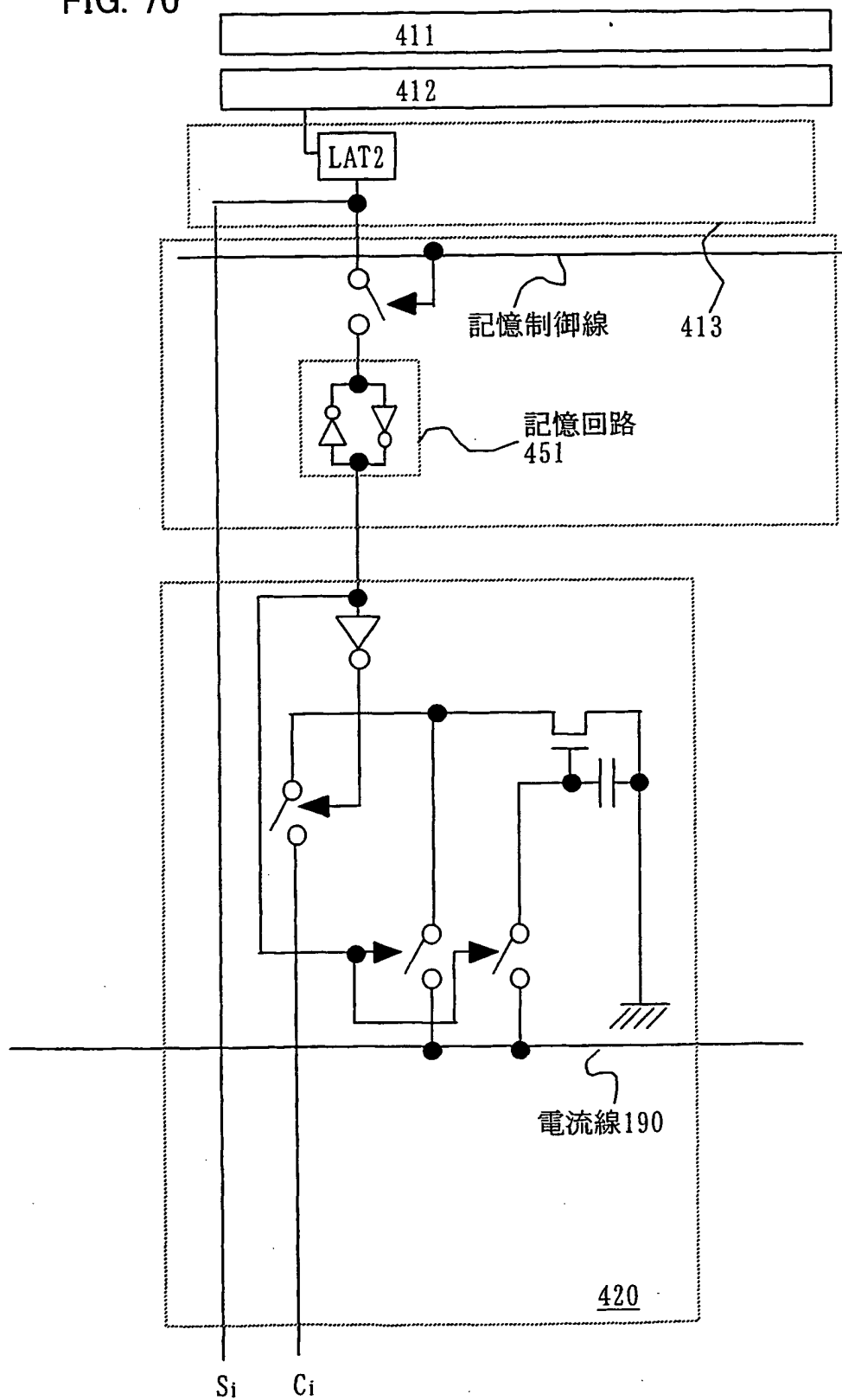
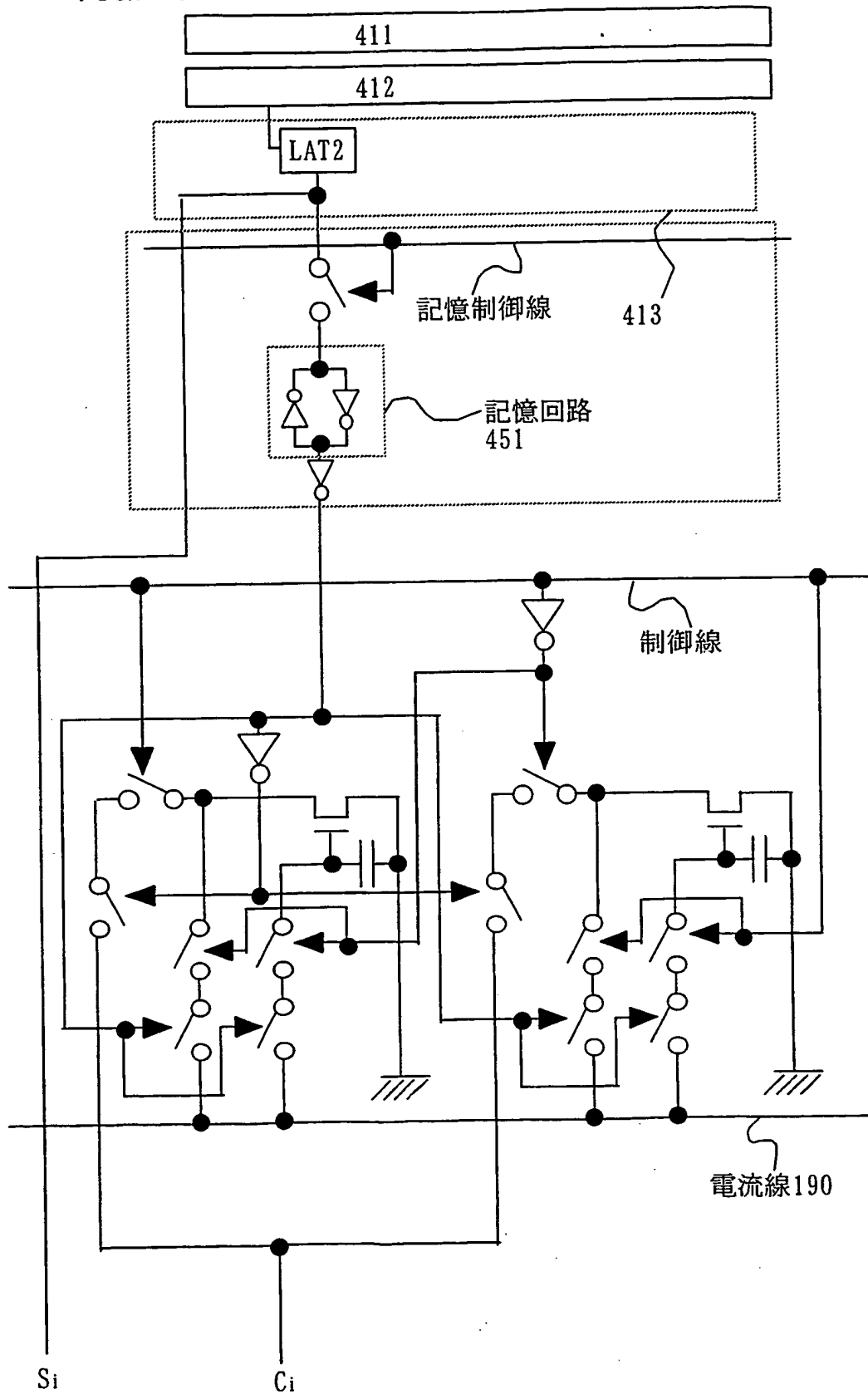


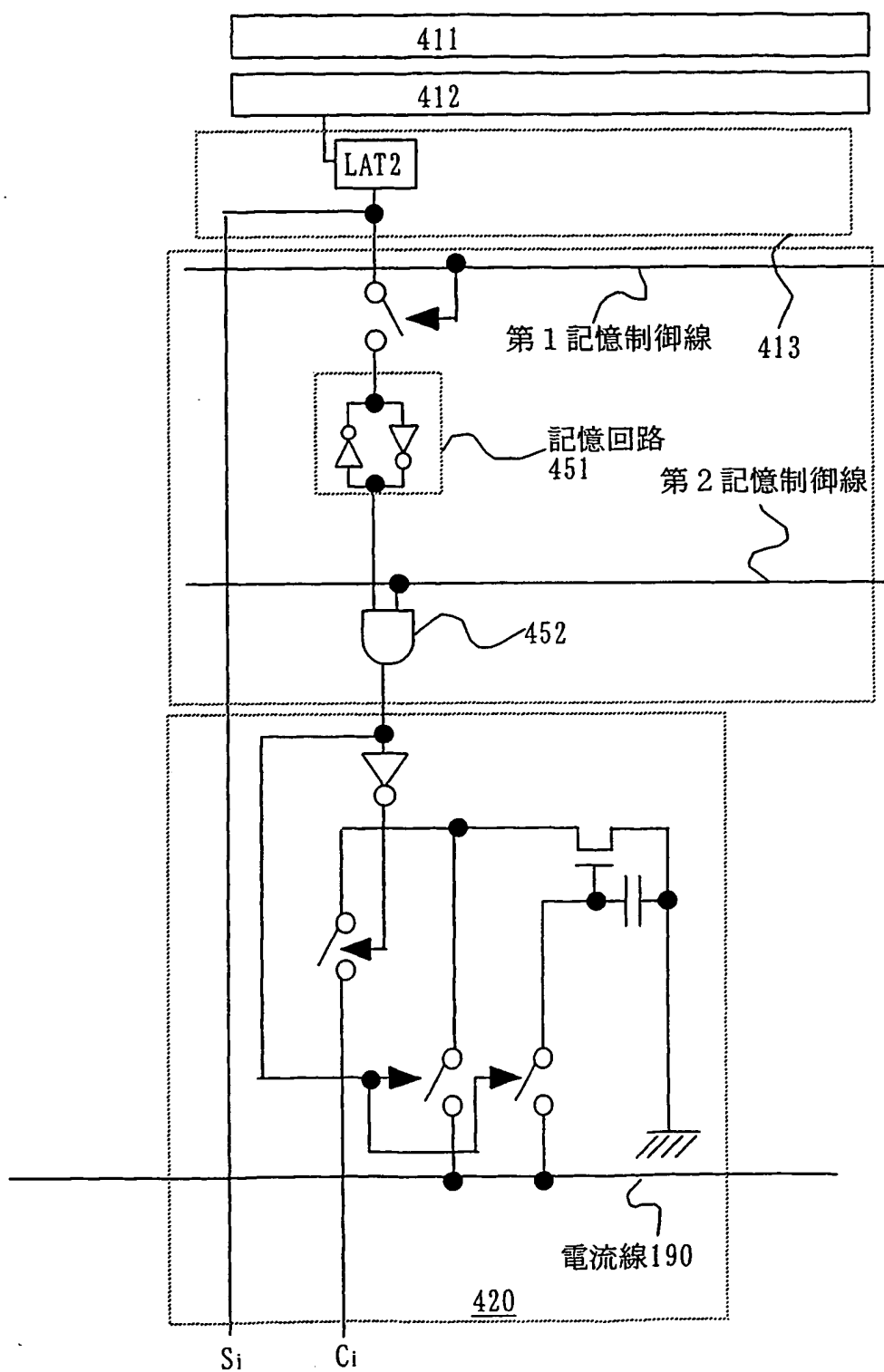
FIG. 71

67/84



68/84

FIG. 72



69/84

FIG. 73A

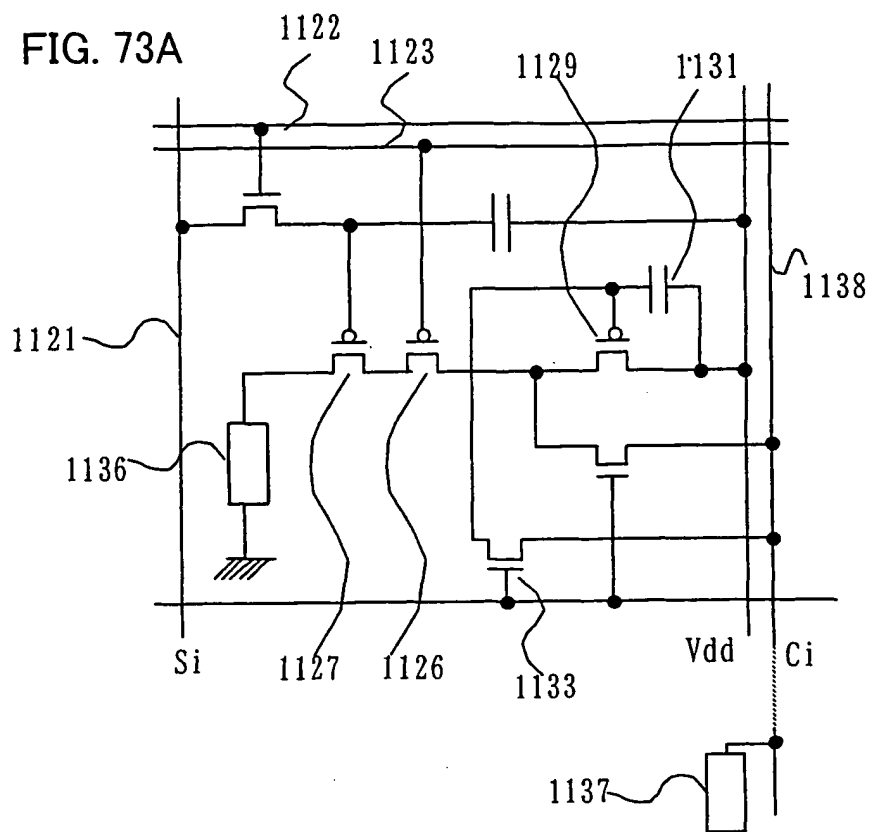
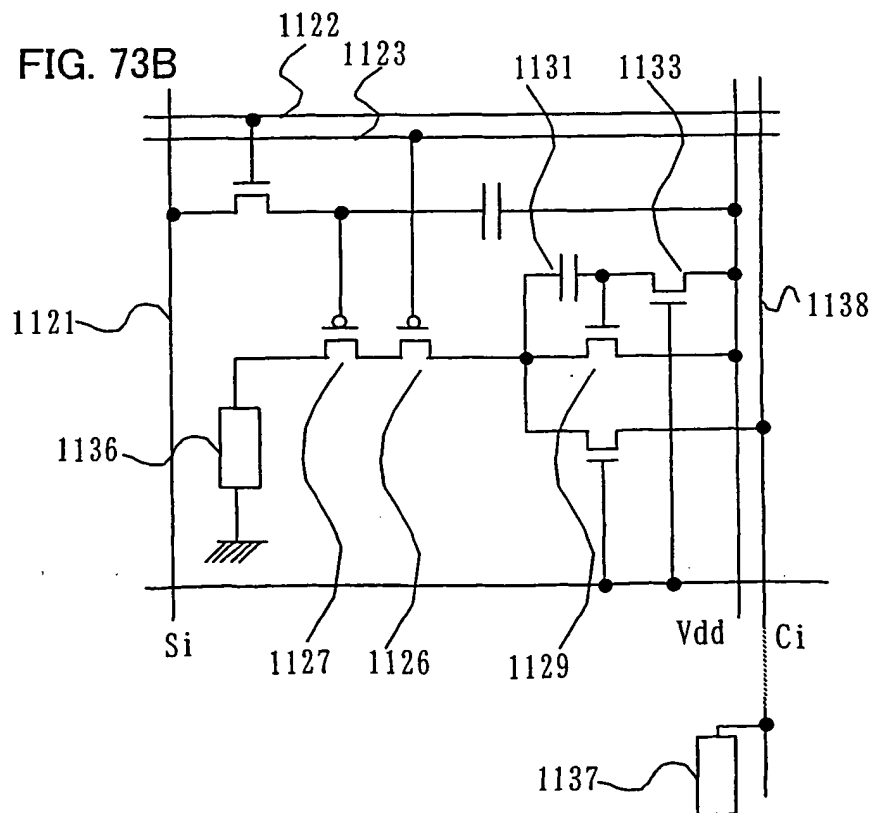


FIG. 73B



70/84

FIG. 74

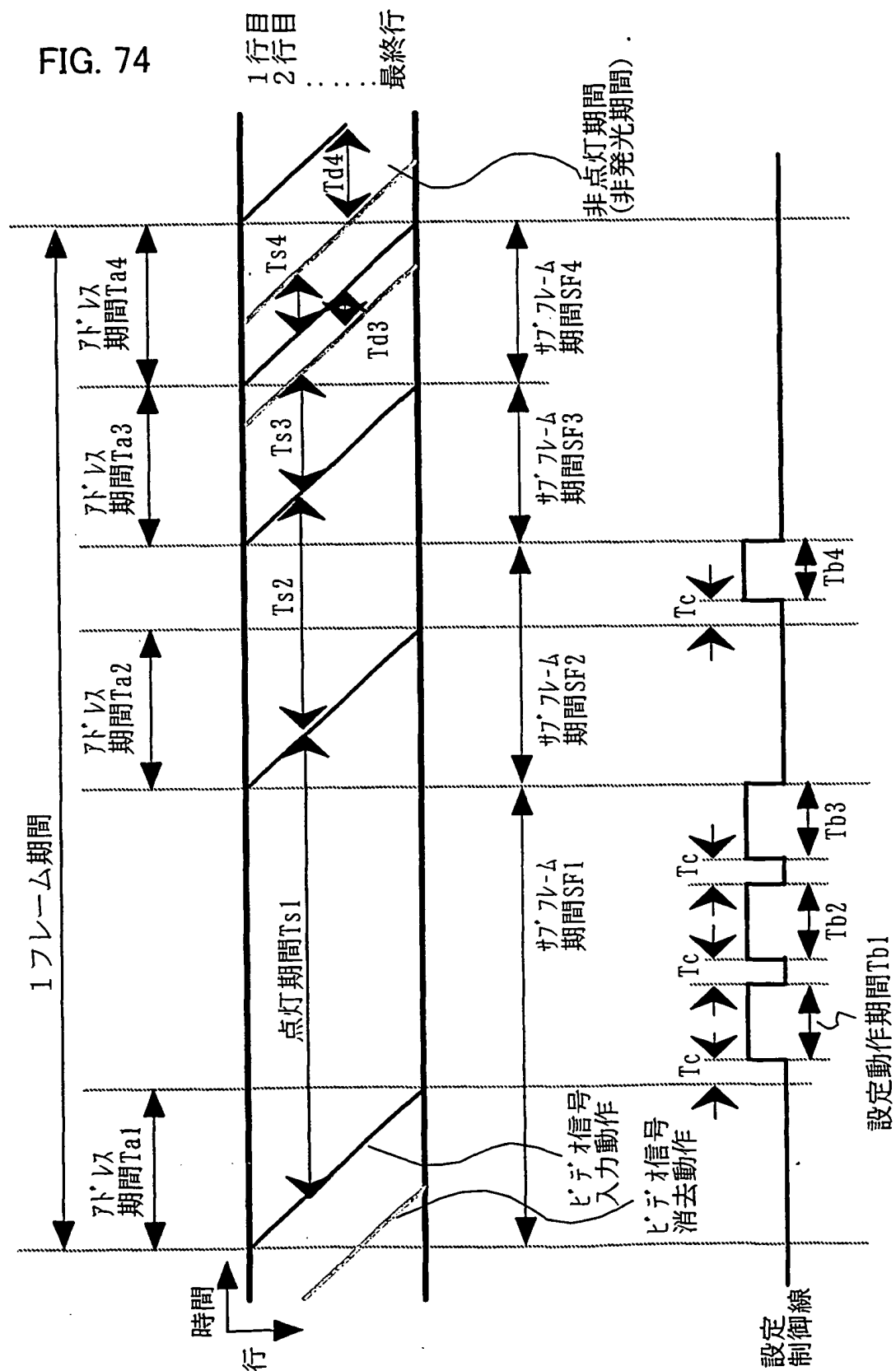
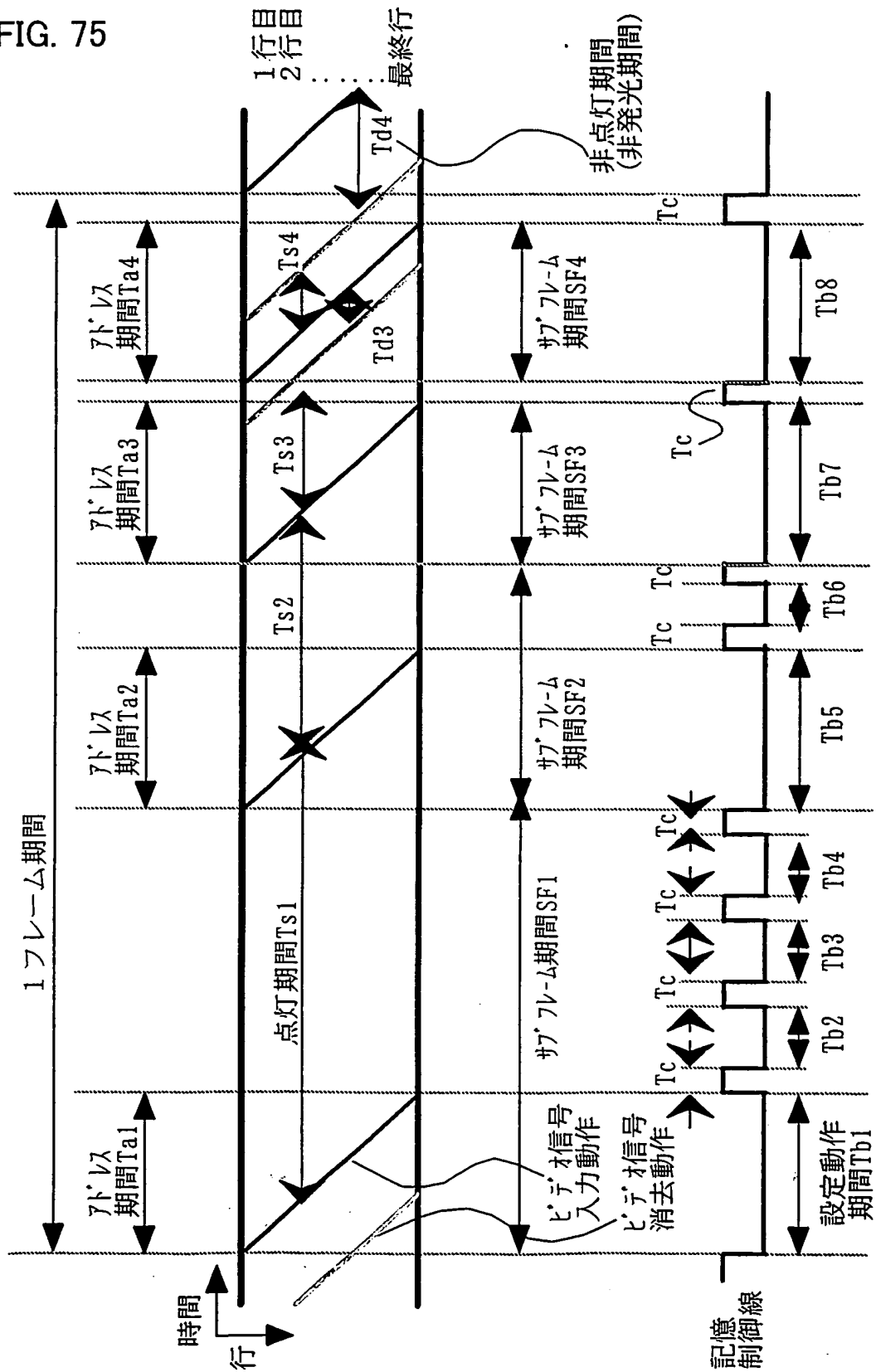
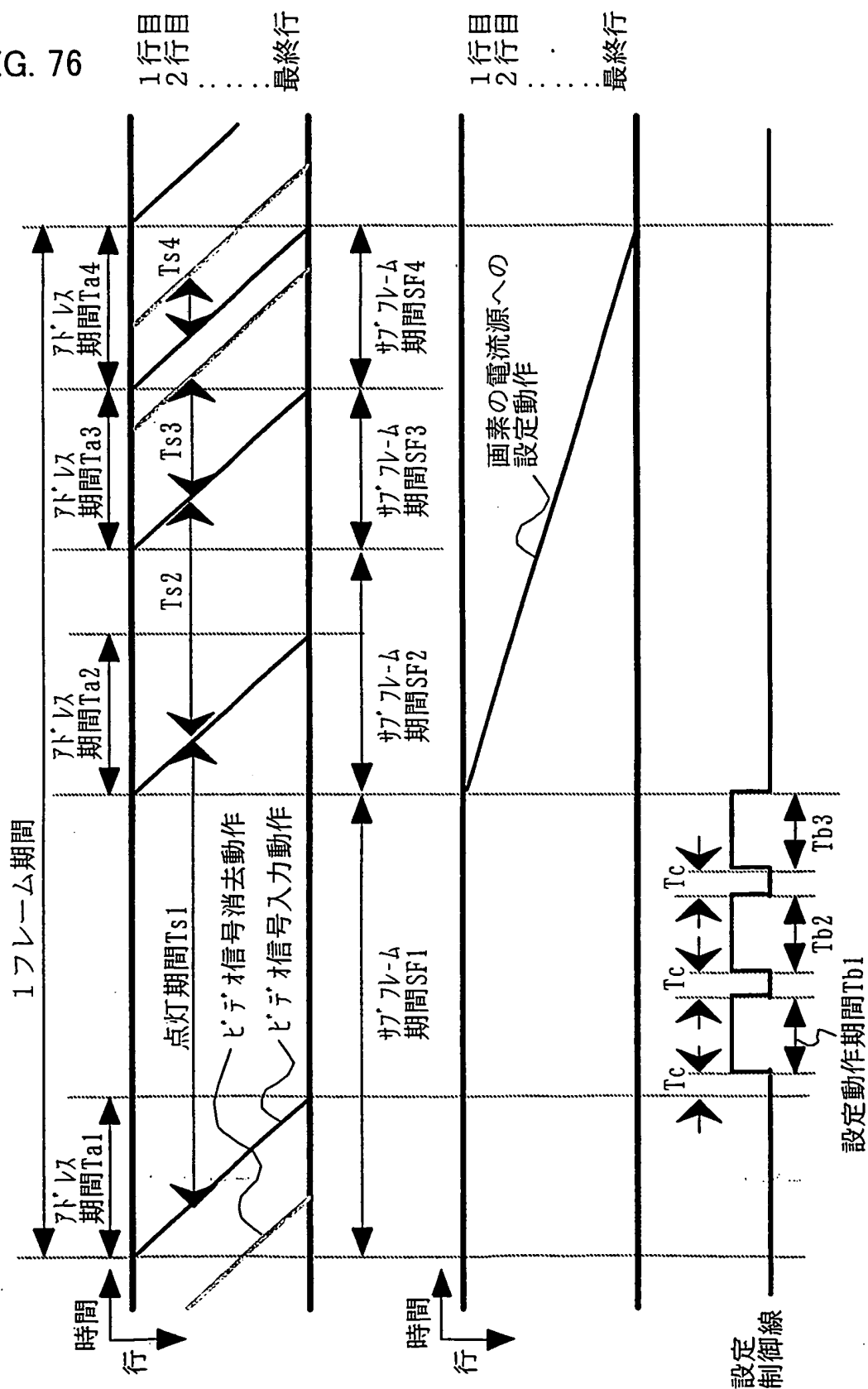


FIG. 75



72/84

FIG. 76



73/84

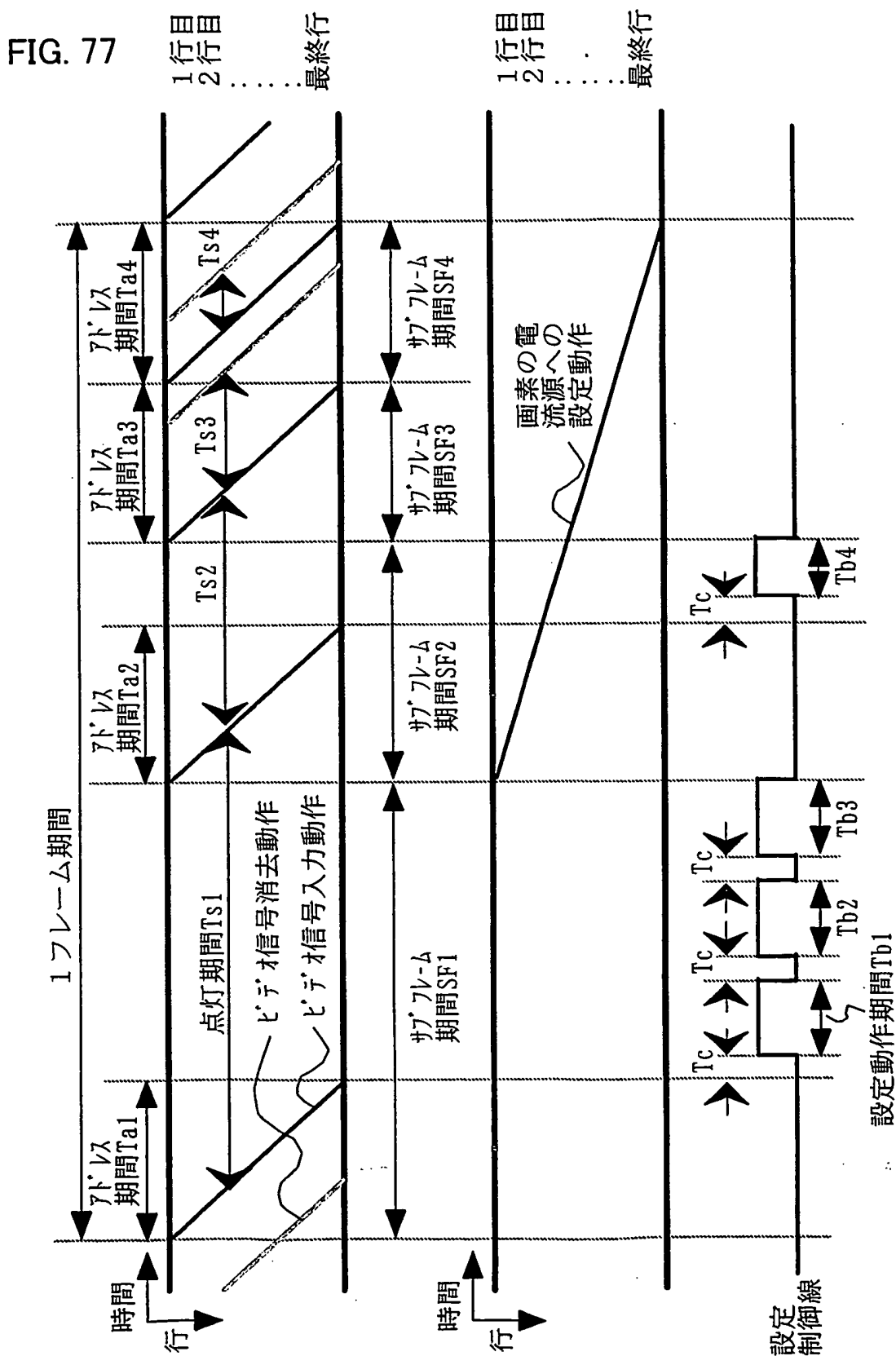
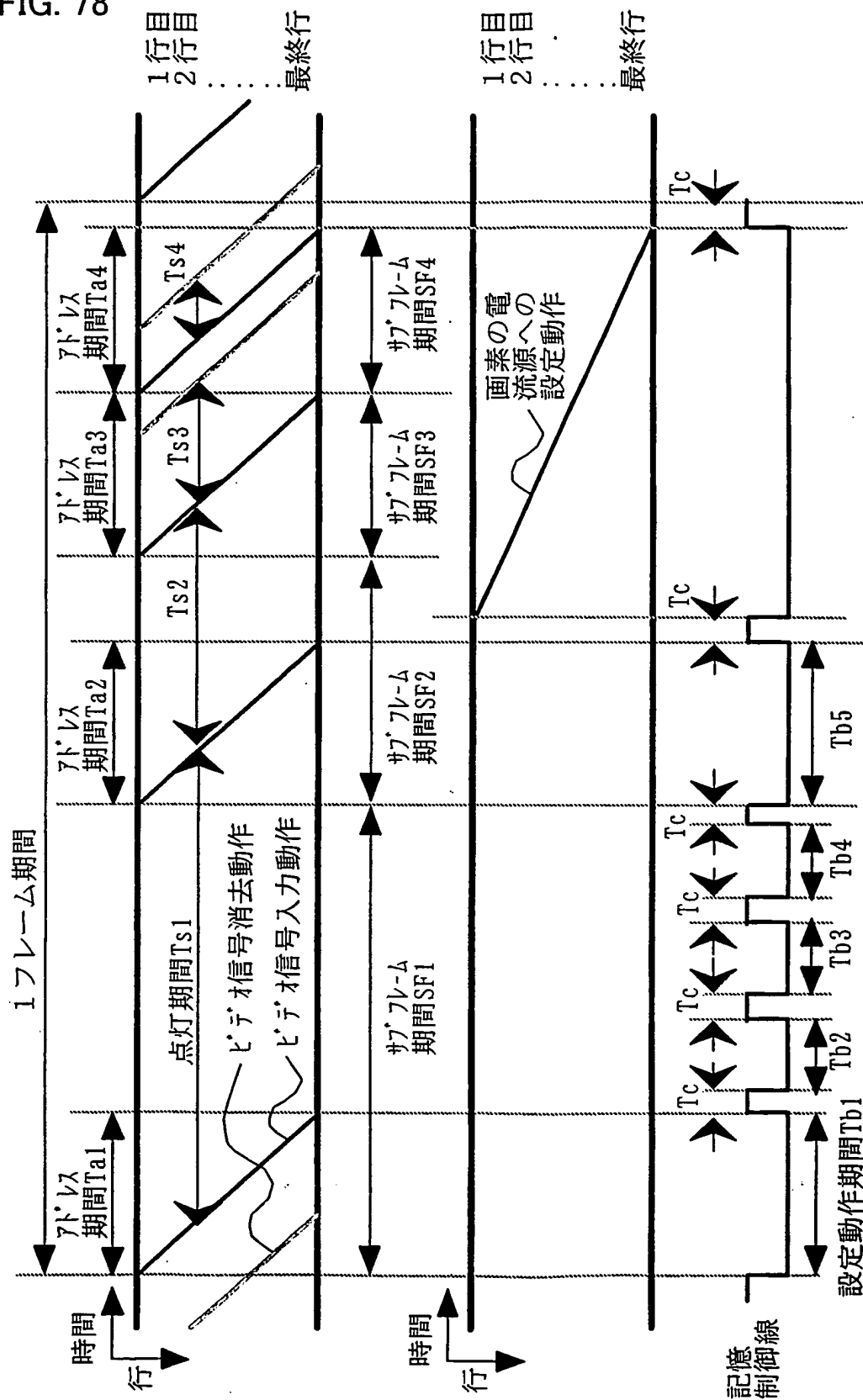


FIG. 78



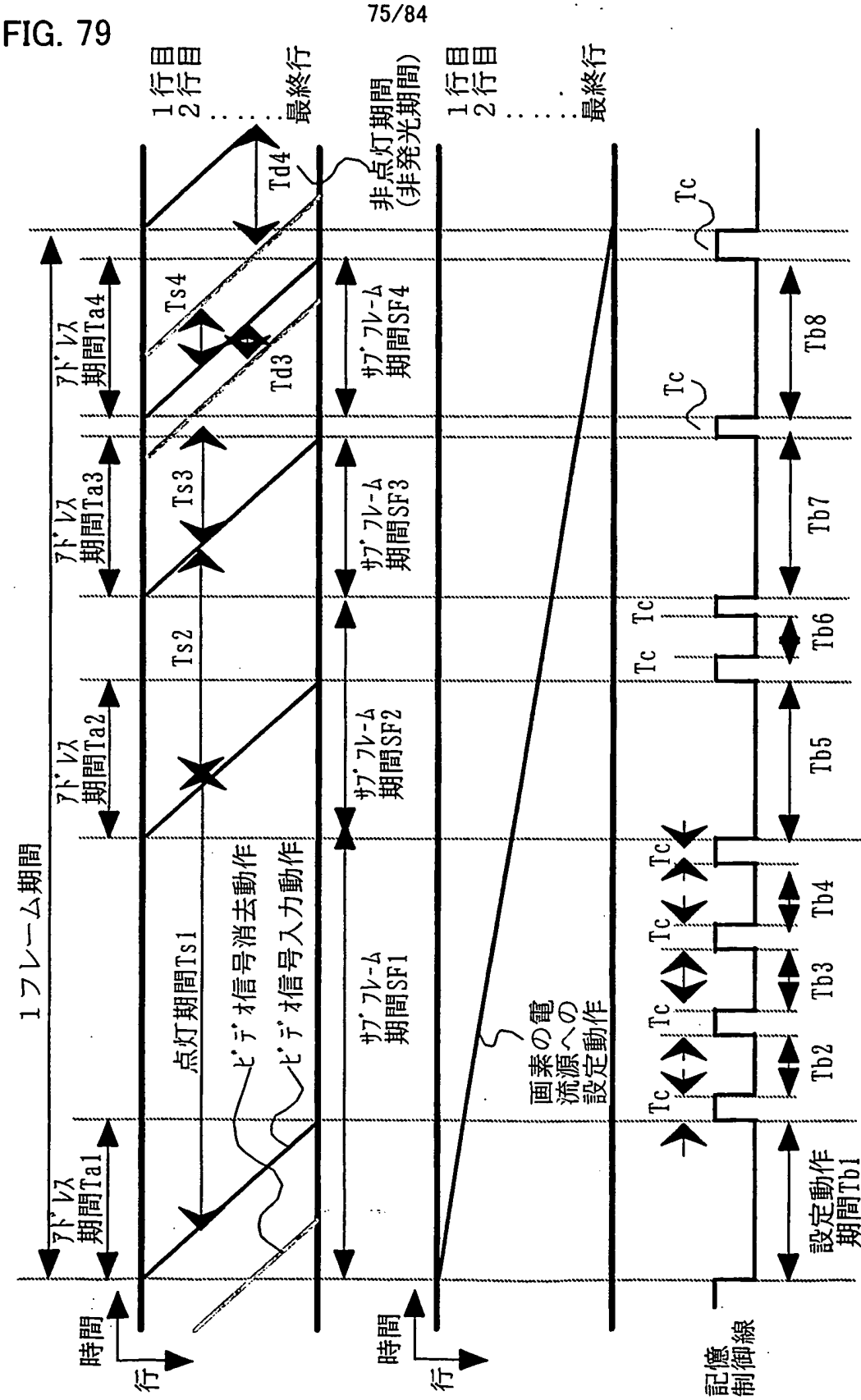


FIG. 80

76/84

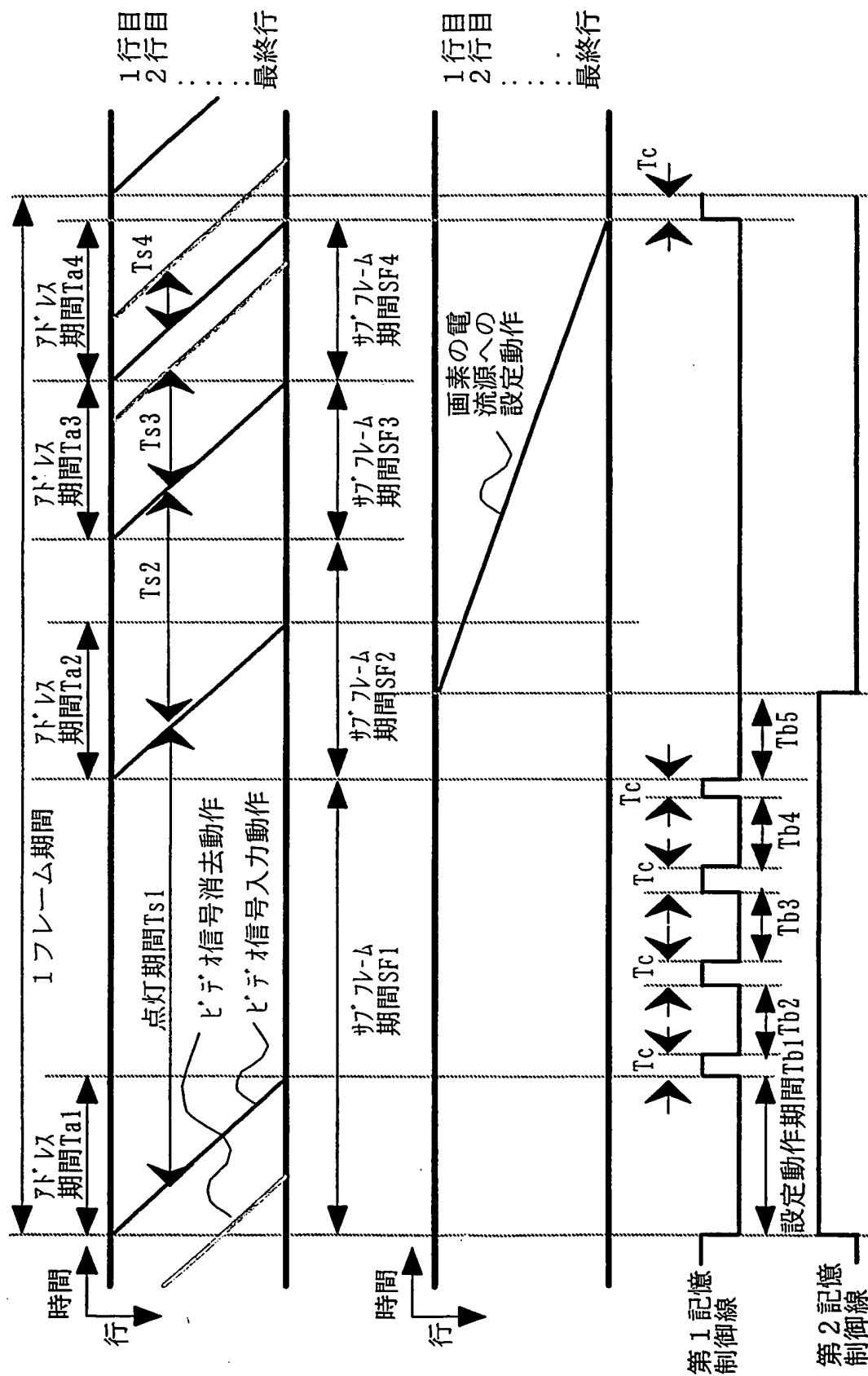


FIG. 81

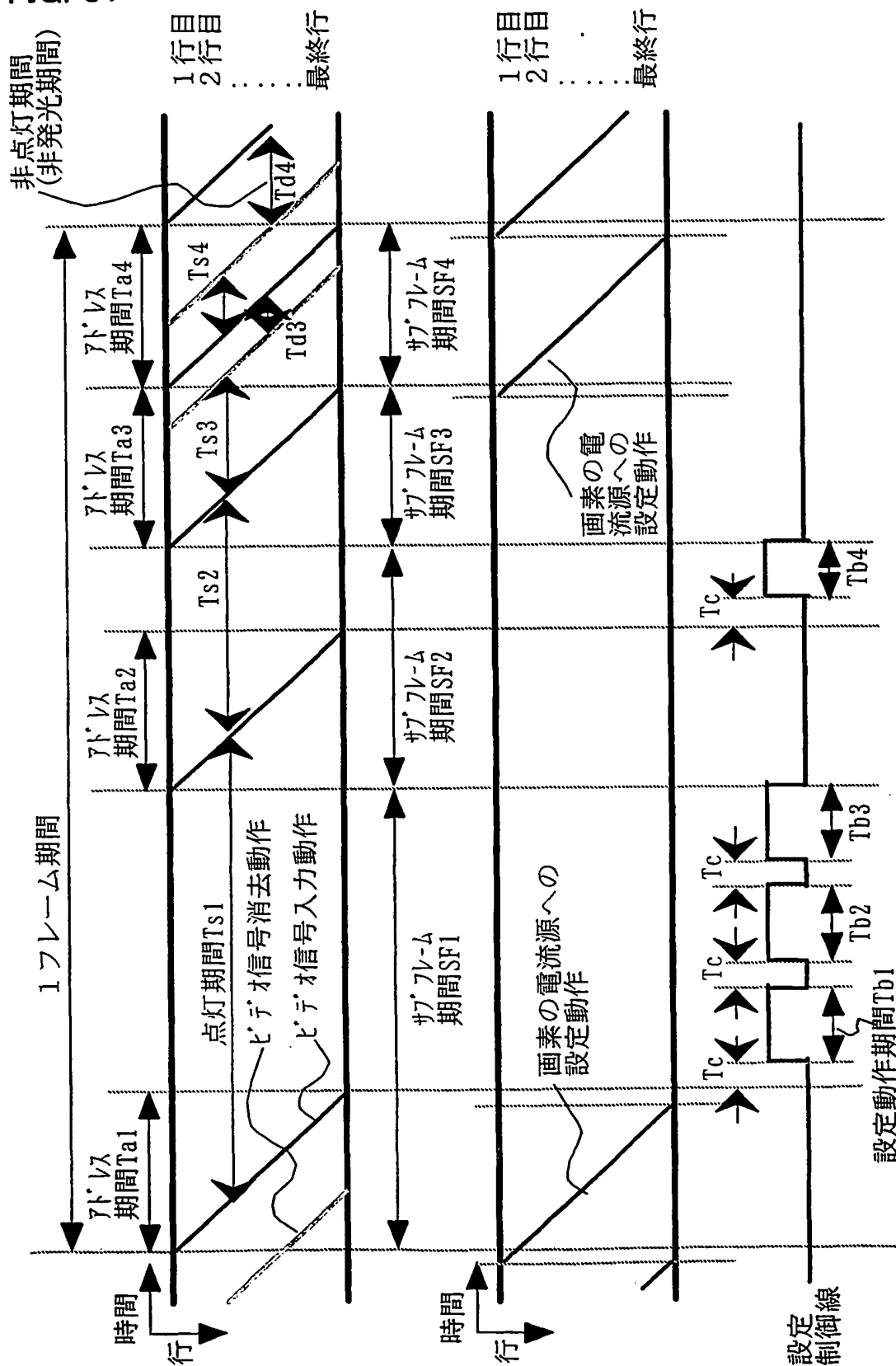


FIG. 82

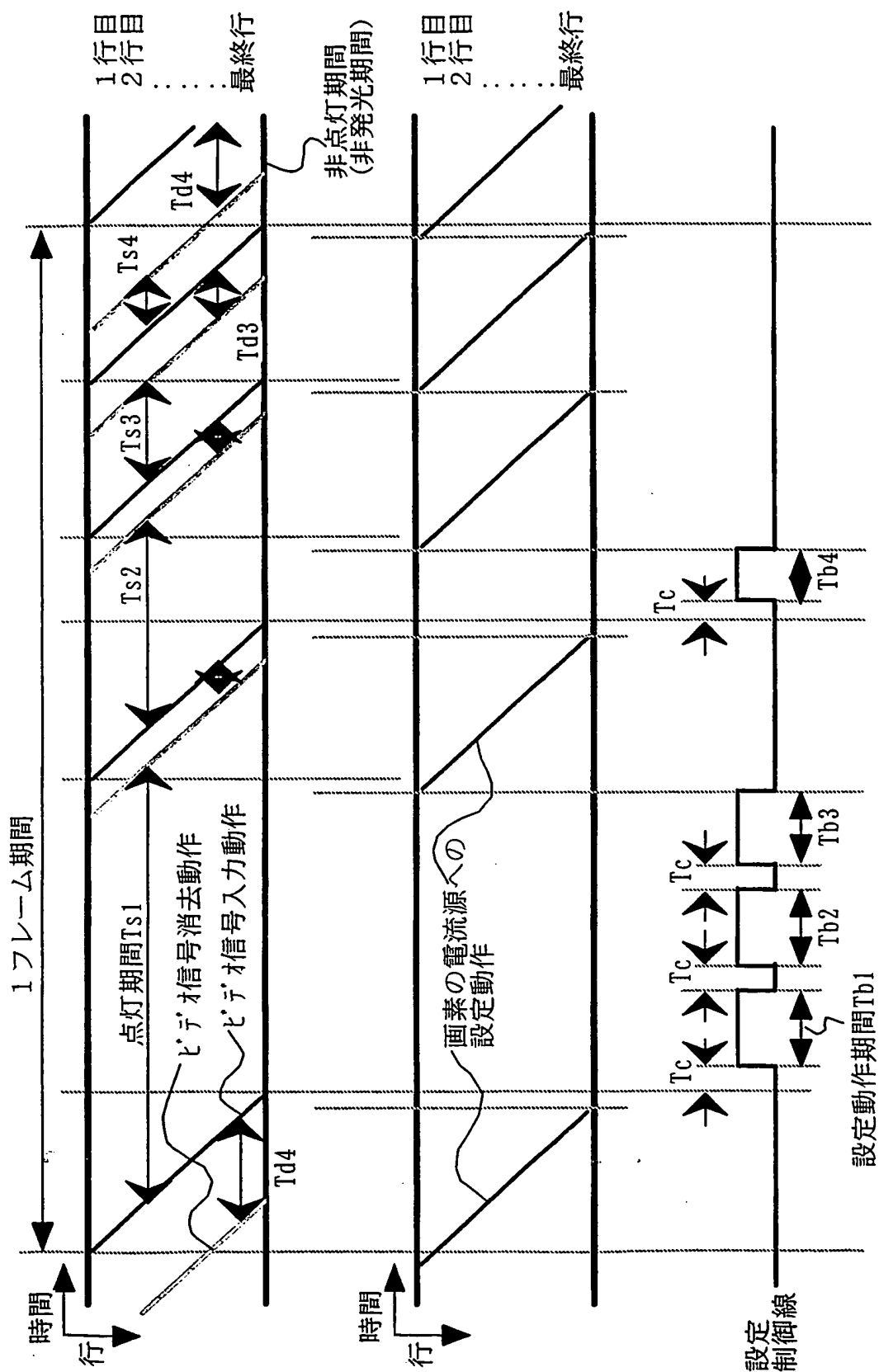


FIG. 83

79/84

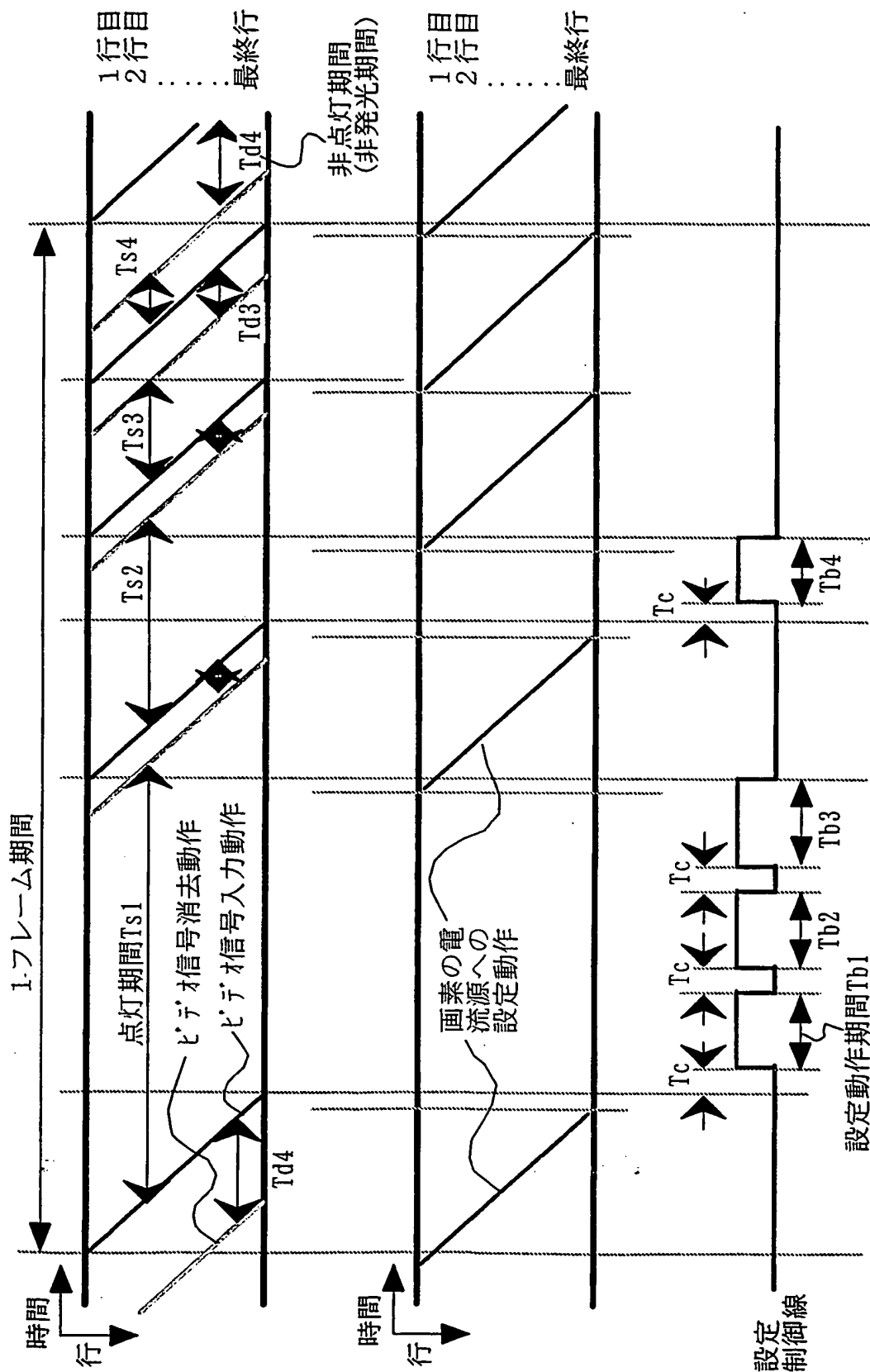


FIG. 84

80/84

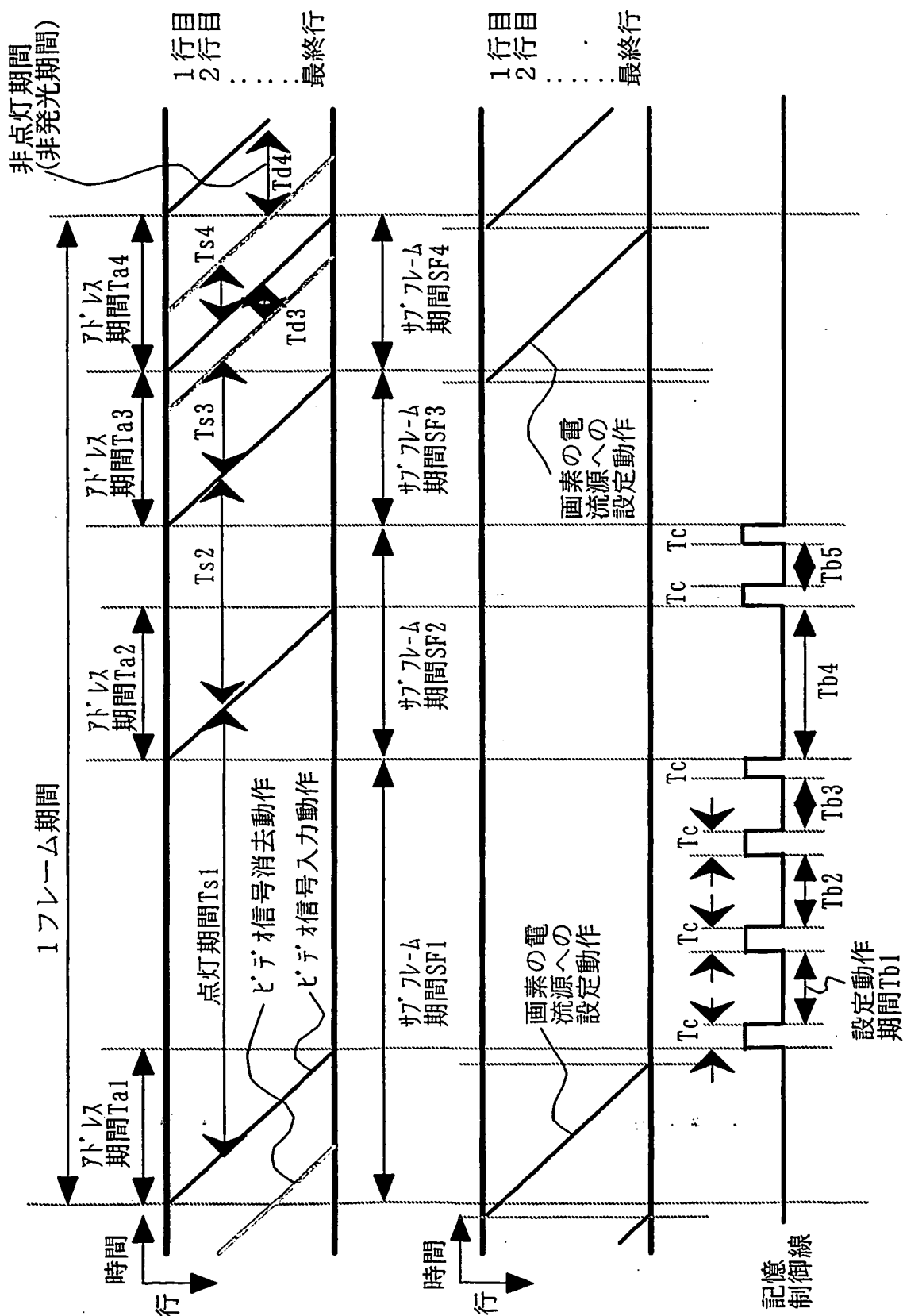
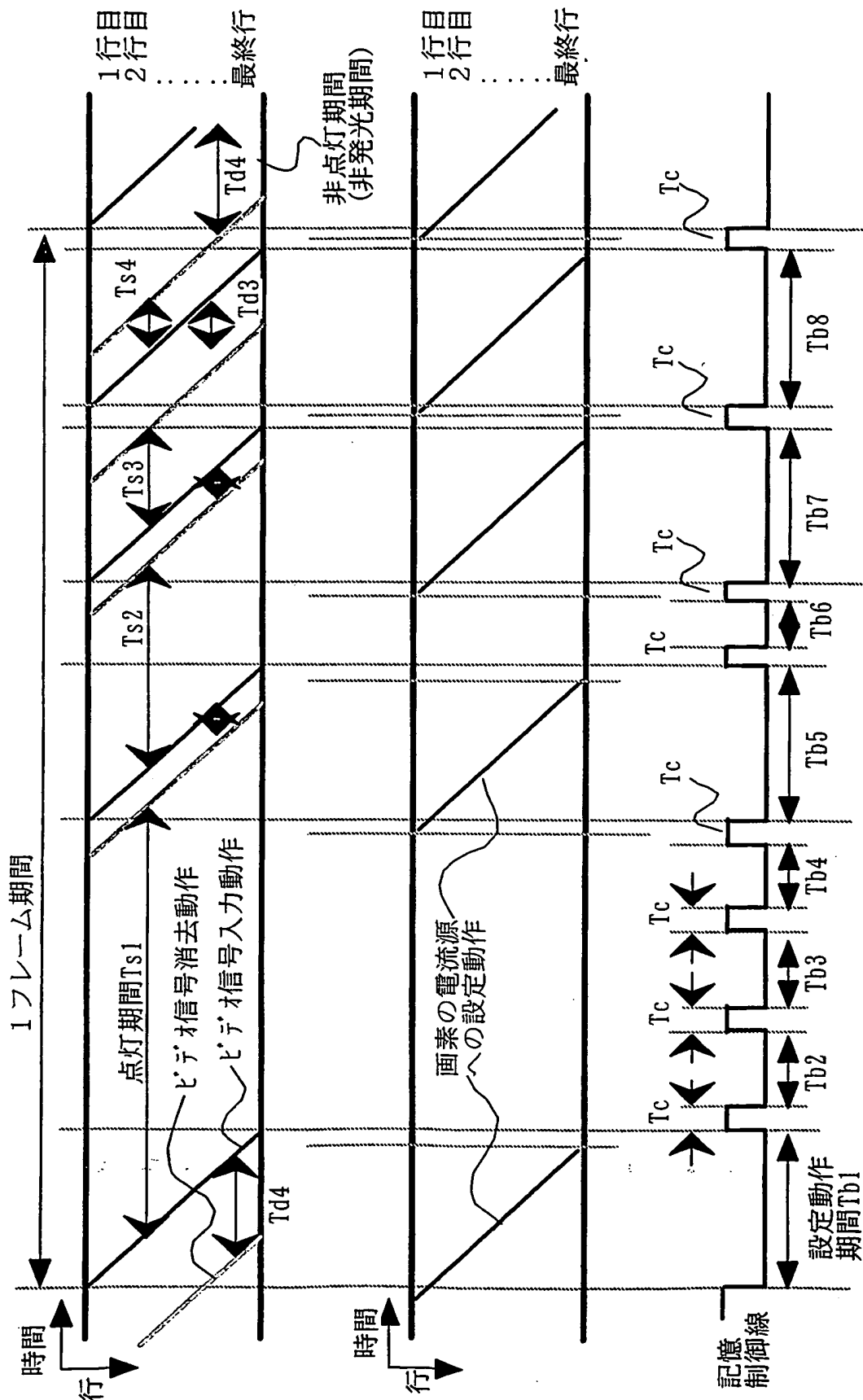


FIG. 85

81/84



差替え用紙 (規則26)

FIG. 86

82/84

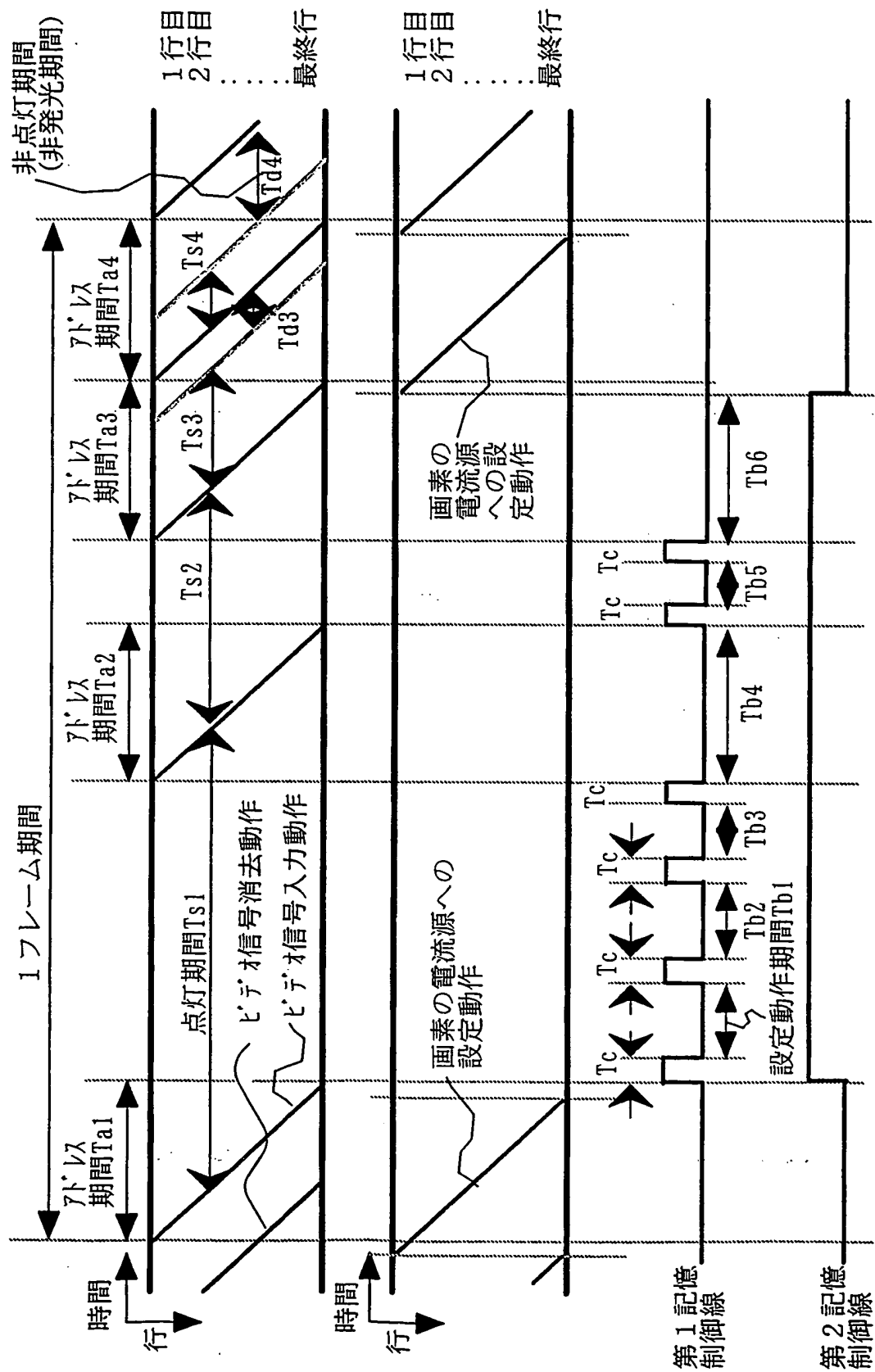
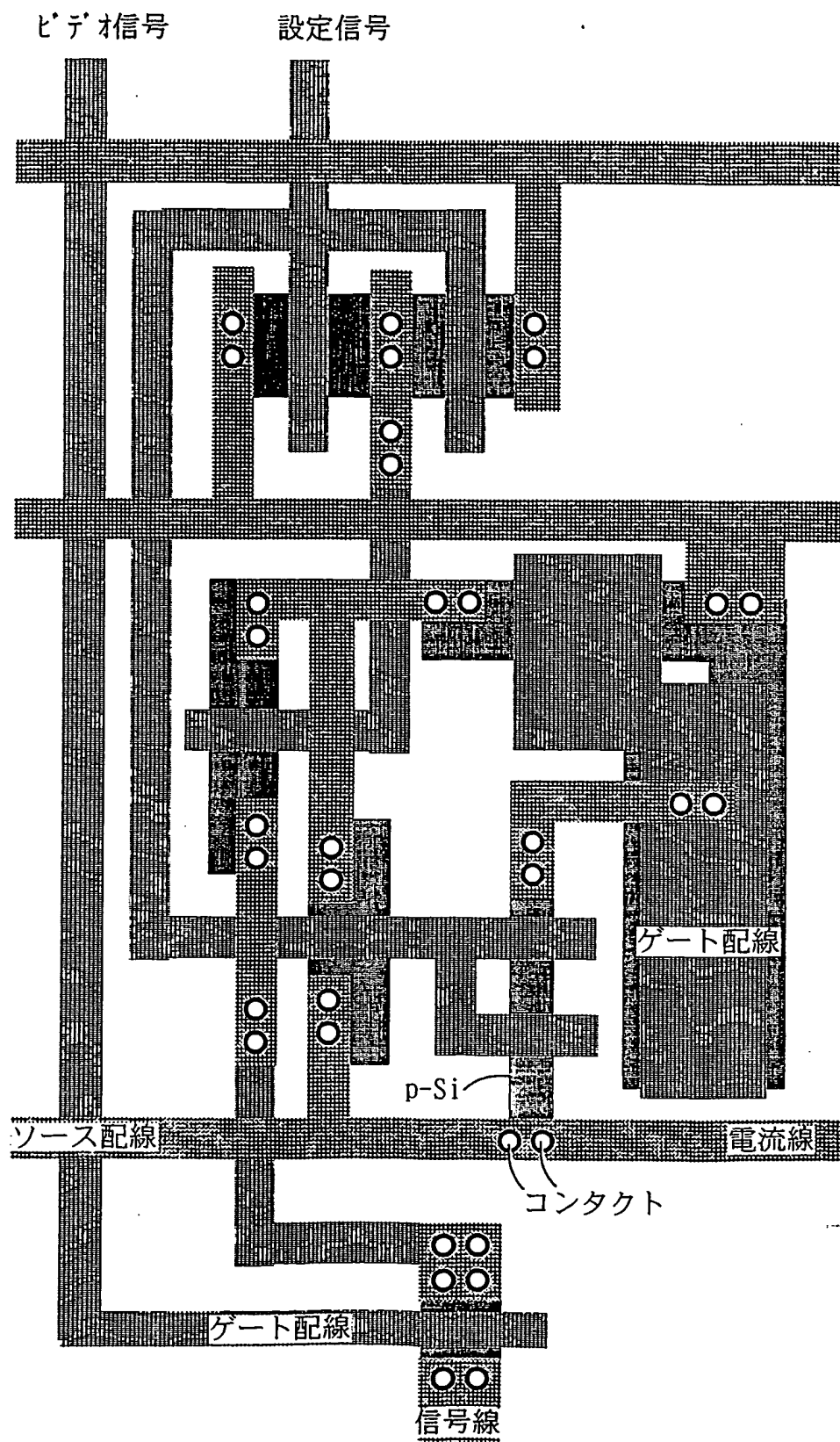


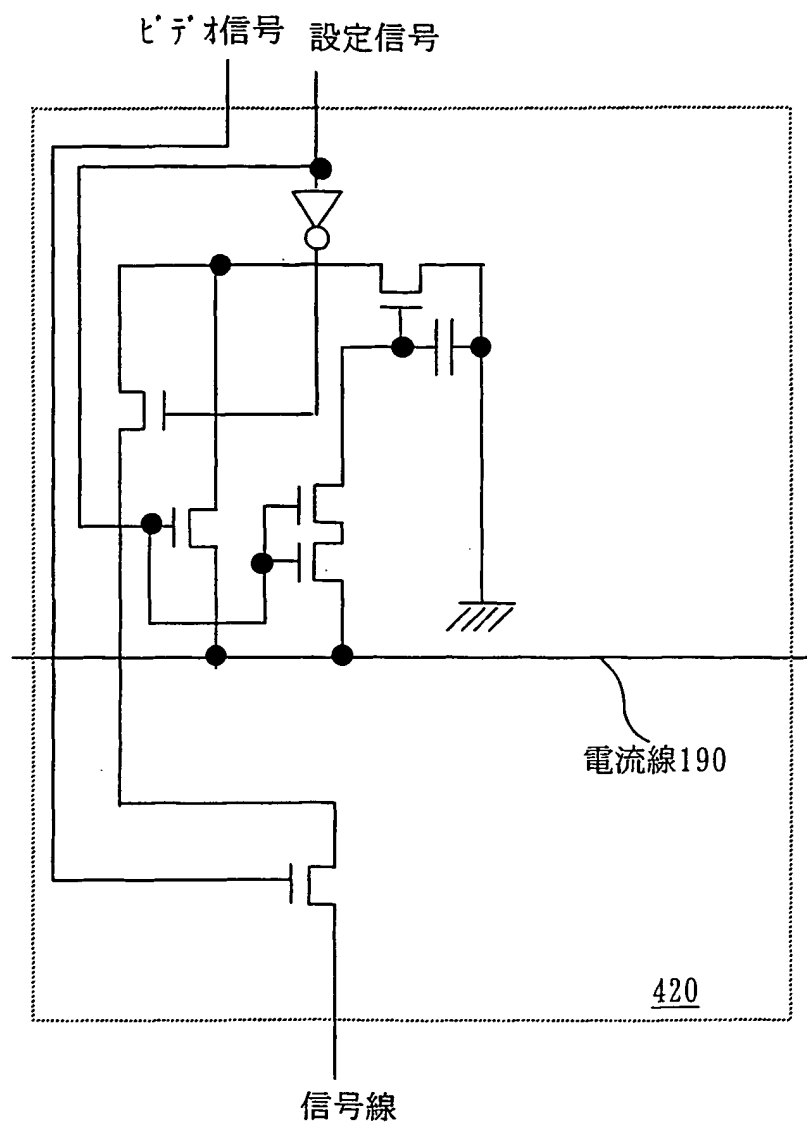
FIG. 87

83/84



84/84

FIG. 88



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2001-56667 A (ティーディーケイ株式会社) 2001. 02. 27 段落番号【0022】 - 【0029】, 第1図 (ファミリーなし)	1-3, 6-9, 17-19 4-5, 10-16, 20-28
Y A	JP 2001-147659 A (ソニー株式会社) 2001. 05. 29 段落番号【0015】 - 【0017】, 第1図 & EP 1102234 A2	10-14 1-9, 15-28
Y A	JP 11-282419 A (日本電気株式会社) 1999. 10. 15, 全文, 全図 & US 6091203 A	11-14, 16 1-10, 15, 17-28
A	WO 98/48403 A1 (SARNOFF CORPORATION) 1998. 10. 29 第4頁第18行-第5頁第31行, 第2図 & JP 2002-514320 A & US 6229506 B1	1-28
Y	JP 9-244590 A (株式会社東芝) 1997. 09. 19 段落番号【0002】 - 【0005】, 第10-12図 (ファミリーなし)	2-3
A	JP 2001-34221 A (日本精機株式会社) 2001. 02. 09 段落番号【0034】, 第4図 (ファミリーなし)	2-5
A	JP 2001-42822 A (パイオニア株式会社) 2001. 02. 16, 全文, 全図 (ファミリーなし)	20-24
P. A	JP 2002-215095 A (パイオニア株式会社) 2002. 07. 31, 全文, 全図 (ファミリーなし)	1-28
P. A	JP 2002-278497 A (キャノン株式会社) 2002. 09. 27, 全文, 全図 (ファミリーなし)	1-28

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl⁷ G09G 3/30, 3/20
 H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl⁷ G09G 3/00-3/38
 H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-45071 A (日本電気株式会社) 1999. 02. 16	1-3, 6-14, 16-19
A	段落番号【0025】-【0029】、第4図、第13図 & US 6310589 B1 & US 2001/0048410 A1	4-5, 15, 20-28
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONI- CS N.V.) 1999. 12. 16	1-3, 6-9, 17-19
A	第8頁第12行-第11頁第8行、第2図 & JP 2002-517806 A	4-5, 10-16, 20-28

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日
 06. 01. 03

国際調査報告の発送日
 04.02.03

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 西島 篤宏



2G 9308

電話番号 03-3581-1101 内線 3225

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11279

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-147659 A (Sony Corp.), 29 May, 2001 (29.05.01), Par. Nos. [0015] to [0017]; Fig. 1 & EP 1102234 A2	10-14 1-9, 15-28
Y A	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0044] to [0054]; Fig. 1 & US 6091203 A	11-14, 16 1-10, 15, 17-28
A	WO 98/48403 A1 (SARNOFF CORP.), 29 October, 1998 (29.10.98), Page 4, line 18 to page 5, line 31; Fig. 2 & JP 2002-514320 A & US 6229506 B1	1-28
Y	JP 9-244590 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Par. Nos. [0002] to [0005]; Figs. 10 to 12 (Family: none)	2-3
A	JP 2001-34221 A (Nippon Seiki Co., Ltd.), 09 February, 2001 (09.02.01), Par. No. [0034]; Fig. 4 (Family: none)	2-5
A	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	20-24
P, A	JP 2002-215095 A (Pioneer Electronic Corp.), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1-28
P, A	JP 2002-278497 A (Canon Inc.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1-28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11279

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 5/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-45071 A (NEC Corp.), 16 February, 1999 (16.02.99), Full text; all drawings & US 6310589 B1 & US 2001/0048410 A1	1-3, 6-14, 16-19 4-5, 15, 20-28
Y A	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 16 December, 1999 (16.12.99), Page 8, line 12 to page 11, line 8; Fig. 2 & JP 2002-517806 A	1-3, 6-9, 17-19 4-5, 10-16, 20-28
Y A	JP 2001-56667 A (TDK Corp.), 27 February, 2001 (27.02.01), Par. Nos. [0022] to [0029]; Fig. 1 (Family: none)	1-3, 6-9, 17-19 4-5, 10-16, 20-28

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 January, 2003 (06.01.03)

Date of mailing of the international search report
04 February, 2003 (04.02.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

SPECIFICATION

SIGNAL LINE DRIVER CIRCUIT, LIGHT EMITTING DEVICE,
AND DRIVING METHOD THEREOF

Technical Field

The present invention relates to a technique of a signal line driver circuit. Further, the present invention relates to a light emitting device including the signal line driver circuit.

Background Art

Recently, display devices for performing image display are being developed. Liquid crystal display devices that perform image display by using a liquid crystal element are widely used as display devices because of advantages of high image quality, thinness, lightweight, and the like.

In addition, light emitting devices using self-light emitting elements as light emitting elements are recently being developed. The light emitting device has characteristics of, for example, a high response speed suitable for motion image display, low voltage, and low power consumption, in addition to advantages of existing liquid crystal display devices, and thus, attracts a great deal of attention as the next generation display device.

As gradation representation methods used in displaying a multi-gradation image on a light emitting device, an analog gradation method and a digital gradation method are given. The former analog gradation method is a method in which the gradation is obtained by conducting analog control the magnitude of a current that flows to a light emitting element. The latter digital gradation method is a method in which the light emitting element is driven only in two states thereof: an ON state (state where the luminance is substantially 100%) and an OFF state (state where the luminance is substantially 0%). In the digital gradation method, since only two gradations can be displayed, a method configured by combining the digital gradation method and a

different method to display multi-gradation images has been proposed.

When classification is made based on the type of a signal that is input to pixels, a voltage input method and a current input method are given as pixel-driving methods. The former voltage input method is a method in which: a video signal (voltage) that is input to a pixel is input to a gate electrode of a driving element; and the driving element is used to control the luminance of a light emitting element. The latter current input method is a method in which the set signal current is flown to a light emitting element to control the luminance of the light emitting element.

Hereinafter, referring to Fig. 16(A), a brief description will be made of an example of a circuit of a pixel in a light emitting device employing the voltage input method and a driving method thereof. The pixel shown in Fig. 16(A) includes a signal line 501, a scanning line 502, a switching TFT 503, a driving TFT 504, a capacitor device 505, a light emitting element 506, and power sources 507 and 508.

When the potential of the scanning line 502 varies, and the switching TFT 503 is turned ON, a video signal that has been input to the signal line 501 is input to a gate electrode of the driving TFT 504. According to the potential of the input video signal, a gate-source voltage of the driving TFT 504 is determined, and a current flowing between the source and the drain of the driving TFT 504 is determined. This current is supplied to the light emitting element 506, and the light emitting element 506 emits light.

As a semiconductor device for driving the light emitting element, a polysilicon transistor is used. However, the polysilicon transistor is prone to variation in electrical characteristics, such as a threshold value and an ON current, due to defects in a grain boundary. In the pixel shown in Fig. 16(A), if characteristics of the driving TFT 504 vary in units of the pixel, even when identical video signals have been input, the magnitudes of the corresponding drain currents of the driving TFTs 504 are different. Thus, the luminance of the light emitting element 506 varies.

To solve the problems described above, a desired current may be input to the light emitting element, regardless of the characteristics of the TFTs for driving the light emitting element. From this viewpoint, the current input method has been proposed

which can control the magnitude of a current that is supplied to a light emitting element regardless of the TFT characteristics.

Next, referring to Figs. 16(B) and 17, a brief description will be made of a circuit of a pixel in a light emitting device employing the current input method and a driving method thereof. The pixel shown in Fig. 16(B) includes a signal line 601, first to third scanning lines 602 to 604, a current line 605, TFTs 606 to 609, a capacitor device 610, and a light emitting element 611. A current source circuit 612 is arranged to each signal line (each column).

Operations of from video signal-writing to light emission will be described by using Fig. 17. In Fig. 17, reference numerals denoting respective portions conform to those shown in Fig. 16. Figs. 17(A) to 17(C) schematically show current paths. Fig. 17(D) shows the relationship between currents flowing through respective paths during a write of a video signal, and Fig. 17(E) shows a voltage accumulated in the capacitor device 610 also during the write of a video signal, that is, a gate-source voltage of the TFT 608.

First, a pulse is input to the first and second scanning lines 602 and 603 to turn the TFTs 606 and 607 ON. A signal current flowing through the signal line 601 at this time will be referred to as I_{data} . As shown in Fig. 17(A), since the signal current I_{data} is flowing through the signal line 601, the current separately flows through current paths I_1 and I_2 in the pixel. Fig. 17(D) shows the relationship between the currents. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

The moment the TFT 606 is turned ON, no charge is yet accumulated in the capacitor device 610, and thus, the TFT 608 is OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established. In the moment, the current flows between electrodes of the capacitor device 610, and charge accumulation is performed in the capacitor device 610.

Charge is gradually accumulated in the capacitor device 610, and a potential difference begins to develop between both the electrodes (Fig. 17(E)). When the potential difference of both the electrodes has reached V_{th} (point A in Fig. 17(E)), the TFT 608 is turned ON, and I_2 occurs. As described above, since $I_{data} = I_1 + I_2$ is established, while I_1 gradually decreases, the current keeps flowing, and charge

accumulation is continuously performed in the capacitor device 610.

In the capacitor device 610, charge accumulation continues until the potential difference between both the electrodes, that is, the gate-source voltage of the TFT 608 reaches a desired voltage. That is, charge accumulation continues until the voltage reaches a level at which the TFT 608 can allow the current I_{data} to flow. When charge accumulation terminates (B point in Fig. 17(E)), the current I_2 stops flowing. Further, since the TFT 608 is fully ON, $I_{\text{data}} = I_2$ is established (Fig. 17(B)). According to the operations described above, the operation of writing the signal to the pixel is completed. Finally, selection of the first and second scanning lines 602 and 603 is completed, and the TFTs 606 and 607 are turned OFF.

Subsequently, a pulse is input to the third scanning line 604, and the TFT 609 is turned ON. Since VGS that has been just written is held in the capacitor device 610, the TFT 608 is already turned ON, and a current identical to I_{data} flows thereto from the current line 605. Thus, the light emitting element 611 emits light. At this time, when the TFT 608 is set to operate in a saturation region, even if the source-drain voltage of the TFT 608 varies, a light emitting current I_{EL} flowing to the light emitting element 611 flows continuously.

As described above, the current input method refers to a method in which the drain current of the TFT 609 is set to have the same current value as that of the signal current I_{data} set in the current source circuit 612, and the light emitting element 611 emits light with the luminance corresponding to the drain current. By using the thus structured pixel, influence of variation in characteristics of the TFTs constituting the pixel is suppressed, and a desired current can be supplied to the light emitting element.

Incidentally, in the light emitting device employing the current input method, a signal current corresponding to a video signal needs to be precisely input to a pixel. However, when a signal line driver circuit (corresponding to the current source circuit 612 in Fig. 16) used to input the signal current to the pixel is constituted by polysilicon transistors, variation in characteristics thereof occurs, thereby also causing variation in characteristics of the signal current.

That is, in the light emitting device employing the current input method,

variation in characteristics of TFTs constituting the pixel and the signal line driver circuit need to be suppressed. However, while the influence of variation in characteristics of the TFTs constituting the pixel can be suppressed by using the pixel having the structure of Fig. 16(B), suppression of the influence of variation in characteristics of the TFTs constituting the signal line driver circuit is difficult.

Hereinafter, using Fig. 18, a brief description will be made of the structure and operation of a current source circuit arranged in the signal line driver circuit that drives the pixel employing the current input method.

The current source circuit 612 shown in Figs. 18(A) and 18(B) corresponds to the current source circuit 612 of Fig. 16(B). The current source circuit 612 includes constant current sources 555 to 558. The constant current sources 555 to 558 are controlled by signals that are input via respective terminals 551 to 554. The magnitudes of currents supplied from the constant current sources 555 to 558 are different from one another, and the ratio thereof is set to 1 : 2 : 4 : 8.

Fig. 18(B) shows a circuit structure of the current source circuit 612, in which the constant current sources 555 to 558 shown therein correspond to transistors. The ratio of ON currents of the transistors 555 to 558 is set to 1 : 2 : 4 : 8 according to the ratio (1:2:4:8) of the value of L (gate length)/W (gate width). The current source circuit 612 then can control the current magnitudes at $2^4 = 16$ levels. Specifically, currents having 16-gradation analog values can be output for 4-bit digital video signals. Note that the current source circuit 612 is constituted by polysilicon transistors, and is integrally formed with the pixel portion on the same substrate.

As described above, conventionally, a signal line driver circuit incorporated with a current source circuit has been proposed (for example, refer to Non-patent Documents 1 and 2).

In addition, digital gradation methods include a method in which a digital gradation method is combined with an area gradation method to represent multi-gradation images (hereinafter, referred to as area gradation method), and a method in which a digital gradation method is combined with a time gradation method to represent multi-gradation images (hereinafter, referred to as time gradation method).

The area gradation method is a method in which one pixel is divided into a plurality of sub-pixels, emission or non-emission is selected in each of the sub-pixels, and the gradation is represented according to a difference between a light emitting area and the other area in a single pixel. The time gradation method is a method in which gradation representation is performed by controlling the emission period of a light emitting element. To be more specific, one frame period is divided into a plurality of subframe periods having mutually different lengths, emission or non-emission of a light emitting element is selected in each period, and the gradation is presented according to a difference in length of light emission time in one frame period. In the digital gradation method, the method in which a digital gradation method is combined with a time gradation method (hereinafter, referred to as time gradation method) is proposed. (For example, refer to Patent Document 1).

[Non-patent Document 1]

Reiji Hattori & three others, "Technical Report of Institute of Electronics, Information and Communication Engineers (IEICE)", ED 2001-8, pp. 7-14, "Circuit Simulation of Current Specification Type Polysilicon TFT Active Matrix-Driven Organic LED Display"

[Non-patent Document 2]

Reiji H et al.; "AM-LCD'01", OLED-4, pp. 223-226

[Patent Document 1]

JP 2001-5426 A

Disclosure of the Invention

In the above-described current source circuit 612, the ON currents of the transistors are set to a ratio of 1 : 2 : 4 : 8 by designing the L/W values. However, in the transistors 555 to 558, variations occur in the threshold value and mobility due to a number of factors for variations in the gate length, gate width, and thickness of a gate insulating film, which are attributed to differences in manufacturing steps and substrates used. This makes it difficult to precisely set the ON currents of the transistors 555 to

558 to 1 : 2 : 4 : 8. That is, depending on the column, variation occurs in the value of the current to be supplied to the pixel.

To precisely set the ON currents of the transistors 555 to 558 to 1 : 2 : 4 : 8 as designed, current source circuits arranged to all the columns need to be identical in characteristics to one another. Specifically, the characteristics of transistors in all current source circuits of the signal line driver circuit need to be arranged identical to one another. However, such arrangement is extremely difficult to be realized.

The present invention has been made in view of the problems described above, and therefore provides a signal line driver circuit capable of suppressing the influence of variation in characteristics of TFTs to thereby supply a desired signal current to a pixel. In addition, the present invention provides a light emitting device capable of suppressing the influence of variation in characteristics of TFTs constituting both the pixel and the driver circuit to thereby supply a desired signal current to a light emitting element by using the pixel having a circuit structure suppressing the influence of variation in characteristics of TFTs.

The present invention provides a signal line driver circuit having a structure which is provided with an electric circuit (current source circuit) that suppresses the influence of variation in characteristics of TFTs to flow a desired constant current. In addition, the present invention provides a light emitting device provided with the signal line driver circuit.

The present invention provides a signal line driver circuit in which a current source circuit is arranged in each column (each signal line or the like).

In the signal line driver circuit according to the present invention, the current source circuit arranged in each signal line (each column) is set to supply a predetermined signal current by using a reference constant current source. The current source circuit for which the signal current is set has a capability of supplying a current proportional to the reference constant current source. Consequently, using the current source circuit, the influence of variation in characteristics of the TFTs constituting the signal line driver circuit can be suppressed. A switch for determining whether the set signal current is supplied from the current source circuit to the pixel is controlled by a

video signal.

To be more specific, in the case where a signal current proportional to a video signal is required to flow to a signal line, a switch is arranged to determine as to whether the signal current is supplied from the current source circuit to the signal line driver circuit, and the switch is controlled by the video signal. Here, the switch for determining as to whether the signal current is supplied from the current source circuit to the signal line driver circuit is referred to as a signal current control switch.

Note that the reference constant current source may be formed integrally with the signal line driver circuit on a substrate. Alternatively, an IC or the like may be arranged on the outside of the substrate to input a constant current as a reference current.

The outline of the signal line driver circuit of the present invention will be described with reference to Figs. 1 and 2. Figs. 1 and 2 each show a signal line driver circuit in the periphery of three signal lines of i -th to $(i+2)$ -th columns.

First, a case where signal currents proportional to video signals are needed to flow to the signal lines will be described.

In Fig. 1, current source circuits 420 are arranged in the respective signal lines (respective columns) in a signal line driver circuit 403. The current source circuits 420 each include a terminal a, a terminal b, and a terminal c. A setting signal is input to the terminal a. A current (reference current) is supplied to the terminal b from a reference constant current source 109 connected to a current line. The terminal c outputs a signal held in the current source circuit 420 via a switch 101 (signal current control switch). That is, the current source circuit 420 is controlled by the setting signal input from the terminal a, the current (reference current) is supplied from the terminal b, and the current proportional to the current (reference current) is output from the terminal c. The switch 101 (signal current control switch) is arranged between the current source circuit 420 and a pixel, and ON/OFF of the switch 101 (signal current control switch) is controlled by the video signal.

Next, using Fig. 2, a description will be made of a signal line driver circuit of the present invention that has a structure different from that shown in Fig. 1. In Fig. 2,

two or more current source circuits 420 are provided for each signal line (each column) in a signal line driver circuit 403. The current source circuit 420 includes a plurality of current source circuits. Here, it is assumed that two current source circuits are arranged in each column and that the current source circuit 420 includes a first current source circuit 421 and a second current source circuit 422. The first current source circuit 421 and the second current source circuit 422 each include a terminal a, a terminal b, terminal c, and a terminal d. A setting signal is input to the terminal a. A current (reference current) is supplied to the terminal b from a reference constant current source 109 connected to a current line. Further, the terminal c outputs signals (signal currents) held in the first current source circuit 421 and the second current source circuit 422 via a switch 101 (signal current control switch). A control signal is input from the terminal d. That is, the current source circuit 420 is controlled by the setting signal input from the terminal a and the control signal input from the terminal d, the current (reference current) is supplied from the terminal b, and the current (signal current) proportional to the current (reference current) is output from the terminal c. The switch 101 (signal current control switch) is arranged between the current source circuit 420 and a pixel, and ON/OFF of the switch 101 (signal current control switch) is controlled by the video signal.

An operation (for setting a signal current, setting the signal current according to a reference current, and performing setting to enable the current source circuit 420 to output a signal current) for completing a write of the signal current to the current source circuit 420 is referred to as a setting operation. In addition, an operation for inputting a signal current to a pixel (operation of the current source circuit 420 to output the signal current) is referred to as an input operation. In Fig. 2, the control signals input to the first current source circuit 421 and the second current source circuit 422 are different from each other. Therefore, one of the first current source circuit 421 and the second current source circuit 422 performs the setting operation, and the other performs the input operation. Thus, the two operations can be executed at the same time in each column.

Note that the setting operation of the current source circuit may be performed

an arbitrary number of times at arbitrary time and at arbitrary timing. Further, each of the signal line driver circuits of Figs. 1 and 2 has been described for the case where the signal current proportional to the video signal is supplied to the signal line. However, the present invention is not limited to this. For example, a current needs to be supplied to a wiring different from the signal line. In this case, the switch 101 (signal current control switch) does not need to be arranged. A case where the switch is not arranged is shown in Fig. 34 as to Fig. 1, and the case is shown in Fig. 35 as to Fig. 2. In these cases, a current is output to a pixel current line. The video signal is output to the signal line.

In the present invention, one shift register has two roles. One role is to control a current source circuit. The other role is to control a circuit that controls video signals, that is, a circuit that operates to display an image, for example, to control a latch circuit, a sampling switch, the switch 101 (signal current control switch), or the like. In the present invention with the above structure, the circuit that controls a current source circuit and the circuit that controls a video signal do not need to be arranged, respectively, which enables reduction of the number of elements of the circuit to be arranged. Further, since the number of elements can be reduced, a layout area can be reduced. Thus, yield in a manufacturing process is improved, and cost-cutting can be realized. Further, reduction of the layout area can lead to a smaller frame, and thus, reduction in size of a casing can be realized.

Note that a shift register is comprised of a flip-flop circuit, a decoder circuit, or the like. In the case where the shift register is comprised of the flip-flop circuit, in general, a plurality of wirings are sequentially selected from the first column to the last column. On the other hand, in the case where the shift register is comprised of the decoder circuit or the like, a plurality of wirings are sequentially selected from the first column to the last column or selected at random. The shift register may select either the structure having a function capable of sequentially selecting a plurality of wirings or the structure having a function capable of selecting a plurality of wirings at random in accordance with the application.

Incidentally, in the case of selecting the structure having a function capable of

selecting a plurality of wirings at random, set signals supplied to the current source circuit can be output randomly. Therefore, the setting operation of the current source circuit is not performed sequentially from the first column to the last column, and can be performed randomly. Thus, the period during which the current source circuit performs the setting operation can be set freely. Further, the influence of a leakage of charge held in a capacitor element in the current source circuit can be made inconspicuous. When the setting operation of the current source circuit can be performed at random as described above, in the case where there exists a defect accompanied with the setting operation of the current source circuit, the defect can be made inconspicuous.

Note that the present invention may be applied by replacing TFTs with transistors using ordinary monocrystal, transistors using SOI, organic transistors, or the like.

The present invention provides a signal line driver circuit including the current source circuit described above. Further, the present invention provides a light emitting device capable of suppressing the influence of variation in characteristics of TFTs constituting both pixels and driver circuits to enable a desired signal current to be supplied to light emitting elements by using pixels each having a circuit structure in which the influence of variation in characteristics of TFTs is suppressed.

Brief Description of the Drawings

Fig. 1 is a view of a signal line driver circuit.

Fig. 2 is a view of a signal line driver circuit.

Fig. 3 is views of a signal line driver circuit (1-bit).

Fig. 4 is a view of a signal line driver circuit (1-bit).

Fig. 5 is a view of a signal line driver circuit (1-bit).

Fig. 6 is a view of a signal line driver circuit (1-bit).

Fig. 7 is a view of a signal line driver circuit (3-bit).

Fig. 8 is a view of a signal line driver circuit (3-bit).

Fig. 9 is a timing chart.

Fig. 10 is a timing chart.

Fig. 11 is a timing chart.

Fig. 12 is views of the appearance of a light emitting device.

Fig. 13 is circuit diagrams of pixels of a light emitting device.

Fig. 14 is explanatory views of a driving method.

Fig. 15 is views of a light emitting device.

Fig. 16 is circuit diagrams of pixels of a light emitting device.

Fig. 17 is explanatory views of operations of a pixel of the light emitting device.

Fig. 18 is views of a current source circuit.

Fig. 19 is explanatory views of operations of a current source circuit.

Fig. 20 is explanatory views of operations of a current source circuit.

Fig. 21 is an explanatory view of operations of a current source circuit.

Fig. 22 is views of electronic devices to which the present invention is applied.

Fig. 23 is circuit diagrams of a current source circuit.

Fig. 24 is circuit diagrams of a current source circuit.

Fig. 25 is circuit diagrams of a current source circuit.

Fig. 26 is a view of a signal line driver circuit (3-bit).

Fig. 27 is a view of a signal line driver circuit (3-bit).

Fig. 28 is an explanatory timing chart of a driving method of a current source circuit.

Fig. 29 is a view of a signal line driver circuit (3-bit).

Fig. 30 is a circuit diagram of a reference constant current source.

Fig. 31 is a circuit diagram of a reference constant current source.

Fig. 32 is a circuit diagram of a reference constant current source.

Fig. 33 is circuit diagrams of a reference constant current source.

Fig. 34 is a signal line driver circuit.

Fig. 35 is a signal line driver circuit.

Fig. 36 is circuit diagrams of a current source circuit.

Fig. 37 is circuit diagrams of a current source circuit.

Fig. 38 is circuit diagrams of a current source circuit.

Fig. 39 is circuit diagrams of a current source circuit.

Fig. 40 is circuit diagrams of a current source circuit.

Fig. 41 is circuit diagrams of a current source circuit.

Fig. 42 is a view of a signal line driver circuit.

Fig. 43 is view of a shift register.

Fig. 44 is views of a shift register and a timing chart.

Fig. 45 is a timing chart.

Fig. 46 is view of a shift register.

Fig. 47 is a view of a signal line driver circuit.

Fig. 48 is a view of a signal line driver circuit.

Fig. 49 is a view of a signal line driver circuit.

Fig. 50 is a view of a signal line driver circuit.

Fig. 51 is a view of a signal line driver circuit.

Fig. 52 is a view of a signal line driver circuit.

Fig. 53 is a view of a signal line driver circuit.

Fig. 54 is a view of a signal line driver circuit.

Fig. 55 is a view of a signal line driver circuit.

Fig. 56 is a view of a signal line driver circuit.

Fig. 57 is a view of a signal line driver circuit.

Fig. 58 is a view of a signal line driver circuit.

Fig. 59 is a view of a signal line driver circuit.

Fig. 60 is a view of a signal line driver circuit.

Fig. 61 is a view of a signal line driver circuit.

Fig. 62 is a view of a signal line driver circuit.

Fig. 63 is a view of a signal line driver circuit.

Fig. 64 is a view of a signal line driver circuit.

Fig. 65 is a view of a signal line driver circuit.

Fig. 66 is a view of a signal line driver circuit.

Fig. 67 is a view of a signal line driver circuit.

Fig. 68 is a view of a signal line driver circuit.

Fig. 69 is a view of a signal line driver circuit.

Fig. 70 is a view of a signal line driver circuit.

Fig. 71 is a circuit diagram of a pixel.

Fig. 72 is a timing chart.

Fig. 73 is a timing chart.

Fig. 74 is a timing chart.

Fig. 75 is a timing chart.

Fig. 76 is a timing chart.

Fig. 77 is a timing chart.

Fig. 78 is a timing chart.

Fig. 79 is a timing chart.

Fig. 80 is a timing chart.

Fig. 81 is a timing chart.

Fig. 82 is a timing chart.

Fig. 83 is a timing chart.

Fig. 84 is a timing chart.

Fig. 85 is a timing chart.

Fig. 86 is a timing chart.

Fig. 87 is a layout view of a current source circuit.

Fig. 88 is a circuit diagram of a current source circuit.

Best Mode for embodying the Invention

(Embodiment Mode 1)

In this embodiment mode, a description will be made of a structure and an operation of a current source circuit provided to a signal line driver circuit of the present invention.

In the present invention, a signal input from a terminal a corresponds to a sampling pulse supplied from a shift register. However, depending on the structure or drive system of the current source circuit, the sampling pulse is not directly input, and

instead, the signal supplied from an output terminal of a logical operator connected to a setting control line (not shown in Fig. 1) is input. One of two input terminals of the logical operator is input with the sampling pulse, and the other input terminal is input with the signal supplied from the setting control line. Thus, the setting of a current source circuit 420 is performed in accordance with the timing of the sampling pulse or the signal supplied from the output terminal of the logical operator connected to the setting control line.

Note that a shift register has a structure including, for example, flip-flop circuits (FFs) in a plurality of columns. A clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb) are input to the shift register, and signals serially output according to the timing of the input signals are called sampling pulses.

Further, one of the two input terminals of the logical operator is input with the sampling pulse, and the other input terminal is input with the signal supplied from the setting control line. The logical operator conducts a logic operation for the input two signals to output a signal from the output terminal. Assuming that the logical operator is a NAND, in the timing chart shown in Fig. 14(C), a High signal may be input to the NAND from a control line in a period T_b while a Low signal may be input to the NAND from the control line in other period.

The shift register is comprised of a flip-flop circuit, a decoder circuit, or the like. In the case where the shift register is comprised of the flip-flop circuit, in general, a plurality of wirings are sequentially selected from the first column to the last column. On the other hand, in the case where the shift register is comprised of the decoder circuit or the like, a plurality of wirings are sequentially selected from the first column to the last column or selected at random. The shift register may select either the structure having a function capable of sequentially selecting a plurality of wirings or the structure having a function capable of selecting a plurality of wirings at random in accordance with the application.

In Fig. 23(A), a circuit including switches 104, 105a, and 116, a transistor 102 (n-channel type), and a capacitor device 103 for retaining a gate-source voltage V_{GS} of the transistor 102 corresponds to the current source circuit 420.

In the current source circuit shown in Fig. 23(A), the switch 104 and the switch 105a are turned ON by a sampling pulse input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the reference constant current source 109 (hereinafter referred to as constant current source 109) connected to the current line, and a predetermined charge is retained in the capacitor device 103. The charge is retained until the current (reference current) flown from the constant current source 109 becomes identical with a drain current of the transistor 102.

Then, the switches 104 and 105a are turned OFF by the signal input via the terminal a. As a result, since the predetermined charge is retained in the capacitor device 103, the transistor 102 has a capability of flowing a current having a magnitude corresponding to that of the current (reference current). If the switch 101 (signal current control switch) and the switch 116 are turned into a conductive state, a current flows to a pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 102 is set to a predetermined gate voltage by the capacitor device 103, a drain current corresponding to the current (reference current) flows to the drain region of the transistor 102. Thus, the magnitude of the current input to the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

Note that, in the case where the switch 101 (signal current control switch) is not arranged, when the switch 116 is turned into a conductive state, a current is supplied to the pixel connected to the signal line via the terminal c.

The connection structure of the switches 104 and 105a is not limited to the structure shown in Fig. 23(A). For example, the structure may be such that: one of terminals of the switch 104 is connected to the terminal b, and the other terminal is connected to the gate electrode of the transistor 102; and one of terminals of the switch 105a is connected to the terminal b via the switch 104, and the other terminal is connected to the switch 116.

Alternatively, the switch 104 may be arranged between the terminal b and the gate electrode of the transistor 102, and the switch 105a may be arranged between the terminal b and the switch 116. That is, the number of switches and the number of

wirings, which are arranged in the current source circuit and the connection are not particularly limited. Incidentally, referring to Fig. 36(A), switches may be arranged such that the connection is structured as shown in Fig. 36(A1) in the setting operation, and the connection is structured as shown in Fig. 36(A2) in the input operation.

In the current source circuit of Fig. 23(A), the signal setting operation (setting operation) cannot be performed simultaneously with the signal inputting operation (input operation) to the pixel.

Referring to Fig. 23(B), a circuit including a switch 124, a switch 125, a transistor 122 (n-channel type), a capacitor device 123 for retaining a gate-source voltage V_{GS} of the transistor 122, and a transistor 126 (n-channel type) corresponds to the current source circuit 420.

The transistor 126 functions as either a switch or a part of a current source transistor.

In the current source circuit shown in Fig. 23(B), the switch 124 and the switch 125 are turned ON by a sampling pulse input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor device 123. The charge is retained until the current (reference current) flown from the constant current source 109 becomes identical with a drain current of the transistor 122. Note that, when the switch 124 is turned ON, since a gate-source voltage V_{GS} of the transistor 126 is set to 0 V, the transistor 126 is turned OFF.

Subsequently, the switches 124 and 125 are turned OFF by the signal input via the terminal a. As a result, since the predetermined charge is retained in the capacitor device 123, the transistor 122 has a capability of flowing a current having a magnitude corresponding to that of the current (reference current). If the switch 101 (signal current control switch) is turned into the conductive state, a current flows to a pixel connected to the signal line via the terminal c. This is because the gate voltage of the transistor 122 is set at a predetermined gate voltage by the capacitor device 123, and thus, a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 122. Therefore, the magnitude of the current that is input to the pixel can

be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

Note that, when the switches 124 and 125 have been turned OFF, a gate and a source of the transistor 126 do not have the same potential. As a result, since the charge retained in the capacitor device 123 is distributed also to the transistor 126, and the transistor 126 is automatically turned ON. Here, the transistors 122 and 126 are connected in series, and the gates thereof are connected to each other. Accordingly, the transistors 122 and 126 each serve as a multi-gate transistor. That is, a gate length L of the transistor varies between the setting operation and the input operation. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly. In the case where the switch 101 (signal current control switch) is not arranged, when the switch 126 is turned into the conductive state, a current flows via the terminal c to the pixel connected to the signal line.

Further, the number of switches and the number of wirings, which are arranged in the current source circuit, and the connection are not particularly limited. Specifically, referring to Fig. 36(B), wirings and switches may be arranged such that the connection is structured as shown in Fig. 36(B1) in the setting operation, and the connection is structured as shown in Fig. 36(B2) in the input operation. In particular, in Fig. 36(B2), it is sufficient that the charge accumulated in a capacitor device 107 does not leak.

Note that, in the current source circuit shown in Fig. 23(B), the setting operation for conducting setting to make the current source circuit have a capability of flowing a signal current cannot be performed simultaneously with the input operation (output of a current to a pixel) for supplying the signal current to the pixel.

Referring to Fig. 23(C), a circuit including a switch 108, a switch 110, transistors 105b and 106 (n-channel type), and a capacitor device 107 for retaining

gate-source voltages V_{GS} of the transistors 150b and 106 corresponds to the current source circuit 420.

In the current source circuit shown in Fig. 23(C), the switch 108 and the switch 110 are turned ON by a sampling pulse input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor device 107. The charge is retained until the current (reference current) flown from the constant current source 109 becomes identical with a drain current of the transistor 105b. At this time, since the gate electrodes of the transistor 105b and of the transistor 106 are connected to each other, the gate voltages of the transistor 105b and the transistor 106 are retained by the capacitor device 107.

Then, the switches 108 and 110 are turned OFF by a signal input via the terminal a. At this time, since the predetermined charge is retained in the capacitor device 107, the transistor 106 has a capability of flowing a current having a magnitude corresponding to that of the current (reference current). If the switch 101 (signal current control switch) is turned to the conductive state, a current flows to a pixel connected to the signal line via the terminal c. This is because the gate voltage of the transistor 106 is set to a predetermined gate voltage by the capacitor device 107, and thus, a drain current corresponding to the current (reference current) flows to the drain region of the transistor 106. Thus, the magnitude of the current input to the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

Note that, in the case where the switch 101 (signal current control switch) is not arranged, a current flows to the pixel connected to the signal line via the terminal c.

At this time, characteristics of the transistor 105b and the transistor 106 need to be the same to cause the drain current corresponding to the signal current to flow precisely to the drain region of the transistor 106. To be more specific, values such as mobilities and thresholds of the transistors 105b and 106 need to be the same. In addition, in Fig. 23(C), the value of W/L of each of the transistors 105b and 106 may be arbitrarily set, and a current proportional to the current supplied from the constant

current source 109 may be supplied to the pixel.

Further, the value of W/L of the transistor 105b or the transistor 106 that is connected to the constant current source 109 is set high, whereby the write speed can be increased by supplying a large current from the constant current source 109.

Note that, with the current source circuit shown in Fig. 23(C), the setting operation for conducting setting to make the current source circuit have a capability of flowing a signal current can be performed simultaneously with the input operation for inputting the signal current to the pixel.

The current source circuit shown in each of Figs. 23(D) and 23(E) has the same structure as that of the current source circuit of Fig. 23(C), except for the connection of the switch 110. In addition, since the operation of the current source circuit 420 of each of Figs. 23(D) and 23(E) conforms to the operation of the current source circuit 420 of Fig. 23(C), a description thereof will be omitted here.

Note that, the number of switches and the number of wirings, which are arranged in the current source circuit and the connection are not particularly limited. Specifically, referring to Fig. 36(C), wirings and switches may be arranged such that the connection is structured as shown in Fig. 36(C1) in the setting operation, and the connection is structured as shown in Fig. 36(C2) in the input operation. In particular, in Fig. 36(C2), it is sufficient that the charge held in the capacitor device 107 does not leak.

Referring to Fig. 37(A), a circuit including switches 195b, 195c, 195d, and 195f, a transistor 195a, and a capacitor device 195e corresponds to the current source circuit. In the current source circuit shown in Fig. 37(A), the switches 195b, c, d, and f are turned ON by a signal input via the terminal a. Then, a current is supplied via the terminal b from the constant current source 109 connected to the current line. A predetermined charge is retained in the capacitor device 195e until the signal current supplied from the constant current source 109 becomes identical with a drain current of the transistor 195a.

Then, the switches 195b, 195c, 195d, and 195f are turned OFF by the signal input via the terminal a. At this time, since the predetermined charge is retained in the

capacitor device 195e, the transistor 195a has a capability of flowing a current having a magnitude corresponding to that of the signal current. This is because the gate voltage of the transistor 195a is set to a predetermined gate voltage by the capacitor device 195a, and thus, a drain current corresponding to a current (reference current) flows to the drain region of the transistor 195a. In this state, a current is supplied to the outside via the terminal c. Note that, in the current source circuit shown in Fig. 37(A), the operation for setting the current source circuit to have a capability of flowing a signal current cannot be performed simultaneously with the input operation for inputting the signal current to the pixel. Incidentally, when a switch controlled by the signal input via the terminal a is ON, and also, when a current is controlled not to flow from the terminal c, the terminal c needs to be connected to another wiring of the other potential. Assuming that the wiring potential is represented by V_a , V_a may have any value as long as V_a is a potential sufficient to flow a current flowing from the terminal b as it is. A power supply voltage V_{dd} may be adopted as an example.

Note that, the number of switches, the number of wirings, and the connection are not particularly limited. Specifically, referring to Figs. 37(B) and 37(C), wirings and switches may be arranged such that the connection is structured as shown in either Fig. 37(B1) or 37(C1) in the setting operation, and the connection is structured as shown in either Fig. 37(B2) or 37(C2) in the input operation.

Further, in the current source circuits 420 of Figs. 23(A) and 23(C) to 23(E), the current-flow directions (directions from the pixel to the signal line driver circuit) are the same. The conductivity type of each of the transistors 102, 105b, and 106 may be of p-channel type.

Fig. 24(A) shows a circuit diagram in which the current-flow direction (direction from the pixel to the signal line driver circuit) is the same, and the transistor 102 shown in Fig. 23(A) is set to be of p-channel type. In Fig. 23(A), with the capacitor device arranged between the gate and the source, even when the source potential varies, the gate-source voltage can be maintained. Further, Figs. 24(B) to 24(D) show circuit diagrams in which the current-flow directions (directions from the pixel to the signal line driver circuit) are the same, and the transistors 105b and 106

shown in Figs. 23(C) to 23(E) are set to be of p-channel type.

Fig. 38(A) shows a case where the transistor 195a is set to be of p-channel type in the structure of Fig. 37. Fig. 38(B) shows a case where the transistors 122 and 126 are set to be of p-channel type in the structure of Fig. 23(B).

Referring to Fig. 40, a circuit including switches 104 and 116, a transistor 102, a capacitor device 103, and the like corresponds to the current source circuit.

Fig. 40(A) corresponds to the circuit of Fig. 23(A) which is partly modified. In the current source circuit of Fig. 40(A), the transistor gate width W varies between the setting operation of the current source and the input operation. Specifically, the connection is structured as shown in Fig. 40(B) in the setting operation while the connection is structured as shown in Fig. 40(C) in the input operation. Thus, the gate width W differs. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly. Note that, Fig. 40 shows the circuit of Fig. 23(A) which is partly modified. In addition, the circuit can be easily applied to, for example, other circuits shown in Fig. 23 and to the circuits shown in Fig. 24, Fig. 37, Fig. 39, Fig. 38, and the like.

Note that, in each of the current source circuits shown in Figs. 23, 24, and 37, a current flows from the pixel to the signal line driver circuit. However, the current not only flows from the pixel to the signal line driver circuit, but also may flow from the signal line driver circuit to the pixel. The direction of the current flow depends on the pixel structure. In the case where the current flows from the signal line driver circuit to the pixel, V_{ss} (low potential power source) may be changed to V_{dd} (high potential power source), and the transistors 102, 105b, 106, 122, and 126 may be set to be of p-channel type in Fig. 23. Also in Fig. 24, V_{ss} may be changed to V_{dd} , and the transistors 102, 105b, and 106 may be of n-channel type.

Note that, in all the current source circuits described above, the arranged

capacitor device may not be arranged by being substituted by, for example, a gate capacitance of a transistor.

In the circuits of Figs. 23(A) to 23(E) and 38(A) and 38(B), wirings and switches may be arranged such that the connection is structured as shown in Figs. 39(A1) to 39(D1) in the setting operation, and the connection is structured as shown in Figs. 39(A2) to 39(D2) in the input operation. The number of switches and the number of wirings are not particularly limited.

Hereinafter, a description will be made in detail regarding the operations of the current source circuits of Figs. 23(A), 24(A), 23(C) to 23(E), and 24(B) to 24(D). To begin with, the operations of the current source circuits of Figs. 23(A) and 24(A) will be described with reference to Fig. 19.

Figs. 19(A) to 19(C) schematically show paths of a current flowing among circuit elements. Fig. 19(D) shows the relationship between the current flowing through each path and the time in writing the signal current to the current source circuit. Fig. 19(E) shows the relationship between the voltage accumulated in a capacitor device 16, that is, the gate-source voltage of a transistor 15, and the time in writing the signal current to the current source circuit. In the circuit diagrams of Figs. 19(A) to 19(C), numeral 11 denotes a reference constant current source (hereinafter referred to as constant current source), switches 12 to 14 each are a device having a switching function, numeral 15 denotes a transistor, numeral 16 denotes a capacitor device, and numeral 17 denotes a pixel. Further, the circuit including the switch 14, the transistor 15, and the capacitor device 16 corresponds to a current source circuit 20.

A source region of the transistor 15 is connected to V_{ss} , and a drain region thereof is connected to the constant current source 11. One of electrodes of the capacitor device 16 is connected to V_{ss} (the source of the transistor 15), and the other electrode is connected to the switch 14 (the gate of the transistor 15). The capacitor device 16 plays a role of holding the gate-source voltage of the transistor 15.

The pixel 17 is formed of a light emitting element, a transistor, or the like. The light emitting element includes an anode, a cathode, and a light emitting layer sandwiched between the anode and the cathode. The light emitting layer can be

formed of a known light emitting material. Further, the light emitting layer has two structures: a single layer structure and a laminate structure, and any one of the structures may be used. Luminescence in the light emitting layer includes light emission (fluorescence) in returning from a singlet excited state to a normal state and light emission (phosphorescence) in returning from a triplet excited state to a normal state. Either one or both of the two types of light emission may be used. Further, the light emitting layer is formed of a known material such as an organic material or an inorganic material.

In practice, the current source circuit 20 is provided in the signal line driver circuit. A current corresponding to the signal current flows via, for example, a circuit element included in the signal line or the pixel, from the current source circuit 20 provided in the signal line driver circuit. However, since Fig. 19 is a diagram for briefly explaining the outline of the relationship among the constant current source 11, the current source circuit 20, and the pixel 17, a detailed illustration of the structure is omitted.

First, an operation (setting operation) of the current source circuit 20 for retaining the signal current I_{data} will be described by using Figs. 19(A) and 19(B). Referring to Fig. 19(A), the switches 12 and 14 are turned ON, and the switch 13 is turned OFF. The signal current is supplied from the constant current source 11, and flows to the current source circuit 20 from the constant current source 11. At this time, the current flows separately through current paths I_1 and I_2 in the current source circuit 20, as shown in Fig. 19(A). Fig. 19(D) shows the relationship. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

The moment the current starts to flow from the constant current source 11, since no charge is held in the capacitor device 16, the transistor 15 is OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established.

Charge is gradually accumulated into the capacitor device 16, and a potential difference begins to occur between both electrodes of the capacitor device 16 (Fig. 19(E)). When the potential difference between both the electrodes has reached V_{th} (point A in Fig. 19(E)), the transistor 15 is turned ON, and $I_2 > 0$ is established. As

described above, since $I_{data} = I_1 + I_2$, while I_1 gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor device 16.

The potential difference between both the electrodes of the capacitor device 16 serves as the gate-source voltage of the transistor 15. Thus, charge accumulation in the capacitor device 16 continues until the gate-source voltage of the transistor 15 reaches a desired voltage, that is, a gate-source voltage that allows the transistor 15 to be flown with the current I_{data} . When charge accumulation terminates (B point in Fig. 19(E)), the current I_2 stops flowing. Further, since the TFT 15 is fully ON, $I_{data} = I_2$ is established (Fig. 19(B)).

Next, an operation (input operation) for inputting the signal current I_{data} to the pixel will be described by using Fig. 19(C). In Fig. 19(C), the switch 13 is turned ON, and the switches 12 and 14 are turned OFF. Since a predetermined charge is held in the capacitor device 16, the transistor 15 is ON. A current corresponding to the signal current flows to Vss via the switch 13 and transistor 15, and a predetermined signal current is supplied to the pixel. At this time, when the transistor 15 is set to operate in a saturation region, even if the source-drain voltage of the transistor 15 varies, a constant current is supplied to the light emitting element.

In the current source circuit 20 shown in Fig. 19, as shown in Figs. 19(A) to 19(C), the operation is divided into an operation (setting operation; corresponding to Figs. 19(A) and 19(B)) for completing a write of the signal current I_{data} to the current source circuit 20, and an operation (input operation; corresponding to Fig. 19(C)) for inputting the signal current I_{data} to the pixel). Then, in the pixel, a current is supplied to the light emitting element in accordance with the input signal current I_{data} .

The current source circuit 20 of Fig. 19 is not capable of performing the setting operation and the input operation simultaneously. In the case where the setting operation and the input operation need to be performed simultaneously, at least two current source circuits are preferably provided to each of a plurality of signal lines each of which is connected with a plurality of pixels and which are provided in a pixel portion. However, if the setting operation can be performed within a period during which the signal current I_{data} is not input to the pixel, only one current source circuit

may be provided for each signal line (each column).

Although the transistor 15 shown in each of Figs. 19(A) to 19(C) is of n-channel type, the transistor 15 may be of p-channel type, of course. A circuit diagram for the case where the transistor 15 is of p-channel type is shown in Fig. 19(F). Referring to Fig. 19(F), numeral 31 denotes a reference constant current source, switches 32 to 34 each are a device having a switching function, numeral 35 denotes a transistor, numeral 36 denotes a capacitor device, and numeral 37 denotes a pixel. The circuit including the switch 34, the transistor 35, and the capacitor device 36 corresponds to a current source circuit 24.

The transistor 35 is of p-channel type. One of a source region and a drain region of the transistor 35 is connected to Vdd, and the other is connected to the constant current source 31. One of electrodes of the capacitor device 36 is connected to Vdd, and the other electrode is connected to the switch 36. The capacitor device 36 plays a role of holding the gate-source voltage of the transistor 35.

Operation of the current source circuit 24 of Fig. 19(F) is similar to the operation of the current source circuit 20 described above, except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarity of the transistor 15 is changed without changing the current-flow direction, the circuit diagram of Fig. 23 may be referenced.

Note that in Fig. 41, the current-flow direction is the same as in Fig. 19(F), in which the transistor 35 is of n-channel type. The capacitor device 36 is connected between the gate and the source of the transistor 35. The source potential of the transistor 35 varies between the setting operation and the input operation. However, even when the source potential of the transistor 35 varies, since the gate-source voltage is retained, the operation is normally implemented.

Next, operations of the current source circuits shown in Figs. 23(C) to 23(E) and Figs. 24(B) to 24(D) will be described by using Figs. 20 and 21. Figs. 20(A) to 20(C) schematically show paths through which a current flows among circuit elements. Fig. 20(D) shows the relationship between the current flowing through each path and the time in writing the signal current to the current source circuit. Fig. 20(E) shows

the relationship between the voltage accumulated in a capacitor device 46, that is, the gate-source voltages of transistors 43 and 44, and the time in writing the signal current to the current source circuit. Further, in the circuit diagrams of Figs. 20(A) to 20(C), numeral 41 denotes a reference constant current source (hereinafter referred to as constant current source 41), a switch 42 is an element having a switching function, numerals 43 and 44 denote transistors, numeral 46 denotes a capacitor device, and numeral 47 denotes a pixel. The circuit including the switch 42, the transistors 43 and 44, and the capacitor device 46 corresponds to a current source circuit 25.

A source region of the n-channel transistor 43 is connected to Vss, and a drain region thereof is connected to the constant current source 41. A source region of the n-channel transistor 44 is connected to Vss, and a drain region thereof is connected to a terminal 48 of the pixel 47. One of electrodes of the capacitor device 46 is connected to Vss (the sources of the transistors 43 and 44), and the other electrode is connected to the gate electrodes of the transistors 43 and 44. The capacitor device 46 plays a role of holding gate-source voltages of the transistor 43 and the transistor 44.

Note that, in practice, the current source circuit 25 is provided in the signal line driver circuit. A current corresponding to the signal current flows via, for example, a circuit element included in the signal line or the pixel, to the light emitting element from the current source circuit 25 provided in the signal line driver circuit. However, since Fig. 20 is a diagram for briefly explaining the outline of the relationship among the constant current source 41, the current source circuit 25, and the pixel 47, a detailed illustration of the structure is omitted.

In the current source circuit 25 of Fig. 20, the sizes of the transistor 43 and the transistor 44 are important. Hereinafter, using different reference symbols, a case where the sizes of the transistors 43 and 44 are identical and a case where the sizes are mutually different will be described. Referring to Figs. 20(A) to 20(C), the case where the sizes of the transistors 43 and 44 are mutually identical will be described by using the signal current I_{data} . The case where the sizes of the transistors 43 and 44 are mutually different will be described by using a signal current I_{data1} and a signal current I_{data2} . Note that the sizes of the transistors 43 and 44 are determined using the value of

W (gate width)/ L (gate length) of each transistor.

First, the case where the sizes of the transistors 43 and 44 are mutually identical will be described. To begin with, operation for retaining the signal current I_{data} in the current source circuit 20 will be described by using Figs. 20(A) and 20(B). Referring to Fig. 20(A), when the switch 42 is turned ON, the signal current I_{data} is set in the reference constant current source 41, and flows from the constant current source 41 to the current source circuit 25. At this time, since the signal current I_{data} is flowing from the reference constant current source 41, the current flows separately through current paths I_1 and I_2 in the current source circuit 25, as shown in Fig. 20(A). Fig. 20(D) shows the relationship at this time. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

The moment the current starts to flow from the constant current source 41, since no charge is yet accumulated in the capacitor device 46, the transistors 43 and 44 are OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established.

Then, charge is gradually accumulated into the capacitor device 46, and a potential difference begins to occur between both electrodes of the capacitor device 46 (Fig. 20(E)). When the potential difference of both the electrodes has reached V_{th} (point A in Fig. 20)), the transistors 43 and 44 are turned ON, and $I_2 > 0$ is established. As described above, since $I_{data} = I_1 + I_2$, while I_1 gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor device 46.

The potential difference between both the electrodes of the capacitor device 46 serves as the gate-source voltage of each of the transistors 43 and 44. Thus, charge accumulation in the capacitor device 46 continues until the gate-source voltages of the transistors 43 and 44 each reach a desired voltage, that is, a gate-source voltage that allows the transistor 44 to be flown with the current I_{data} . When charge accumulation terminates (B point in Fig. 20(E)), the current I_2 stops flowing. Further, since the transistors 43 and 44 are fully ON, $I_{data} = I_2$ is established (Fig. 20(B)).

Next, an operation for inputting the signal current I_{data} to the pixel will be described by using Fig. 20(C). First, the switch 42 is turned OFF. Since predetermined charge is retained in the capacitor device 46, the transistors 43 and 44 are

ON. A current identical with the signal current I_{data} flows from the pixel 47. Thus, the signal current I_{data} is input to the pixel. At this time, when the transistor 44 is set to operate in a saturation region, even if the source-drain voltage of the transistor 44 varies, the current flowing in the pixel can be flown without variation.

In the case of a current mirror circuit shown in Fig. 20, even when the switch 42 is not turned OFF, a current can be flown to the pixel 47 by using the current supplied from the constant current source 41. That is, the setting operation for setting a signal for the current source circuit 25 can be implemented simultaneously with the operation (input operation) for inputting a signal to the pixel.

Next, a case where the sizes of the transistors 43 and 44 are mutually different will be described. An operation of the current source circuit 25 is similar to the above-described operation; therefore, a description thereof will be omitted here. When the sizes of the transistors 43 and 44 are mutually different, the signal current I_{data1} set in the reference constant current source 41 is inevitably different from the signal current I_{data2} that flows to the pixel 47. The difference therebetween depends on the difference between the values of W (gate width)/ L (gate length) of the transistors 43 and 44.

In general, the W/L value of the transistor 43 is preferably set larger than the W/L value of the transistor 44. This is because the signal current I_{data1} can be increased when the W/L value of the transistor 43 is set large. In this case, when the current source circuit is set with the signal current I_{data1} , loads (cross capacitances, wiring resistances) can be charged. Thus, the setting operation can be completed quickly.

The transistors 43 and 44 of the current source circuit 25 in each of Figs. 20(A) to 20(C) are of n-channel type, but the transistors 43 and 44 of the current source circuit 25 may be of p-channel type. Here, Fig. 21 shows a circuit diagram in which the transistors 43 and 44 are of p-channel type.

Referring to Fig. 21, numeral 41 denotes a constant current source, a switch 42 is a semiconductor element having a switching function, numerals 43 and 44 denote transistors (p-channel type), numeral 46 denotes a capacitor device, and numeral 47 denotes a pixel. In this embodiment mode, the switch 42, the transistors 43 and 44,

and the capacitor device 46 form an electric circuit corresponding to a current source circuit 26.

A source region of the p-channel transistor 43 is connected to Vdd, and a drain region thereof is connected to the constant current source 41. A source region of the p-channel transistor 44 is connected to Vdd, and a drain region thereof is connected to a terminal 48 of the pixel 47. One of electrodes of the capacitor device 46 is connected to Vdd (source), and the other electrode is connected to the gate electrodes of the transistors 43 and 44. The capacitor device 46 plays a role of holding gate-source voltages of the transistors 43 and 44.

Operation of the current source circuit 24 of Fig. 21 is similar to that shown in each of Figs. 20(A) to 20(C) except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarities of the transistors 43 and 44 are changed without changing the current-flow direction, the circuit diagram of Fig. 23 may be referenced.

In addition, the transistor polarity can be changed without changing the current-flow direction. This conforms to the operation illustrated in Fig. 36, so that a description thereof will be omitted here.

In summary, in the current source circuit of Fig. 19, the current having the same magnitude as that of the signal current I_{data} set in the current source flows to the pixel. In other words, the signal current I_{data} set in the constant current source is identical in value with the current flowing to the pixel. The current is not influenced by variation in characteristics of the transistors provided in the current source circuit.

In each of the current source circuits of Fig. 19 and Fig. 6(B), the signal current I_{data} cannot be output to the pixel from the current source circuit in a period during which the setting operation is performed. Thus, two current source circuits are preferably provided for each signal line, in which an operation (setting operation) for setting a signal is performed to one of the current source circuits, and an operation (input operation) for inputting I_{data} to the pixel is performed using the other current source circuit.

Incidentally, in the case where the setting operation and the input operation are

not performed at the same time, only one current source circuit may be provided for each column. The current source circuit of each of Figs. 37(A) and 38(A) is similar to the current source circuit of Fig. 19, except for the connection and current-flow paths. The current source circuit of Fig. 40(A) is similar to the current source circuit of Fig. 19, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit. The current source circuits of Figs. 23(B) and 38(B) are similar to the current source circuit of Fig. 19, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit. Specifically, in the structure of Fig. 40(A), only the gate width W of the transistor is different between the setting operation and the input operation; in the structure of each of Figs. 23(B) and 38(B), only the gate length L is different between the setting operation and the input operation; and others are similar to those of the structure of the current source circuit in Fig. 19.

On the other hand, in each of the current source circuits of Figs. 20 and 21, the signal current I_{data} set in the constant current source and the value of the current flowing to the pixel are dependent on the sizes of the two transistors provided in the current source circuit. In other words, the signal current I_{data} set in the constant current source and the current flowing to the pixel can be arbitrarily changed by arbitrarily designing the sizes (W (gate width)/ L (gate length)) of the two transistors provided in the current source circuit. However, output of precise signal current I_{data} to the pixel is difficult in the case where variation is caused in the characteristics of the two transistors, such as threshold values and mobilities.

Further, in each of the current source circuits of Figs. 20 and 21, the signal can be input to the pixel in the period during which the setting operation is performed. That is, the operation (setting operation) for setting the signal can be performed simultaneously with the operation (input operation) for inputting the signal to the pixel. Thus, unlike the current source circuit of Fig. 19, two current source circuits do not need to be provided in a single signal line.

The present invention with the above structure can suppress the influence of

variation in the TFT characteristics and supply a desired current to the outside.

(Embodiment Mode 2)

The above has described that, for the current source circuit shown in Fig. 19 (or, Fig. 40(A), 23(B), 38(B), or the like), preferably, two current source circuits are provided for each signal line (each column), in which one of the current source circuits is used to perform the setting operation, and the other current source circuit is used to perform the setting operation. This is because the setting operation and the input operation cannot be performed simultaneously. In this embodiment mode, the structure and operation of either the first current source circuit 421 or the second current source circuit 422 shown in Fig. 2 will be described with reference to Fig. 25.

Note that the signal line driver circuit includes the current source circuit 420, the shift register, the latch circuits, and the like.

In the present invention, a setting signal input from a terminal a corresponds to a sampling pulse from a shift register. That is, the setting signal in Fig. 2 corresponds to the sampling pulse supplied from the shift register. The present invention performs setting of the current source circuit 420 in accordance with the timing of the sampling pulse from the shift register.

However, the sampling pulse is not input in certain structure of a current source circuit or driving method. The signal supplied from an output terminal of a logical operator that is connected to a setting control line (not shown in Fig. 2). One of two input terminals of the logical operator is input with the signal supplied from the sampling pulse and the other is input with the signal from setting control line.

The current source circuit 420 is controlled by a setting signal input via the terminal a; is supplied with a current (reference current) from the terminal b; and outputs a current proportional to the current (reference current) from the terminal c.

Referring to Fig. 25(A), a circuit including switches 134 to 139, a transistor 132 (n-channel type), and a capacitor device 133 for retaining a gate-source voltage VGS of the transistor 132 corresponds to the first current source circuit 421 or the second current source circuit 422.

In the first current source circuit 421 or the second current source circuit 422,

the switch 134 and the switch 136 are turned ON by the signal input via the terminal a. Further, the switch 135 and the switch 137 are turned ON by the signal input from the control line via the terminal d. Then, a current (reference current) is supplied via the terminal b from the reference constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor device 133. The charge is retained in the capacitor device 133 until the current (reference current) that flows from the constant current source 109 becomes identical with a drain current of the transistor 132.

Subsequently, the switches 134 to 137 are turned OFF by the signals input through the terminals a and d. As a result, since the predetermined charge is retained in the capacitor device 133, the transistor 132 has a capability of flowing a current having a magnitude corresponding to that of the signal current I_{data} . If the switch 101 (signal current control switch), the switch 138, and the switch 139 are turned to the conductive state, current flows to a pixel connected to the signal line via a terminal c. At this time, since the gate voltage of the transistor 132 is maintained at a predetermined gate voltage by the capacitor device 133, a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 132. Thus, the magnitude of the current flown through the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

In the case where the switch 101 (signal current control switch) is not arranged, when the switches 138 and 139 are turned to the conductive state, current flows to the pixel connected to the signal line via the terminal c.

Referring to Fig. 25(B), a circuit including switches 144 to 147, a transistor 142 (n-channel type), a capacitor device 143 for retaining a gate-source voltage V_{GS} of the transistor 142, and a transistor 148 (n-channel type) corresponds to the first current source circuit 421 or the second current source circuit 422.

In the first current source circuit 421 or the second current source circuit 422, the switch 144 and the switch 146 are turned ON by the signal input via the terminal a. Further, the switch 145 and the switch 147 are turned ON by the signal input from the

control line via the terminal d. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and charge is retained in the capacitor device 143. The charge is retained in the capacitor device 143 until the current (reference current) that is flown from the constant current source 109 becomes identical with a drain current of the transistor 142. When the switch 144 and the switch 145 are turned ON, since a gate-source voltage V_{GS} of the transistor 148 is set to 0 V, the transistor 148 is automatically turned OFF.

Subsequently, the switches 144 to 147 are turned OFF by the signals input via the terminals a and d. As a result, since the predetermined charge is retained in the capacitor device 143, the transistor 142 has a capability of flowing a current having a magnitude corresponding to that of the signal current I_{data} . If the switch 101 (signal current control switch) is turned to the conductive state, current is supplied to a pixel connected to the signal line via the terminal c. At this time, the gate voltage of the transistor 142 is previously set to a predetermined gate voltage by the capacitor device 143, and a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 142. Thus, the magnitude of the current flown through the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

When the switches 144 and 145 are turned OFF, a gate and a source of the transistor 142 do not have the same potential. As a result, since the charge retained in the capacitor device 143 is distributed also to the transistor 148, and the transistor 148 is automatically turned ON. Here, the transistors 142 and 148 are coupled in series, and the gates thereof are connected to each other. Therefore, the transistors 142 and 148 each operate as a multi-gate transistor. That is, a gate length L of the transistor differs between the setting operation and the input operation. Thus, the value of current supplied from the terminal b in the setting operation can be made larger than the value of current supplied from the terminal c in the input operation. Thus, various loads (such as wiring resistance and cross capacitance) disposed between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly. In the case where the switch 101 (signal

current control switch) is not arranged, when the switches 144 and 145 are turned OFF, current flows to the pixel connected to the signal line via the terminal c.

Note that Fig. 25(A) corresponds to a structure in which the terminal d is added to the structure of Fig. 23(A). Fig. 25(B) corresponds to a structure in which the terminal d is added to the structure of Fig. 23(B). Thus, the structures of Figs. 23(A) and 23(B) are added with switches arranged in series, thereby being modified to those of Figs. 25(A) and 25(B) each of which is added with the terminal d. The structure of the current source circuit shown in Fig. 23, 24, 38, 37, or 40 can be arbitrarily used by arranging two switches in series in the first current source circuit 421 or the second current source circuit 422.

The structure in which the current source circuit 420 including for each signal line the two current source circuits, namely, the first and second current source circuits 421 and 422, is shown in Fig. 2. However, the present invention is not limited to this. The number of current source circuits per one signal line is not particularly limited, and can be set arbitrarily. A plurality of current source circuits may be set such that constant current sources are provided corresponding thereto, and that signal currents are set to the current source circuits by the constant current sources. For example, three current source circuits 420 may be provided for each signal line. Then, a signal current may be set by different reference constant current sources 109 for the respective current source circuits 420. For example, it may be such that a 1-bit reference constant current source is used to set a signal current for one of the current source circuits 420, a 2-bit reference constant current source is used to set a signal current for one of the current source circuits 420, and a 3-bit reference constant current source is used to set a signal current for one of the current source circuits 420. Thus, 3-bit display can be performed.

The present invention with the above structure can suppress the influence of variation in TFT characteristics and supply a desired current to the outside.

This embodiment mode may be arbitrarily combined with Embodiment Mode 1.
(Embodiment Mode 3)

In this embodiment mode, the structure of a light emitting device including the signal line driver circuit of the present invention will be described using Fig. 15.

Referring to Fig. 15(A), the light emitting device includes a pixel portion 402 including a plurality of pixels arranged in matrix on a substrate 401, and includes a signal line driver circuit 403 and first and second scanning line driver circuits 404 and 405 in the periphery of the pixel portion 402. While the signal line driver circuit 403 and the two scanning line driver circuits 404 and 405 are provided in Fig. 15(A), the present invention is not limited to this. The number of driver circuits may be arbitrarily designed depending on the pixel structure. Signals are supplied from the outside to the signal line driver circuit 403 and the first and second scanning line driver circuits 404 and 405 via FPCs 406.

The structures and operations of the first and second scanning line driver circuits 404 and 405 will be described using Fig. 15(B). The first and second scanning line driver circuits 404 and 405 each include a shift register 407 and a buffer 408. The shift register 407 sequentially outputs sampling pulses in accordance with a clock signal (G-CLK), a start pulse (S-SP), and an inverted clock signal (G-CLKb). Thereafter, the sampling pulses amplified in the buffer 408 are input to scanning lines, and the scanning lines are set to be in a selected state for each line. Signals are sequentially written to pixels controlled by the selected signal lines.

Note that the structure may be such that a level shifter circuit is arranged between the shift register 407 and the buffer 408. Disposition of the level shifter circuit enables the voltage amplitude to be increased.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 and 2.

(Embodiment Mode 4)

In this embodiment mode, the detailed structure and operation of the signal line driver circuit 403 shown in Fig. 15(A) will be described. In this embodiment mode, the signal line driver circuit 403 used in the case of performing 1-bit digital gradation display will be described.

First, the case corresponding to Fig. 1 will be described. In addition, a case of

line-sequential drive will be described here.

Fig. 6(A) is a schematic view of the signal line driver circuit 403 used in the case of performing 1-bit digital gradation display. The signal line driver circuit 403 includes a shift register 411, a first latch circuit 412, a second latch circuit 413, and a constant current circuit 414.

Operations will be briefly described. The shift register 411 is constituted by, for example, a plurality of flip-flop circuits (FFs). In accordance with the timing of a clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb), sampling pulses are sequentially output.

The sampling pulses, which have been output from the shift register 411, are input to the first latch circuit 412. Digital video signals have been input to the first latch circuit 412, and a video signal is retained in each column in accordance with the input timing of the sampling pulse.

In the first latch circuit 412, upon completion of video-signal retaining operations in columns to the last column, during a horizontal return period, a latch pulse is input to the second latch circuit 413, and video signals retained in the first latch circuit 412 are transferred in batch to the second latch circuit 413. As a result, one-line video signals retained in the second latch circuit 413 are input to the constant current circuit 414 at the same time.

While the video signals retained in the second latch circuit 413 are being supplied to the constant current circuit 414, sampling pulses are again output in the shift register 411. Thereafter, the operation is iterated, and one-frame video signals are processed. There may be a case where the constant current circuit 414 plays a role of converting a digital signal into an analog signal.

In the present invention, the sampling pulses that are output from the shift register 411 are input to the constant current circuit 414.

In the constant current circuit 414, a plurality of current source circuits 420 are provided. Fig. 6(B) outlines the signal line driver circuit relating to three signal lines in i -th to $(i+2)$ -th columns.

The current source circuit 420 is controlled by a signal input through a terminal

a. In addition, the current source circuit 420 is supplied with a current via a terminal b from a reference constant current source 109 connected to a current line. A switch 101 (signal current control switch) is provided between the current source circuit 420 and a pixel connected to a signal line S_n , and the switch 101 (signal current control switch) is controlled by the video signal. In the case where the video signal is a bright signal, a current is supplied from the current source circuit 420 to the pixel. On the contrary, in the case where the video signal is a dark signal, the switch 101 (signal current control switch) is controlled not to supply a current to the pixel. That is, the current source circuit 420 has a capability of flowing a predetermined current, and whether the current is supplied to the pixel or not is controlled by the switch 101 (signal current control switch).

In the present invention, the signal input to the current source circuit 420 through the terminal a corresponds to the sampling pulse supplied from the shift register. Depending on the structure or drive system of the current source circuit, the sampling pulse is not directly input, and instead, a signal supplied from an output terminal of a logical operator connected to a setting control line (not shown in Fig. 6) is input.

One of two input terminals of the logical operator is input with the sampling pulse, and the other input terminal is input with the signal supplied from the setting control line. Thus, the setting of the current source circuit 420 is performed in accordance with the timing of the sampling pulse or the signal supplied from the output terminal of the logical operator connected to the setting control line.

Note that the signal line driver circuit having the setting control line and the logical operator is shown in Fig. 42. In the structure shown in Fig. 42, a switch or the like may be arranged instead of the logical operator.

Further, as to the structure of the current source circuit 420, the structure of the current source circuit 420 shown in Fig. 23, Fig. 24, Fig. 38, Fig. 37, Fig. 40, or the like can be arbitrarily taken.

Moreover, one or a plurality of structures may be adopted for the current source circuit 420. Note that, in the case where the structures shown in Figs. 23(A) and 24(A) are used for the current source circuit 420, a setting operation cannot be

conducted while an input operation is conducted. Therefore, the setting operation needs to be performed while the input operation is not performed. Incidentally, there is a case where periods during which the input operation is not performed are dotted about one frame. Thus, in such a case, it is not preferable that columns are sequentially selected but preferable that an arbitrary column can be selected. Therefore, it is desirable that a decoder circuit or the like capable of conducting random selection is used as a shift register. In Fig. 43, the decoder circuit is shown as an example. When the decoder circuit shown in Fig. 43 is used, the setting operation of the current source circuit is not performed from the first column to the last column in order, and can be performed randomly. Then, the length of the time for conducting the setting operation can be freely set long.

Aside from the above decoder circuit, the circuit shown in Fig. 44(A) may be used. In Fig. 44(A), pulses output from a shift register and signals supplied from output control lines (first to third output control lines) are input to logical operators. As shown in Fig. 44(B), the pulses of the respective output control lines are controlled, whereby sampling pulses can be output from the first column to the last column in order. That is, a waveform similar to that in the prior art can be output.

Further, when an operation different from that in the prior art needs to be performed, as shown in Fig. 45(A), the second and third output control lines are turned in a non-selected state in the state in which the first output control line is in a selected state. Then, a first-column sampling pulse is output for a period longer than that in the prior art. Therefore, after the first-column sampling pulse is output, a fourth-column sampling pulse is output. Similarly, as shown in Fig. 45(B), in the state in which the second output control line is in a selected state, the first and third output control lines are turned in a non-selected state. Then, a second-column sampling pulse is output for a period longer than that in the prior art. Thus, after the second-column sampling pulse is output, a fifth-column sampling pulse is output. In the above structure, random selection is not completely performed from the first column to the last column, but only a certain specific column can be selected for a period longer than that in a general case. Therefore, the setting operation of the current source circuit can be

performed more freely.

Further, the circuit shown in Fig. 46 may be used. In Fig. 46, the operation is controlled through a control 1 and a control 2. When the control 1 and the control 2 are turned in a selected state, a switch arranged between a first shift register and a second shift register is in a conductive state, and a switch arranged between the second shift register and a third shift register is in a conductive state. In other words, there is obtained a state in which the first shift register, the second shift register, and the third shift register are connected with one another. In such a state, when a start pulse signal is input to SP, the pulse from the first shift register shifts to the second shift register, and the pulse from the second shift register shifts to a third shift register. That is, a waveform similar to that in the prior art can be output. Then, when an operation different from that in the prior art needs to be conducted, the control 1 is turned in a non-selected state. Thus, the switch arranged between the first shift register and the second shift register is in a non-conductive state, and a switch arranged between the second shift register and SP1 is in a conductive state. Then, the start pulse signal is input to not SP but SP1. Thus, a sampling pulse is output from the second shift register. That is, the sampling pulse starts to be output from the midway column among the first to last columns. When another different operation needs to be conducted, the control 2 is turned in a non-selected state. Thus, the switch arranged between the second shift register and the third shift register is in a non-conductive state, and a switch arranged between the third shift register and SP2 is in a conductive state. Then, the start pulse signal is input to SP2. Thus, a sampling pulse starts to be output from the third shift register. As described above, in the structure of Fig. 46, random selection is not completely performed from the first column to the last column, but only columns in a certain specific range can be selected. At this time, a frequency of a clock signal is lowered, whereby selection for a period longer than that in the prior art becomes possible. Therefore, the setting operation of the current source circuit can be conducted more freely.

When the column or current source circuit can be selected randomly or freely on some level to perform the setting operation of the current source circuit as described

above, various advantages are exhibited. For example, in the case where periods during which the setting operation can be performed are dotted in one frame, when an arbitrary column can be selected, the degree of freedom is increased, and the setting operation period can be set long. Another advantage is that the influence of charge leakage in the capacitor device (corresponding to, for example, a capacitor device 103 in Fig. 23(A), a capacitor device 123 in Fig. 23(B), or a capacitor device 107 in Fig. 23(B)) arranged in the current source circuit 420 can be made inconspicuous.

The capacitor device is arranged in the current source circuit 420. Incidentally, the capacitor device may be substituted by a gate capacitance of the transistor. A predetermined charge is accumulated in the capacitor device through the setting operation for the current source circuit. Ideally, the setting operation for the current source circuit may be performed only once when the power source is input. Specifically, when the signal line driver circuit is operated, the setting operation may be performed only once during the initial period of the operation. This is because the amount of charge accumulated in the capacitor device does not need to be varied depending on, for example, the operation state and the time, and is not varied. In practice, however, various noises may enter the capacitor device, or a leak current flows from the transistor connected to the capacitor device. As a result, the amount of charge accumulated in the capacitor device may gradually vary as time passes. When the charge amount varies, the current to be output from the current source circuit, that is, the current to be input to the pixel also varies. As a result, the luminance of the pixel varies. To prevent the variation in the charge accumulated in the capacitor device, there arises a need that the setting operation for the current source circuit is periodically performed in a certain cycle, the charge is refreshed, the varied charge is returned to the original state, and the proper amount of charge is restored.

Suppose, in the case where the variation amount of charge accumulated in the capacitor device is large, the setting operation for the current source circuit is performed, the charge is refreshed, the varied charge is returned to the original state, and the proper amount of charge is restored. In association with this, the variation is increased in the amount of the current output from the current source circuit. Thus, when the setting

operation is sequentially performed from the first column, a case may occur in which there develops a display disturbance at a degree that the variation in the amount of the current output from the current source circuit is recognizable by the human eye. That is, a case may occur in which there develops a display disturbance at a degree that the variation in the luminance of the pixel, which is caused sequentially from the first column, is recognizable by the human eye. In this case, when the setting operation is not sequentially performed from the first column but performed at random, the variation in the amount of the current output from the current source circuit can be made inconspicuous. As described above, the random selection for the plurality of wirings produces various advantages.

On the other hand, in the case where the structure shown in any of Figs. 23(C) to (E) is used for the current source circuit 420, the setting operation and the input operation can be performed at the same time. However, also in the case of using the current source circuit capable of simultaneously performing the setting operation and the input operation, fluctuation of the amount of the current output from the current source circuit can be made inconspicuous, and the period for conducting the setting operation can be set long. Thus, random selection is very effective.

With reference to Fig. 6(B), although the setting operation is performed for each column, the present invention is not limited to this. As shown in Fig. 47, the setting operation may be simultaneously performed for a plurality of columns. Here, to perform the setting operation for a plurality of columns at a time is referred to as to make multi phases. Referring to Fig. 47, while two reference constant current sources 109 are arranged, the setting operation may be performed for the two reference constant current sources through differently arranged reference constant current sources.

Hereinafter, a description will be made of the detailed structure and operation of the constant current circuit 414 shown in Fig. 6(B).

Here, Fig. 5 shows a circuit in the case where the structure of Fig. 23(C) is applied to the portion of a current source circuit. Fig. 48 shows a circuit in the case where the structure of Fig. 23(A) is applied to the portion of a current source circuit. Figs. 3 and 4 each show a circuit in which a plurality of (two) current source circuits are

arranged in one column as shown in Fig. 2, the circuit being in the case where the structure of Fig. 23(A) is applied to the portion of a current source circuit. First, the structures shown in Figs. 3 and 4 are explained.

At first, a description will be made of the constant current circuit 414 having a current source circuit with the structure shown in Fig. 6(A). Note that, in the structure shown in Fig. 6(A), the setting operation for making a signal held in the current source circuit and the operation for inputting a signal from the current source circuit to a pixel (input operation) cannot be performed at the same time. Therefore, it is preferable that two current source circuits are provided for each signal line and that the setting operation is conducted in one of the current source circuits while the input operation is conducted in the other current source circuit.

In the current source circuit 420 provided in each column in Figs. 3 and 4, whether a predetermined signal current is output to a signal line S_i ($1 \leq i \leq n$) or not is controlled in accordance with information of a digital video signal input from the second latch circuit 413.

In Fig. 3, the current source circuit 420 has a first current source circuit 421 and a second current source circuit 422. Then, one of the first current source circuit 421 and the second current source circuit 422 conducts a setting operation, and the other current source circuit conducts an input operation. The first current source circuit 421 and the second current source circuit 422 each have a plurality of circuit elements. The first current source circuit 421 has a NAND 70, an inverter 71, an inverter 72, an analog switch 73, an analog switch 74, transistors 75 to 77, and a capacitor element 78. Then, the second current source circuit 422 has a NAND 80, an inverter 81, an inverter 82, an inverter 89, an analog switch 83, an analog switch 84, transistors 85 to 87, and a capacitor element 88. In this embodiment mode, the transistors 75 to 77 and the transistors 85 to 87 are all of n-channel type.

In the first current source circuit 421, input terminals of the NAND 70 are connected to the shift register 411 and to a control line 92, and an output terminal of the NAND 70 is connected to an input terminal of the inverter 71. An output terminal of the inverter 71 is connected to gate electrodes of the transistor 75 and the transistor 76.

The analog switch has four terminals. By the signals input to two of the four terminals, conductivity or non-conductivity is established between the rest of two terminals.

Conductivity or non-conductivity is selected for the analog switch 73 by the signal input from the output terminal of the NAND 70 and the signal input from the output terminal of the inverter 71. An input terminal of the inverter 72 is connected to the control line 92. Then, conductivity or non-conductivity is selected for the analog switch 74 by the signals input from the control line 92 and the output terminal of the inverter 72.

One of a source region and a drain region of the transistor 75 is connected to a current line 93, and the other region is connected to one of a source region and a drain region of the transistor 77. One of a source region and a drain region of the transistor 76 is connected to the current line 93, and the other region is connected to one of terminals of the capacitor element 78 and a gate electrode of the transistor 77. One of a source region and a drain region of the transistor 77 is connected to Vss, and the other region is connected to the analog switch 73.

A reference constant current source (not shown) is connected to the current line 93.

One of electrodes of the capacitor element 78 is connected to Vss, and the other electrode is connected to the gate electrode of the transistor 77. The capacitor element 78 plays a role of holding a gate-source voltage of the transistor 77.

In the second current source circuit 422, an input terminal of the inverter 89 is connected to the control line 89. Then, an output terminal of the inverter 89 is connected to one of input terminals of the NAND 80. Further, the other input terminal of the NAND 80 is connected to the shift register 411. An output terminal of the NAND 80 is connected to an input terminal of the inverter 81. An output terminal of the inverter 81 is connected to gate electrodes of the transistor 85 and the transistor 86.

Conductivity or non-conductivity is selected for the analog switch 83 by the signal input from the output terminal of the NAND 80 and the signal input from the output terminal of the inverter 81. Further, an input terminal of the inverter 82 is

connected to the control line 92. Then, conductivity or non-conductivity is selected for the analog switch 84 by the signals input from the control line 92 and an output terminal of the inverter 82.

One of a source region and a drain region of the transistor 85 is connected to the current line 93, and the other region is connected to one of a source region and a drain region of the transistor 87. One of a source region and a drain region of the transistor 86 is connected to the current line 93, and the other region is connected to one of terminals of the capacitor element 88 and to a gate electrode of the transistor 87. One of the source region and the drain region of the transistor 87 is connected to V_{ss} , and the other region is connected to the analog switch 83.

One of electrodes of the capacitor element 88 is connected to V_{ss} , and the other electrode is connected to the gate electrode of the transistor 87. The capacitor element 88 plays a role of holding a gate-source voltage of the transistor 87.

Here, the operation of the current source circuit in Fig. 3 is described with reference to Fig. 28.

Fig. 28 is a timing chart of the setting control line 92 and scanning lines of first to third lines. The operation of the current source circuit 420 in a period A is described with reference to Fig. 3, and the operation of the current source circuit 420 in a period B is described with reference to Fig. 4. In the period A, the setting operation is conducted in the first current source circuit 421, and the input operation is conducted in the second current source circuit 422. In the period B, the input operation is conducted in the first current source circuit 421, and the setting operation is conducted in the second current source circuit 422.

First, the operation of the current source circuit 420 in the period A will be explained. At first, the operation of the first current source circuit 421 for conducting the setting operation is explained.

In the period A, the signal input from the setting control line 92 is High. Then, sampling pulses (corresponding to signals of High) are sequentially input from the shift register 411 to respective columns. The NAND 70 conducts logic operation to the signals (both the signals are High) input from the shift register 411 and the setting

control line 92 to output Low. The inverter 71 conducts logic operation to the input signal (Low) to output High.

Signals (High) are input to the gate electrodes of the transistors 75 and 76 from the output terminal of the inverter 71, and then, the transistors 75 and 76 are turned ON. Thereafter, the current supplied from the current line 93 flows through the capacitor element 78 via the transistors 75 and 76 to reach Vss. Then, charge starts to be accumulated in the capacitor element 78.

Subsequently, the charge is gradually accumulated in the capacitor element 78, and the potential difference starts to be developed between the electrodes. When the potential difference reaches V_{th} , the transistor 77 is turned ON from OFF. In the capacitor element 78, the accumulation of the charge is continued until the potential difference between both the electrodes, namely, the gate-source voltage of the transistor 77 reaches a desired voltage. In other words, the accumulation of the charge is continued until the voltage enough for a signal current to flow through the transistor 77 is reached. With the lapse of time, the accumulation of the charge is completed.

At this time, the analog switch 73 and the analog switch 74 are in an OFF state.

Next, a description will be made of the operation of the second current source circuit 422 for conducting the input operation (output of a current to a pixel). Note that, in the second current source circuit 422, the setting operation has already been conducted, and a predetermined charge is held in the capacitor element 88.

In the period A, the signal input from the setting control line 92 is High. The inverter 89 conducts logic operation to the input signal (High) to output Low. The NAND 80 conducts logic operation to the signals input from the inverter 89 and the shift register 411 to output High. The inverter 81 conducts logic operation to the input signal (High) to output Low.

Signals (Low) are input to the gate electrodes of the transistors 85 and 86 from the output terminal of the inverter 81, and then, the transistors 85 and 86 are turned OFF.

On the other hand, the analog switch 83 is turned ON by the signal (High) input from the output terminal of the NAND 80 and the signal (Low) input from the

output terminal of the inverter 81. The analog switch 84 is turned ON by the signal (High) input from the setting control line 92 and the signal (Low) input from the output terminal of the inverter 82.

The predetermined charge is held in the capacitor element 88, and the transistor 87 is in an ON state. In this state, a drain current of the transistor 87 is equal to a signal current.

The analog switch 90 is turned ON or OFF by the signal input from the second latch circuit 413 and the signal input from the inverter 90. In the structure shown in Fig. 3, when a signal of High is input from the second latch circuit 413, the analog switch 90 is turned ON, and when a signal of Low is input from the second latch circuit 413, the analog switch 90 is turned OFF.

Here, assume that the signal of High is input from the second latch circuit 413 and that the analog switch 90 is in an ON state. Then, a current flows through the signal line (S1) and the transistor 87 to reach Vss. The current value at this time is equal to the value of a signal current. In other words, a predetermined signal current is supplied to the pixel connected to the signal line (S1).

At this time, if the transistor 87 is made to operate in a saturation region, the current supplied to the pixel does not change even when the source-drain voltage of the transistor 87 is changed.

Next, the operation of the current source circuit 420 in the period B is described with reference to Fig. 4. At first, a description is made of the operation of the first current source circuit 421 for conducting the input operation (output of a current to a pixel). Note that, in the first current source circuit 421, the setting operation has already been conducted, and a predetermined charge is held in the capacitor element 78.

In the period B, the signal input from the setting control line 92 is Low. The NAND 70 conducts logic operation to the signals input from the shift register 411 and the setting control line 92 to output High. The inverter 71 conducts logic operation to the input signal (High) to output Low.

Signals (Low) are input to the gate electrodes of the transistors 75 and 76 from

the output terminal of the inverter 71, and then, the transistors 75 and 76 are turned OFF.

On the other hand, the analog switch 73 is turned ON by the signal (High) input from the output terminal of the NAND 70 and the signal (Low) input from the output terminal of the inverter 71. Further, the analog switch 74 is turned ON by the signal (Low) input from the setting control line 92 and the signal (High) input from the output terminal of the inverter 72.

The predetermined charge is held in the capacitor element 78, and the transistor 77 is in an ON state. In this state, a drain current of the transistor 77 is equal to a signal current.

Here, assume that the signal of High is input from the second latch circuit 413 and that the analog switch 90 is in an ON state. Then, a current flows through the signal line (S1) and the transistor 77 to reach Vss. The current value at this time is equal to the value of a signal current. In other words, a predetermined signal current is supplied to the pixel connected to the signal line (S1).

At this time, if the transistor 77 is made to operate in a saturation region, the current supplied to the pixel does not change even when the source-drain voltage of the transistor 77 is changed.

Next, a description will be made of the operation of the second current source circuit 422 for conducting the setting operation in the period B.

In the period B, the signal input from the setting control line 92 is Low. The inverter 89 conducts logic operation to the input signal (Low) to output High. The NAND 80 conducts logic operation to the signals (one of the signals is High) input from the inverter 89 and the shift register 411 to output Low. Then, the inverter 81 conducts logic operation to the input signal (Low) to output High.

Signals (High) are input to the gate electrodes of the transistors 85 and 86 from the output terminal of the inverter 81, and the transistors 85 and 86 are turned ON. Thereafter, the current supplied from the current line 93 flows through the capacitor element 88 via the transistors 85 and 86 to reach Vss. Then, charge starts to be accumulated in the capacitor element 88.

Subsequently, the charge is gradually accumulated in the capacitor element 88, and the potential difference starts to be developed between the electrodes. When the potential difference between both the electrodes reaches V_{th} , the transistor 87 is turned ON from OFF. In the capacitor element 88, the accumulation of the charge is continued until the potential difference between both the electrodes, namely, the gate-source voltage of the transistor 87 reaches a desired voltage. In other words, the accumulation of the charge is continued until the voltage enough for a signal current to flow through the transistor 87 is reached.

At this time, the analog switches 83 and 84 are in an OFF state.

Note that the setting operation and the input operation are switched every one line in the operation described above with reference to Fig. 28. However, the present invention is not limited to this. The setting operation and the input operation may be switched every several lines.

Note that the transistors of the current source circuit 420 shown in either Fig. 3 or 4 are all of n-channel type here, but the present invention is not limited to this. P-channel transistors can be used in the current source circuit 420 shown in Fig. 3 or 4. Note that the operation of the current source circuit 420 in the case of using p-channel transistors is the same as the above-described operation except the point in that the direction in which a current flows is changed and the point in that the capacitor element is connected to not Vss but Vdd.

Further, the case where Vss is not replaced with Vdd when p-channel transistors are used in the current source circuit 420 shown in Fig. 3 or 4, that is, the case where the direction in which a current flows does not change, can be applied easily with the comparison between Fig. 23 and Fig. 24. Further, the transistor that is operated as a mere switch may have either polarity.

Subsequently, the structure and the operation of the constant current circuit 414, which are different from those in the above, are described with reference to Fig. 5. In the current source circuit 420 provided in each column, whether a predetermined signal current I_{data} is output to the signal line S_i ($1 \leq i \leq n$) is controlled in accordance with information of a digital video signal input from the second latch circuit 413.

Note that the structure of Fig. 5 corresponds to a circuit in which one current source circuit is arranged for one column.

In Figs. 5(A) to (C), the current source circuit 420 has transistors 94 to 97 and a capacitor element 99. In this embodiment mode, the transistors 94 to 97 are all of n-channel type.

A gate electrode of the transistor 94 is input with the signal from the second latch circuit 413. Further, one of a source region and a drain region of the transistor 94 is connected to the source signal line (S1), and the other region is connected to one of a source region and a drain region of the transistor 95. Sampling pulses are input to gate electrodes of the transistor 97 and the transistor 98 from the shift register 411. One of a source region and a drain region of the transistor 97 is connected to one of a source region and a drain region of the transistor 96, and the other region is connected to one of electrodes of the capacitor element 99. One of a source region and a drain region of the transistor 98 is connected to the current line 93, and the other region is connected to one of the source region and the drain region of the transistor 96.

One of electrodes of the capacitor element 99 is connected to gate electrodes of the transistor 95 and the transistor 96, and the other electrode is connected to Vss. The capacitor element 99 plays a role of holding gate-source voltages of the transistor 95 and the transistor 96.

One of the source region and the drain region of the transistor 95 is connected to Vss, and the other region is connected to one of the source region and the drain region of the transistor 94. One of the source region and the drain region of the transistor 95 is connected to Vss, and the other region is connected to one of the source region and the drain region of the transistor 98.

Here, the operation of the current source circuit 420 shown in Fig. 5 is explained with reference to Fig. 5(A) to Fig. 5(C).

First, the sampling pulses are input to the gate electrodes of the transistors 97 and 98 from the shift register 411, and both the transistors are turned ON. Then, the current supplied from the current line 93 flows to the capacitor element 99 through the transistors 98 and 97. At this time, a signal is not input to the gate electrode of the

transistor 94 from the second latch circuit 413, and the transistor 94 is in an OFF state.

Charge is gradually accumulated in the capacitor element 99, and the potential difference starts to be developed between the electrodes. When the potential difference between both the electrodes reaches V_{th} , the transistors 95 and 96 are turned ON.

In the capacitor element 99, the accumulation of the charge is continued until the potential difference between both the electrodes, namely, the gate-source voltages of the transistors 95 and 96 reach desired voltages. In other words, the accumulation of the charge is continued until the voltage enough for a current corresponding to a signal current to flow through the transistors 95 and 96 is reached (Fig. 5(A)).

With the lapse of time, the accumulation of the charge is completed (Fig. 5(B)).

Subsequently, the transistor 94 is turned ON by the signal (corresponding to a digital video signal) that is input from the second latch circuit 413. At this time, a sampling pulse is not input to the gate electrode of the transistor 94 from the shift register 411, and the transistors 97 and 98 in on OFF state. Then, since a predetermined charge is held in the capacitor element 99, the transistors 95 and 96 are in an ON state. Thus, a current flows through the signal line (S1) via the transistors 94 and 95 in a direction toward V_{ss} . The current value at this time is equal to the value of a signal current. In other words, a predetermined signal current is supplied to the pixel connected to the signal line (S1).

At this time, if the transistor 95 is made to operate in a saturation region, the current supplied to the pixel does not change even when the source-drain voltage of the transistor 95 is changed.

Further, the transistors of the current source circuit 420 shown in Fig. 5 are all of n-channel type in this embodiment mode, but the present invention is not limited to this. P-channel transistors can be used in the current source circuit 420 shown in Fig. 5. Note that the operation of the current source circuit 420 in the case of using p-channel transistors is the same as the above-described operation except the point in that a direction in which a current flows is changed and the point in that the capacitor element is connected to not V_{ss} but V_{dd} .

Moreover, as shown in Fig. 21, Fig. 23(C) to Fig. 23(E), Fig. 24(B) to Fig. 24(D), and the like, circuit elements of the current source circuit 420 may have different connection structures. The operation of the current source circuit 420 at this time is the same as the operation of the current source circuit 420 explained with reference to Fig. 5, and thus, a description thereof is omitted in this embodiment mode.

Further, the case where V_{ss} is not replaced with V_{dd} when p-channel transistors are used in the current source circuit 420 shown in Fig. 5, that is, the case where the direction in which a current flows does not change, can be applied easily with the comparison between Fig. 23 and Fig. 24. Note that the transistor that is operated as a mere switch may have either polarity.

Note that the structure in Fig. 5 shows a circuit in which one current source circuit is arranged for one column. In this case, when the structure shown in Fig. 23(A) or 24(A) is used for the current source circuit 420, a setting operation cannot be conducted while an input operation (output of a current to a pixel) is conducted. Therefore, the setting operation needs to be performed while the input operation (output of a current to a pixel) is not performed. On the other hand, when the structure shown in one of Figs. 23(C) to 23(E) is used for the current source circuit 420, the setting operation and the input operation can be simultaneously performed even in the case where one current source circuit is arranged for one column.

Subsequently, the detailed structure of the constant current circuit 414 shown in Figs. 42(A) and (B) is shown in Fig. 49, Fig. 50 and Fig. 51. Here, Fig. 49 shows the structure in which the circuit shown in Fig. 1 is applied to the portion corresponding to the constant current circuit 414 in Fig. 42(B), and further shows the structure in which Fig. 23(C) is applied to the portion of the current source circuit. Fig. 50 shows the structure in which the circuit shown in Fig. 1 is applied to the portion corresponding to the constant current circuit 414 in Fig. 42(B), and further shows the structure in which Fig. 23(A) is applied to the portion of the current source circuit. Fig. 51 shows the structure in which the circuit shown in Fig. 2 is applied to the portion corresponding to the constant current circuit 414 in Fig. 42(B), and further shows the structure in which Fig. 23(A) is applied to the portion of the current source circuit.

Note that, in the structure shown in each of Fig. 49 and Fig. 50, a logical operator is arranged, but a switch or the like may be arranged instead of the logical operator. The logical operator controls a changeover about whether the setting operation of the current source circuit is performed or not, and thus, may use any circuit as long as the circuit capable of performing control for changing the setting operation is adopted. Further, in Fig. 51, whether the setting operation of the current source circuit is performed or not is changed in accordance with the control of the signal supplied from a first setting control line. Further, the signal supplied from a second setting control line is controlled, whereby it is controlled that which current source circuit conducts the setting operation and which current source circuit conducts the input operation between two current source circuits arranged for each column.

Subsequently, the case adapted for Fig. 34 is described. So far, the case of line-sequential drive has been described. Hereinafter, the case of dot-sequential drive will be described. In Fig. 52(A), a video signal supplied from a video line is sampled in accordance with a timing of the sampling pulse supplied from the shift register 411. Further, the setting of the current source circuit 420 is performed in accordance with the timing of the sampling pulse supplied from the shift register 411. As an example, the dot-sequential drive is performed in the case with the structure of Fig. 52(A).

Note that, as to the signal input to the current source circuit 420 through a terminal a, the sampling pulse is not directly input, and the signal supplied from an output terminal of a logical operator connected to a setting control line (not shown in Fig. 52(A)) is input depending on the structure or drive system of the current source circuit. One of two input terminals of the logical operator is input with the sampling pulse, and the other input terminal is input with the signal supplied from the setting control line. That is, the setting of the current source circuit 420 is performed in accordance with the timing of the sampling pulse or the signal supplied from the output terminal of the logical operator connected to the setting control line.

Note that, in the case where: only in the period during which the sampling pulse is output, and the video signal is supplied from the video line, a switch 101 (signal current control switch) is turned to the ON state; and no sampling pulse is output, no

video signal is supplied from the video line, and then, the switch 101 (signal current control switch) is turned to the OFF state, operation is not conducted precisely. This is because the switch for inputting a current remains in the ON state in the pixel. In this state, when the switch 101 (signal current control switch) is set to the OFF state, since the current is not input to the pixel, the signal cannot be input precisely.

A latch circuit 452 is arranged so that the video signal supplied from the video line can be retained and that the state of the switch 101 (signal current control switch) can be retained. The latch circuit 452 may either be constituted only by a capacitor device and a switch or be constituted by an SRAM circuit. In this way, the sampling pulse is output, the video signal is supplied from the video line for each column, the switch 101 (signal current control switch) is set to the ON state or the OFF state in accordance with the video signal, and the supply of the current to the pixel is controlled. Thus, the dot-sequential drive can be implemented.

However, when selection is sequentially performed from the first column to the last column, a period for inputting the signal to the pixel is relatively long in a column on the side of the first column among the first column to the last column. On the other hand, when the video signal is input, the subsequent line pixel is immediately selected in a column on the side of the last column among the first column to the last column. As a result, a period for inputting the signal to the pixel becomes short. In this case, as shown in Fig. 52(B), the period for inputting the signal to the pixel can be prolonged by dividing the scanning line arranged in a pixel portion 402 at the center. In this case, one scanning line driver circuit is arranged on each of the left and right sides of the pixel portion 402, and the scanning line driver circuit is used to drive the pixel. In this way, periods for inputting the signal to the right pixel and the left pixel can be differentiated from each other even among the pixels arranged in the same line. Further, Fig. 52(C) shows output waveforms of the scanning line driver circuits arranged left and right in the first and second lines, and a start pulse (S-SP) for the shift register 411. According to the operations thus performed, the period for inputting the signal even to the left pixel can be prolonged, and the dot-sequential drive is thus facilitated.

Regardless of whether the line-sequential drive or the dot-sequential drive is performed, the setting operation for the current source circuit 420 may be performed for the current source circuit arranged in an arbitrary column with an arbitrary timing and for an arbitrary number of times. Ideally, however, only the setting-dedicated setting operation may be performed only once as long as a predetermined charge is stored in the capacitor device connected between the gate and the source of the transistor arranged in the current source circuit 420. Alternatively, the setting operation may be performed when the predetermined charge retained in the capacitor device has discharged (varied). Further, as to the setting operation for the current source circuit 420, the setting operation may be performed for the current source circuits 420 in all the columns using time. That is, the setting operation may be performed for the current source circuits 420 in all the columns within one frame period. Alternatively, it may be such that the setting operation is performed only for the current source circuits 420 in several columns within one frame period, as a result of which the setting operation is performed for the current source circuits 420 in all the columns for several frame periods or more.

As above, while the case where one current source circuit is arranged in each column has been described, the present invention is not limited to this, and a plurality of current source circuits may be arranged.

Furthermore, regarding the current source circuit in the signal line driver circuit according to the present invention, a layout diagram is shown in Fig. 87, and a corresponding circuit diagram is shown in Fig. 88.

The present invention having the above structure can suppress the influence of variation in characteristics of TFTs and supply a desired current to the outside.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 3.

(Embodiment Mode 5)

In this embodiment mode, the detailed structure and operation of the signal line driver circuit 403 shown in Fig. 15(A) will be described. In this embodiment mode, a description is made of the signal line driver circuit 403 used in the case of performing

3-bit digital gradation display.

Fig. 26 is a schematic view of the signal line driver circuit 403 in the case of performing the 3-bit digital gradation display. The signal line driver circuit 403 includes a shift register 411, a first latch circuit 412, a second latch circuit 413, and a constant current circuit 414.

The operation will be briefly described. The shift register 411 is formed using, for example, a plurality of flip-flop circuits (FFs), and is input with a clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb). In accordance with the timing of these signals, sampling pulses are sequentially output therefrom.

The sampling pulses, which have been output from the shift register 411, are input to the first latch circuit 412. 3-bit digital video signals (Digital Data 1 to Digital Data 3) have been input to the first latch circuit 412, and a video signal is retained in each column in accordance with the timing at which the sampling pulse is input.

In the first latch circuit 412, upon completion of video-signal retaining in columns to the last column, during a horizontal return period, a latch pulse is input to the second latch circuit 413, and the 3-bit digital video signals (Digital Data 1 to Digital Data 3) retained in the first latch circuit 412 are transferred in batch to the second latch circuit 413. Then, the 3-bit digital video signals (Digital Data 1 to Digital Data 3) for one line, which are retained in the second latch circuit 413, are input to the constant current circuit 414 at a time.

While the 3-bit digital video signals (Digital Data 1 to Digital Data 3) retained in the second latch circuit 413 are input to the constant current circuit 414, sampling pulses are again output in the shift register 411. Thereafter, the operation is iterated, and video signals for one frame are thus processed.

There is a case where the constant current circuit 414 plays a role of converting a digital signal into an analog signal. In the constant current circuit 414, a plurality of current source circuits 420 are provided. Fig. 27 is a schematic view of the signal line driver circuit related to the three signal lines in i -th to $(i+2)$ -th columns.

Note that Fig. 27 shows the case where a reference constant current source 109 corresponding to each bit is arranged.

Each current source circuit 420 has a terminal a, a terminal b, and a terminal c. The current source circuit 420 is controlled by a signal input through the terminal a. Further, current is supplied via the terminal b from the reference constant current source 109 connected to a current line. Switches (signal current control switches) 111 to 113 are provided between the current source circuit 420 and a pixel connected to a signal line S_n , and the switches (signal current control switches) 111 to 113 are controlled by 1-bit to 3-bit video signals. In the case where the video signal is a bright signal, a current is supplied from the current source circuit to the pixel. On the contrary, in the case where the video signal is a dark signal, the switches (signal current control switches) 111 to 113 are controlled not to supply current to the pixel. That is, the current source circuit 420 has a capability of flowing a predetermined current, and the switches (signal current control switches) 111 to 113 control whether the current is supplied to the pixel or not.

Note that the signal input to the current source circuit 420 through the terminal a corresponds to the sampling pulse supplied from the shift register. The sampling pulse is not directly input, and the signal supplied from an output terminal of a logical operator connected to a setting control line (not shown in Fig. 27) is input depending on the structure or drive system of the current source circuit. One of two input terminals of the logical operator is input with the sampling pulse, and the other input terminal is input with the signal supplied from the setting control line. That is, the setting of the current source circuit 420 is performed in accordance with the timing of the sampling pulse or the signal supplied from the output terminal of the logical operator connected to the setting control line.

In Fig. 27, when the current source circuit 420 arranged for each signal line is comprised of the circuit as shown in Fig. 23(A) or (B), the signal input from the output terminal of the logical operator connected to the control line corresponds to a set signal. Further, when the current source circuit 420 arranged for each signal line is comprised of the circuit as shown in each of Figs. 23(C) to (E), the sampling pulse from the shift register corresponds to a set signal.

A structure in which the above-described setting control line and logical

operator are used in the structure shown in Fig. 27 is shown in Fig. 53. Note that, in Fig. 53, logical operators are arranged, but switches or the like may be used instead of the logical operators.

Note that the current line and the reference constant current source are arranged in correspondence with each bit in Fig. 27 or Fig. 53. Then, the total of the values of the currents supplied from the current sources for respective bits is supplied to the signal line. That is, the constant current source circuit 414 also has a function of digital-analog conversion.

In the signal line driver circuit shown in Fig. 27 or 53, although dedicated reference constant current sources 109 are respectively arranged for the 1-bit to 3-bit, the present invention is not limited to this. As shown in Fig. 54, reference constant current sources 109 the number of which is smaller than the number of bits may be arranged. For example, it may be such that only the reference constant current source 109 for the most significant bit (3-bit in this case) is arranged; one current source circuit selected from a plurality of current source circuits arranged in one column is set; and using the current source circuit for which the setting operation has already been performed, the operation is performed for other current source circuits. In other words, setting information may be shared among the plurality of current source circuits arranged in one column.

For example, a setting operation is performed only for a 3-bit current source circuit 420. Then, using the current source circuit 420 for which the setting operation has been performed, information is shared with other 1-bit and 2-bit current source circuits 420. More specifically, among current source circuits 420, the gate terminal of each current-supply transistor (corresponding to a transistor 102 in Fig. 23(A)) is connected, and also the source terminal is connected. As a result, gate-source voltages of information-sharing transistors (current-supply transistors) become identical.

Referring to Fig. 54, the setting operation is performed not for the current source circuits of the least significant bit (1-bit here), but for the current source circuits of the most significant bit (3-bit here). Then, by using the current source circuits of the most significant bit for which the setting operation has already been performed,

information is shared with other current source circuits. Thus, when the setting operation is performed for the current source circuits of a greater-value bit, the influence of variation in characteristics of inter-bit current source circuits can be reduced. Suppose the setting operation is performed for the current source circuits of the least significant bit (1-bit here), information is shared among the current source circuits of the upper bits. In this case, when the characteristics of the respective current source circuits vary, the values of currents of the upper bits lack precision. This is because since upper-bit current source circuits produce outputs having great current values, even when a small variation has occurred in their characteristics, the influence of the variation is magnified, and also output current values are also varied great. In contrast, in the case where the setting operation is performed for the current source circuits of the most significant bit (3-bit here), and information related thereto is shared with the current source circuits of the lower bits, even when the characteristics of the respective current source circuits have varied, since output current values are small, differences in the current value due to variation are small, and the influence is small.

In this embodiment mode, three current source circuits 420 are provided for each signal line because of an explanation with an example of the case of conducting 3-bit digital gradation display. When signal currents supplied from the three current source circuits 420 connected to one signal line are set to 1 : 2 : 4, the size of the current can be controlled at $2^3 = 8$ levels.

The structure of the current source circuit 420 may arbitrarily use the structure of the current source circuit 420 shown in Fig. 23, Fig. 24, Fig. 37, Fig. 38, Fig. 40 or the like. Not only one structure but also a plurality of structures may be adopted for the current source circuits 420.

Hereinafter, as an example, the detailed structure and operation of the constant current circuit 414 in Figs. 27 and 54 are shown with reference to Figs. 7, 8, 29 and 55. In a current source circuit 420 provided in each column of Fig. 7, whether or not a predetermined signal current is output to a signal line S_i ($1 \leq i \leq n$) is controlled according to information contained in a digital video signal input from a second latch circuit 413.

Fig. 55 is a circuit diagram in the case where: reference constant current sources 109 the number of which is equal to the number of bits are arranged; the constant current circuit of Fig. 1 is applied to the signal line driver circuit shown in Fig. 27; and the structure of Fig. 23(A) is applied to the current source circuit. In Fig. 55, the setting operation is performed with transistors A to C being turned OFF. This is for preventing a current leakage. Alternatively, switches may be arranged in series with the transistors A to C, in which the switches are turned OFF in the setting operation. Further, Fig. 7 is a circuit diagram in the case where: reference constant current sources 109 the number of which is equal to the number of bits are arranged; the constant current circuit of Fig. 2 is applied to the signal line driver circuit shown in Fig. 27; and the structure of Fig. 23(A) is applied to the current source circuit. Fig. 8 is a circuit diagram in the case where: reference constant current sources 109 the number of which is smaller than the number of bits are arranged; the constant current circuit of Fig. 1 is applied to the signal line driver circuit shown in Fig. 54; and the structure of Fig. 23(C) is applied to the current source circuit. Fig. 29 is a circuit diagram in the case where: reference constant current sources 109 the number of which is smaller than the number of bits are arranged; the constant current circuit of Fig. 1 is applied to the signal line driver circuit shown in Fig. 54; and the structure of Fig. 23(A) is applied to the current source circuit.

The current source circuit 420 has a first current source circuit 423a and a second current source circuit 424a which are controlled in accordance with a 1-bit digital video signal, a first current source circuit 423b and a second current source circuit 424b which are controlled in accordance with a 2-bit digital video signal, and a first current source circuit 423c and a second current source circuit 424c which are controlled in accordance with a 3-bit digital video signal. Further, the current source circuit 420 has an analog switch 170a and an inverter 171a, an analog switch 170b and an inverter 171b, and an analog switch 170c and an inverter 171c.

The first current source circuits 423a to 423c and the second current source circuits 424a to 424c conduct a setting operation while conducting an operation for inputting a signal to a pixel (input operation, output of a current to a pixel). The first

current source circuits 423a to 423c and the second current source circuits 424a to 424c each have a plurality of circuit elements. In Fig. 7, the circuit diagrams of the first current source circuit 423a and the second current source circuit 424a are shown, and the circuit diagrams of the first current source circuits 423b, 423c and the second current source circuits 424b, 424c are not shown because they conform to the circuit diagrams of the first current source circuit 423a and the second current source circuit 424a.

The first current source circuit 423a has a NAND 150a, an inverter 151a, an inverter 152a, an analog switch 153a, an analog switch 154a, transistors 155a to 157a, and a capacitor element 158a. The second current source circuit 424a has a NAND 160a, an inverter 161a, an inverter 162a, an inverter 169a, an analog switch 163a, an analog switch 164a, transistors 165a to 167a, and a capacitor element 168a. In this embodiment mode, the transistors 155a to 157a and the transistors 165a to 167a are all of n-channel type.

In the first current source circuit 423a, an input terminal of the NAND 150a is connected to the shift register 411 and a first control line 425a, and an output terminal of the NAND 150a is connected to an input terminal of the inverter 151a. An output terminal of the inverter 151a is connected to gate electrodes of the transistor 155a and the transistor 156a.

Conductivity or non-conductivity is selected for the analog switch 153a by the signal input from the output terminal of the NAND 150a and the signal input from the output terminal of the inverter 151a. An input terminal of the inverter 152a is connected to the first control line 425a. Then, conductivity or non-conductivity is selected for the analog switch 154a by the signals input from the first control line 425a and an output terminal of the inverter 152a.

One of a source region and a drain region of the transistor 155a is connected to a first current line 426a, and the other region is connected to one of a source region and a drain region of the transistor 157a. One of a source region and a drain region of the transistor 156a is connected to the first current line 426a, and the other region is connected to one of terminals of the capacitor element 158a and a gate electrode of the

transistor 157a. One of the source region and the drain region of the transistor 157a is connected to Vss, and the other region is connected to the analog switch 153a.

One of the terminals of the capacitor element 158a is connected to Vss, and the other terminal is connected to the gate electrode of the transistor 157a. The capacitor element 158a plays a role of holding a gate-source voltage of the transistor 157a.

In the second current source circuit 424a, an input terminal of the inverter 169a is connected to the first control line 425a. An output terminal of the inverter 169a is connected to one of input terminals of the NAND 160a. Further, the other input terminal of the NAND 160a is connected to the shift register 411. An output terminal of the NAND 160a is connected to an input terminal of the inverter 161a. An output terminal of the inverter 161a is connected to gate electrodes of the transistor 165a and the transistor 166a.

Conductivity or non-conductivity is selected for the analog switch 163a by the signal input from the output terminal of the NAND 160a and the signal input from the output terminal of the inverter 161a. Further, an input terminal of the inverter 162a is connected to the first control line 425a. Conductivity or non-conductivity is selected for the analog switch 164a by the signals input from the first control line 425a and an output terminal of the inverter 162a.

One of a source region and a drain region of the transistor 165a is connected to the first current line 426a, and the other region is connected to one of a source region and a drain region of the transistor 167a. One of a source region and a drain region of the transistor 166a is connected to the first current line 426a, and the other region is connected to one of terminals of the capacitor element 168a and a gate electrode of the transistor 167a. One of the source region and the drain region of the transistor 167a is connected to Vss, and the other region is connected to the analog switch 163a.

One of the terminals of the capacitor element 168a is connected to Vss, and the other terminal is connected to the gate electrode of the transistor 167a. The capacitor element 168a plays a role of holding a gate-source voltage of the transistor 167a.

The operations of the first current source circuit 423a and the second current source circuit 424a which are shown in Fig. 7 are the same as those of the first current

source circuit 421 and the second current source circuit 422 which are shown in Fig. 3 and Fig. 4, and thus, an explanation thereof is omitted in this embodiment mode.

Note that, in the current source circuit 420 shown in Fig. 7, the total of the signal current supplied from the first current source circuit 423a or the second current source circuit 424a, the signal current supplied from the first current source circuit 423b or the second current source circuit 424b, and the signal current supplied from the first current source circuit 423c or the second current source circuit 424c flows to the signal line Si. That is, when the signal current supplied from the first current source circuit 423a or the second current source circuit 424a, the signal current supplied from the first current source circuit 423b or the second current source circuit 424b, and the signal current supplied from the first current source circuit 423c or the second current source circuit 424c are set to 1 : 2 : 4, the size of the current can be controlled at $2^3 = 8$ levels.

In the current source circuit 420 shown in Fig. 7, ON/OFF of analog switches 170a to 170c is selected according to the 3-bit digital video signal. Assuming that all the analog switches 170a to 170c are turned ON, the current supplied to the signal line corresponds to the sum of the signal current supplied from the first current source circuit 423a or the second current source circuit 424a, the signal current supplied from the first current source circuit 423b or the second current source circuit 424b, and the signal current supplied from the first current source circuit 423c or the second current source circuit 424c. Further, if only the analog switch 170a has been turned ON, only the signal current supplied from the first current source circuit 423a or the second current source circuit 424a is supplied to the signal line.

The values of the currents supplied from the current source circuits differ from one another, and thus, it is required that the values of the currents that flow through the first current line 426a to the third current line 426c are set to 1 : 2 : 4.

Here, the transistors of the current source circuit 420 shown in Fig. 7 are all of n-channel type, but the present invention is not limited to this. P-channel transistors can be used in the current source circuit 420. The operation of the current source circuit 420 in the case of using p-channel transistors is the same as the above-described operation except the point in that the direction in which a current flows is changed and

the point in that the capacitor element is connected to not Vss but Vdd, and thus, a description thereof is omitted.

Further, in Fig. 7, the detailed circuit structures of the current source circuits 423b, 423c and the current source circuits 424b, 424c are omitted. However, not the current source circuit with the structure shown in Fig. 23(A) but the current source circuit with the structure shown in any of Figs. 23(C) to (E) may be used for the current source circuits 423b, 423c and the current source circuits 424b, 424c. That is, the current source circuit used in the signal line driver circuit used in the case of conducting digital gradation display with a plurality of bits can be designed by combining a plurality of structures.

Further, the case where Vss is not replaced with Vdd when p-channel transistors are used in the current source circuit, that is, the case where the direction in which a current flows does not change, can be applied easily with the comparison between Fig. 23 and Fig. 24. Further, the polarity of the transistor that is operated as a mere switch is not particularly limited.

Subsequently, the structure and the operation of the constant current circuit 414, which are different from those in the above, are described with reference to Fig. 8. In the current source circuit 420 in Fig. 8, whether a predetermined signal current is output to the signal line Si ($1 \leq i \leq n$) is controlled in accordance with information of a digital video signal input from the second latch circuit 413.

The current source circuit 420 includes transistors 180 to 188 and a capacitor device 189. In this embodiment mode, the transistors 180 to 188 are all of n-channel type.

A 1-bit digital video signal is input to a gate electrode of the transistor 180 from the second latch circuit 413. One of a source region and a drain region of the transistor 180 is connected to the source signal line (Si), and the other is connected to one of a source region and a drain region of the transistor 183.

A 2-bit digital video signal is input to a gate electrode of the transistor 181 from the second latch circuit 413. One of a source region and a drain region of the transistor 181 is connected to the source signal line (Si), and the other is connected to

one of a source region and a drain region of the transistor 184.

A 3-bit digital video signal is input to a gate electrode of the transistor 182 from the second latch circuit 413. One of a source region and a drain region of the transistor 182 is connected to the source signal line (Si), and the other is connected to one of a source region and a drain region of the transistor 185.

One of the source region and the drain region of each of the transistors 183 to 185 is connected to Vss, and the other is connected to one of the source region and the drain region of each of the transistors 180 to 182. One of a source region and a drain region of the transistor 186 is connected to Vss, and the other is connected to one of a source region and a drain region of the transistor 188.

Gate electrodes of the transistor 187 and the transistor 188 are input with signals from the shift register 411. One of a source region and a drain region of the transistor 187 is connected to one of the source region and the drain region of the transistor 186, and the other region is connected to one of electrodes of the capacitor element 189. One of the source region and the drain region of the transistor 188 is connected to a current line 190, and the other region is connected to one of the source region and the drain region of the transistor 186.

One of the electrodes of the capacitor device 189 is connected to the gate electrodes of the transistors 183 to 186, and the other electrode is connected to Vss. The capacitor device 189 plays a role of retaining the gate-source voltages of the transistors 183 to 186.

The current source circuit 420 shown in Fig. 8 conforms to the current source circuit 420 that is explained with reference to Fig. 5 in terms of operation except the point in that the transistors 180, 181, 183, and 184 are additionally designed. Therefore, an explanation of the operation of the current source circuit 420 shown in Fig. 8 is omitted.

Note that the current source circuit shown in Fig. 8 shows the case where the reference constant current sources 109 the number of which is smaller than the number of bits are arranged as shown in Fig. 54.

Further, in the current source circuit 420 shown in Fig. 8, the total of drain

currents of the transistors 183 to 185 flows to the signal line Si. Here, the respective drain currents of the transistors 183 to 185 are set to 1 : 2 : 4, and the size of the current is controlled at $2^3 = 8$ levels. That is, the difference among the values of the currents supplied from the transistors 183 to 185 arises from the design in which the W/L values of the transistors 183 to 185 are set to 1 : 2 : 4, and respective ON currents are set to 1 : 2 : 4.

Subsequently, in the current source circuit 420, ON/OFF of the transistors 180 to 182 is selected according to the 3-bit digital video signal. For example, when all the transistors 180 to 182 are turned ON, the current supplied to the signal line corresponds to the sum of the drain currents of the transistors 183 to 185. When only the transistor 180 has been turned ON, only the drain current of the transistor 183 is supplied to the signal line.

As described above, the gate terminals of the transistors 183 to 185 are connected to each other, whereby setting-operation information can be shared. Here, the information is shared among the transistors arranged in the same column, but the present invention is not limited to this. For example, the setting-operation information may be shared also with transistors in a different column. That is, the transistor gate terminals may be connected to the different column transistors in order to use setting-operation information in common. Thus, the number of current source circuits to be set can be reduced. Consequently, time required for the setting operation can be reduced. In addition, since the number of circuits can be reduced, the layout area can be made small.

Fig. 29 shows the current source circuit 420 a circuit structure of which differs from that in Fig. 8. The current source circuit 420 shown in Fig. 29 has a structure in which switches 191, 192 are arranged instead of the transistors 186 to 188.

Then, in the current source circuit 420 shown in Fig. 29, the operation is the same as that of the current source circuit 420 shown in Fig. 27 except the point in that the current supplied from the reference constant current source (not shown) connected to the current line 190 flows to the capacitor element 189 when the switches 191 and 192 are turned ON. Thus, the explanation is omitted.

Note that the setting operation of the current source circuit is performed with the transistor 182 being in an OFF state. This is for preventing a current leakage. Alternatively, it may be such that a switch 203 is arranged in series with the transistor 182, and the switch 203 is turned OFF during the setting operation and turned ON during the time other than the setting operation. The current source circuit at this time is shown in Fig. 56.

Note that the transistors of the current source circuit 420 in each of Fig. 8, Fig. 29, and Fig. 56 are all of n-channel type, but the present invention is not limited to this. P-channel transistors may be used in the current source circuit 420. Note that the operation of the current source circuit in the case of using p-channel transistors is the same as the above-described operation except the point in that the direction in which a current flows is changed and the point in that the capacitor element is connected to not Vss but Vdd, and thus, an explanation thereof is omitted here.

Further, the case where Vss is not replaced with Vdd when the current source circuit is structured by using p-channel transistors, that is, the case where the direction in which a current flows does not change, can be applied easily with the comparison between Fig. 23 and Fig. 24. Further, attainment of multi-phase or conduction of dot-sequential drive can be easily realized.

Further, the description is made of the structure and the operation of the signal line driver circuit in the case of performing 3-bit digital gradation display in this embodiment mode. However, the present invention is not limited to 3 bits, and display with an arbitrary number of bits can be performed. Further, this embodiment mode can be arbitrarily combined with Embodiment Modes 1 to 4.

Note that, in Fig. 27, one current source circuit corresponding to each bit is arranged for one signal line as shown in Fig. 1. However, as shown in Fig. 2, a plurality of current control circuits corresponding to each bit may be arranged for one signal line driver circuit. The diagram at this time is Fig. 57. Note that the structure of Fig. 7 corresponds to the diagram of the case where the structure of Fig. 57 is applied to the structure of Fig. 27. Similarly, in Fig. 54, setting information is shared among a plurality of current source circuits. The diagram at this time is Fig. 58.

Next, the detailed structure of the circuit shown in Fig. 53 is shown in Fig. 59, Fig. 60, Fig. 61, and Fig. 62. In the circuit shown in Fig. 53, a setting control line and logical operators are arranged, and the timing to conduct the setting operation of the current source circuit is controlled by using the setting control line and the logical operators.

Fig. 59 is a circuit diagram of the case where: reference constant current sources 109 the number of which is equal to the number of bits are arranged; the constant current circuit shown in Fig. 1 is applied to the signal line driver circuit shown in Fig. 53; and the structure of Fig. 23(A) is used for the current source circuit. In the structure shown in Fig. 59, transistors A to C are turned OFF at the time of the setting operation. This is for preventing a current leakage. Alternatively, it may be such that switches are arranged in series with the transistors A to C and that the switches are turned OFF at the time of the setting operation. Fig. 59 corresponds to Fig. 55 based on the correspondence between the structure of Fig. 27 and the structure of Fig. 53. That is, the structure of Fig. 59 corresponds to Fig. 53, and the structure of Fig. 55 corresponds to Fig. 27.

Fig. 60 is a circuit diagram of the case where: reference constant current sources 109 the number of which is equal to the number of bits are arranged; the constant current circuit shown in Fig. 2 is applied to the signal line driver circuit shown in Fig. 53; and the structure of Fig. 23(A) is used for the current source circuit. Fig. 60 corresponds to Fig. 7 based on the correspondence between the structure of Fig. 27 and the structure of Fig. 53. That is, the structure of Fig. 60 corresponds to Fig. 53, and the structure of Fig. 7 corresponds to Fig. 27.

Fig. 61 is a circuit diagram of the case where: reference constant current sources 109 the number of which is smaller than the number of bits are arranged; information is shared as in the structure shown in Fig. 54 and the constant current circuit shown in Fig. 1 is applied with respect to the signal line driver circuit shown in Fig. 53; and the structure of Fig. 23(C) is used for the current source circuit. Fig. 61 corresponds to Fig. 8 based on the correspondence between the structure of Fig. 27 and the structure of Fig. 54, and the structure of Fig. 53.

Fig. 62 is a circuit diagram of the case where: reference constant current sources 109 the number of which is smaller than the number of bits are arranged; information is shared as in the structure shown in Fig. 54 and the constant current circuit shown in Fig. 1 is applied with respect to the signal line driver circuit shown in Fig. 53; and the structure of Fig. 23(A) is used for the current source circuit. Fig. 62 corresponds to Fig. 29 based on the correspondence between the structure of Fig. 27 and the structure of Fig. 54, and the structure of Fig. 53.

Note that logical operators are arranged in each of Fig. 59, Fig. 60, Fig. 61, and Fig. 62, but switches or the like may be used instead of the logical operators. The logical operator only controls a changeover about whether the setting operation of the current source circuit is performed or not, and thus, may use any circuit as long as the circuit capable of performing control for the changeover is adopted. Incidentally, in Fig. 60, whether the setting operation of the current source circuit is performed or not is changed by using a fourth setting control line, and which current source circuit is subjected to the setting operation and which current source circuit is subjected to the input operation are determined by using first to third setting control lines. Further, the setting operation of the current source circuit may be performed not in the order of the first column to the last column but at random. In this case, the circuit such as the decoder circuit shown in Fig. 43 may be used as the shift register 411. Moreover, the circuits shown in Fig. 44, Fig. 45, and Fig. 46 may be used.

(Embodiment Mode 6)

The reference constant current source 109 for supplying a current to the current source circuit may either be integrally formed with a signal line driver circuit on a substrate or be arranged on the outside of the substrate by using, for example, an IC. When integrally forming the current source circuit on the substrate, it may be formed using any one of the current source circuits shown in, for example, Figs. 23 to 25, 38, 37, and 40. Alternatively, it may be such that only one transistor is arranged, and the current value is controlled in accordance with a voltage applied to a gate. In this embodiment mode, the structure and the operation of the reference constant current source 109 will be described.

As an example, Fig. 30 shows the simplest case, that is, a case where: the method of applying a voltage to the gate of the transistor to adjust the gate voltage is employed; and three current lines are necessary. If only one current line is required, transistors 1840 and 1850 and the corresponding current lines may be simply eliminated from the structure of Fig. 30. In Fig. 30, the magnitude of a current is controlled by adjusting the gate voltages applied to a transistor 1830 and the transistors 1840 and 1850 from the outside via a terminal f. At this time, when the transistors 1830, 1840, and 1850 are designed with the values of W/L being set to 1 : 2 : 4, the respective ON currents are set to 1 : 2 : 4.

Next, a description will be made of the case where a current is supplied from the terminal f in Fig. 31(A). As shown Fig. 30, in the case where the gate voltage is applied to perform adjustment, the current value may be varied in accordance with temperature characteristics and the like. However, when the current is input as shown in Fig. 31(A), the influence can be suppressed.

In the structures shown in Figs. 30 and 31(A), while a current is flowing through the current lines, a voltage or current needs to be kept flowing from the terminal f. However, when a current does not need to be flown through the current lines, a voltage or current does not need to be kept being input from the terminal f.

In addition, as shown in Fig. 31(B), switches and a capacitor device may be added. In this case, even while a current is supplied to the current lines, the supply from the reference IC (a current or voltage that is input from the terminal f) can be terminated, and power consumption is therefore reduced. In the structures shown in Figs. 30 and 31, information is shared with other current source transistors arranged in the reference constant current source. Specifically, the gate terminals of the transistors 1830, 1840, and 1850 are mutually connected.

Then, Fig. 32 shows a case where the setting operation is performed for each current source circuit. In Fig. 27, a current is input from a terminal f, and the timing is controlled by a signal supplied from a terminal e. Note that, any one of the structures shown in, for example, Figs. 23, 24, 38, 37, and 40 may be applied to the circuit shown in Fig. 27. The circuit shown in Fig. 32 corresponds to an example in which the circuit

of Fig. 23(A) is applied. Thus, the setting operation and the input operation cannot be performed simultaneously. Therefore, in the case of this circuit, the setting operation for the reference constant current source needs to be performed with a timing at which a current does not need to be flown through the current line.

Fig. 33 shows an example of a polyphased reference constant current source 109. Specifically, the example corresponds to the reference constant current source 109 to which the structure of Fig. 47 is applied. In the polyphased case, circuits of Figs. 32, 30, and 31 may also be applied. However, since the value of current supplied to the current line is the same, the setting operation is performed for respective current source circuits by using the single current, thereby enabling a reduction in the number of currents that are to be input from the outside.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 5.

(Embodiment Mode 7)

In the above embodiment modes, primarily, the case where the signal current control switch exists has been described. In this embodiment mode, a description will be made of a case where the signal current control switch is not provided, that is, a case where a current (constant current) disproportional to a video signal is supplied to a wiring different from a signal line. In this case, the switch 101 (signal current control switch) does not need to be arranged.

Note that the case where the signal current control switch does not exist is similar to the case where the signal current control switch exists, except for the absence of the signal current control switch. Thus, the case will be briefly described, and descriptions of the similar portions will be omitted here.

For comparison between the case where the signal current control switch is arranged and the case where the switch is not arranged, Fig. 34 shows a structure corresponding to Fig. 1, and Fig. 35 shows a structure corresponding to Fig. 2. Fig. 63(A) shows a structure corresponding to Fig. 6(B). According to the embodiment modes described above, the signal current control switch is controlled by the video signal to output the current to the signal line. In this embodiment mode, however, the

current is output to a pixel current line, and the video signal is output to the signal line.

A schematic view of the pixel structure in the above case is shown in Fig. 63(B). Next, a pixel operating method will be briefly described. First, when a switching transistor is ON, a video signal is passed through a signal line, is input to a pixel, and is then stored into a capacitor device. A driving transistor is turned ON or OFF depending on the value of the video signal. On the other hand, a current source circuit has a capability of flowing a constant current. Hence, when the driving transistor is ON, the constant current flows to a light emitting element, and the light emitting element emits light. When the driving transistor is OFF, since no current flows to the light emitting element, the light emitting element does not emit light. In this manner, an image is displayed. In this case, however, only two states, namely, emission and non-emission, can be displayed. Thus, multi-gradation is implemented using, for example, a time gradation method or area gradation method.

Note that, for the portion of the current source circuit, any one of circuits of, for example, Figs. 23, 24, 37, 38, and 40 is used. The setting operation may be performed to enable the current source circuit to be flown with a constant current. When performing the setting operation for the current source circuit of the pixel, the operation is performed by inputting the current through a pixel current line. The setting operation for the current source circuit of the pixel may be performed an arbitrary number of times at arbitrary time and an arbitrary timing. The setting operation for the current source circuit arranged in the pixel can be performed completely independent of an operation for displaying an image. Preferably, the setting operation is performed when charge stored in the capacitor device provided in the current source circuit leaks.

Next, the detailed structure of a constant current circuit 414 of Fig. 63(A) is shown in Figs. 64 and 65. Further, the case where a setting control line and a logical operator are arranged to the structure of Fig. 64 or 65, which enables the control of the timing of performing the setting operation for the current source circuit in the signal line driver circuit, is shown in Fig. 66 or 67. Shown in each of Figs. 64 and 66 is the circuit in the case where Fig. 23(A) is applied to the portion of a current source circuit.

Shown in each of Figs. 65 and 67 is the circuit in the case where Fig. 23(E) is applied to the portion of a current source circuit. Note that the logical operator is arranged in Figs. 66 and 67, but it may be substituted by a switch or the like.

In addition, a case is considered in which the structure of Fig. 35 is applied to the portion of the current source circuit of Fig. 63(A). The detailed structure of the constant current circuit 414 in the above case is shown in Fig. 68. Further, a case where a setting control line and a logical operator are arranged to the structure of Fig. 68, which enables the control of the timing of performing the setting operation for the current source circuit in the signal line driver circuit is shown in Fig. 69. Here, Figs. 68 and 69 each show a circuit in the case where Fig. 23(A) is applied to the portion of the current source circuit. In Fig. 68, the setting operation is performed for one of the current sources by controlling the setting control line, and the input operation can be simultaneously performed with the other current source. Similarly, in Fig. 69, the setting operation is performed for one of the current sources by controlling the second setting control line, and the input operation can be simultaneously performed with the other current source. In addition, the timing of performing the setting operation for the current source circuit in the signal line driver circuit can be controlled by controlling the first setting control line.

As described above, the case where the signal current control switch does not exist is similar to the case where the signal current control switch exists, except for the absence of the signal current control switch. Thus, a detailed description thereof will be omitted.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 6.

(Embodiment Mode 8)

An embodiment mode of the present invention will be described with reference to Fig. 70. In Fig. 70(A), a signal line driver circuit is arranged above a pixel portion, a constant current circuit is arranged below the pixel portion, a current source A is arranged in the signal line driver circuit, and a current source B is arranged in the constant current circuit. When currents supplied from the current sources A, B are set

as I_A , I_B , and a signal current supplied to a pixel is set as I_{data} , $I_A = I_B + I_{data}$ is established. Then, when a signal current is written into the pixel, it is set such that currents are supplied from both the current sources A, B.

At this time, the setting operation of the current source B is performed by using the current source A. The current obtained by subtracting the current of the current source B from the current of the current source A flows to the pixel. Therefore, the setting operation of the current source B is conducted by using the current source A, whereby various influences such as noise can be made smaller.

In Fig. 70(B), reference constant current sources (hereinafter referred to as constant current sources) C, E are arranged above and below the pixel portion. The setting operation of the current source circuits arranged in the signal line driver circuit and in the constant current circuit is performed by using the current sources C, E. A current source D corresponds to a current source for setting the current sources C, E, and a reference current is supplied to the current source D from the outside.

Note that, in Fig. 70(B), the constant current circuit arranged in the lower portion may be replaced with a signal line driver circuit. Thus, the signal line driver circuits can be arranged in both the upper and lower portions. The respective signal line driver circuits take charge of control of the upper and lower halves of a screen (the entire pixel portion). As a result, pixels for two lines can be controlled simultaneously. Thus, it becomes possible to take a long time for the setting operation (signal input operation) of the current source of the signal line driver circuit, the pixel, the current source of the pixel, and the like. Therefore, the setting can be made with more accuracy.

This embodiment mode can be arbitrarily combined with Embodiment Modes 1 to 7.

<Embodiment 1>

In this embodiment, the time gradation method will be described in detail by using Fig. 14. In display devices such as liquid crystal display devices and light emitting devices, a frame frequency is normally about 60 Hz. That is, as shown in Fig. 14(A), screen rendering is performed about 60 times per second. This enables flickers

(flickering of a screen) not to be recognized by the human eye. At this time, a period during which screen rendering is performed once is called one frame period.

As an example, in this embodiment, a description will be made of a time gradation method disclosed in the publication as Patent Document 1. In the time gradation method, one frame period is divided into a plurality of subframe periods. In many cases, the number of divisions at this time is identical to the number of gradation bits. For the sake of a simple description, a case where the number of divisions is identical to the number of gradation bits is shown. Specifically, since the 3-bit gradation is employed in this embodiment, an example is shown in which one frame period is divided into three subframe periods SF1 to SF3 (Fig. 14(B)).

Each of the subframe periods includes an address (writing) period T_a and a sustain (light emission) period (T_s). The address period is a period during which a video signal is written to a pixel, and the length thereof is the same among respective subframe periods. The sustain period is a period during which the light emitting element emits light or does not emit light in response to the video signal written in the address period. At this time, the sustain periods T_{s1} to T_{s3} are set at a length ratio of $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$. More specifically, the length ratio of n sustain periods is set to $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$. Depending on which one of the sustain periods a light emitting element performs emission or non-emission in, the length of the period during which each pixel emits light in one frame period is determined, and the gradation representation is thus performed.

Next, a specific operation of a pixel employing the time gradation method will be described. In this embodiment, a description thereof will be made referring to the pixel shown in Fig. 16(B). A current input method is applied to the pixel shown in Fig. 16(B).

First, the following operation is performed during the address period T_a . A first scanning line 602 and a second scanning line 603 are selected, and TFTs 606 and 607 are turned ON. A current flowing through a signal line 601 at this time is used as a signal current I_{data} . Then, when a predetermined charge has been accumulated in a capacitor device 610, selection of the first scanning line 602 and the second scanning

line 603 is terminated, and the TFTs 606 and 607 are turned OFF.

Subsequently, the following operation is performed in the sustain period T_s . A third scanning line 604 is selected, and a TFT 609 is turned ON. Since the predetermined charge that has been written is stored in the capacitor device 610, the TFT 608 is already turned ON, and a current identical with the signal current I_{data} flows thereto from a current line 605. Thus, a light emitting element 611 emits light.

The operations described above are performed in each subframe period, thereby forming one frame period. According to this method, the number of divisions for subframe periods may be increased to increase the number of display gradations. Also, the order of the subframe periods does not necessarily need to be the order from an upper bit to a lower bit as shown in Figs. 14(B) and 14(C), and the subframe periods may be disposed at random within one frame period. In addition, the order may be variable within each frame period.

Further, a subframe period SF2 of an m-th scanning line is shown in Fig. 14(D). As shown in Fig. 14(D), in the pixel, upon termination of an address period T_{a2} , a sustain period T_{s2} is immediately started.

Next, the timing of performing the setting operation for the current source circuit in the signal line driver circuit will be described.

Note that it is described in the above embodiment mode that the current source circuit has the method in which a setting operation and an input operation can be simultaneously performed and the method in which these operations cannot be simultaneously performed.

In the former current source circuit capable of simultaneously performing the setting operation and the input operation, the timing of conducting each operation is not particularly limited. This is also the same in the case where a plurality of current source circuits are arranged in one column as shown in Fig. 2, Fig. 54, or the like. However, in the latter current source circuit not capable of simultaneously performing the setting operation and the input operation, the timing of conducting the setting operation needs to be devised. In the case of adopting the time gradation method, the setting operation needs to be performed while the output operation is not performed.

For example, in the case of the structure of the driver portion of Fig. 1 and the pixel with the structure of Fig. 16(B), the setting operation needs to be conducted in the period except the address period T_a in any scanning line in a pixel portion. Further, in the case of the structure of the driver portion of Fig. 34 and the pixel with the structure of Fig. 63(B), the setting operation of the current source circuit arranged in the driver portion needs to be conducted in the period during which the setting operation is not conducted for the current source circuit arranged in the pixel.

Note that, at this time, a frequency of a shift register that controls the current source circuit may be set at a low speed in some cases. Thus, the setting operation of the current source circuit can be performed for an enough time with accuracy.

Alternatively, the setting operation of the current source circuit may be performed at random by using the circuit shown in Fig. 43 or the like as the circuit (shift register) for controlling the current source circuit. Further, the circuits of Fig. 44, Fig. 45, Fig. 46, and the like may also be used. Then, even if the periods during which the setting operation can be performed are dotted about one frame, the periods are effectively utilized, thereby being capable of performing the setting operation. Further, it may be such that the setting operation for all the current source circuits is not conducted in one frame period but conducted in several frame periods or more. From the above, the setting operation of the current source circuit can be performed for an enough time with accuracy.

Note that in the case of the structure of the driver portion of Fig. 1 and the pixel with the structure of Fig. 16(B), the input operation may be conducted in the period during which the scanning line in the pixel portion is selected (address period T_a). Further, in the case of the structure of the driver portion of Fig. 1 and the pixel with the structure of Fig. 63(B), the setting operation of the current source circuit arranged in the driver portion may be conducted in the period during which the setting operation is not conducted for the current source circuit arranged in the pixel.

This embodiment can be arbitrarily combined with Embodiment Modes 1 to 8.
<Embodiment 2>

In this embodiment, example structures of pixel circuits provided in the pixel

portion will be described with reference to Figs. 13 and 71.

Note that the present invention may be applied to a pixel of any structure as long as the structure includes a current input portion.

A pixel shown in Fig. 13(A) includes a signal line 1101, first and second scanning lines 1102 and 1103, a current line (power supply line) 1104, a switching TFT 1105, a holding TFT 1106, a driving TFT 1107, a conversion driving TFT 1108, a capacitor device 1109, and a light emitting element 1110. The signal line 1101 is connected to a current source circuit 1111.

Note that the current source circuit 1111 corresponds to the current source circuit 420 arranged in the signal line driver circuit 403.

In the pixel of Fig. 13(A), the gate electrode of the switching TFT 1105 is connected to the first scanning line 1102, a first electrode thereof is connected to the signal line 1101, and a second electrode thereof is connected to a first electrode of the driving TFT 1107 and a first electrode of the conversion driving TFT 1108. The gate electrode of the holding TFT 1106 is connected to the second scanning line 1103, a first electrode thereof is connected to the signal line 1102, and a second electrode thereof is connected to the gate electrode of the driving TFT 1107 and the gate electrode of the conversion driving TFT 1108. A second electrode of the driving TFT 1107 is connected to the current line (power supply line) 1104, and a second electrode of the conversion driving TFT 1108 is connected to one of the electrodes of the light emitting element 1110. The capacitor device 1109 is connected between the gate electrode of the conversion driving TFT 1108 and a second electrode thereof, and retains a gate-source voltage of the conversion driving TFT 1108. The current line (power supply line) 1104 and the other electrode of the light emitting element 1110 are respectively input with predetermined potentials and have mutually different potentials.

Note that the pixel of Fig. 13(A) corresponds to the case where a circuit of Fig. 38(B) is applied to a pixel. However, since the current-flow direction is different, the transistor polarity is opposite. The driving TFT 1107 of Fig. 13(A) corresponds to a TFT 126 of Fig. 38(B), the conversion driving TFT 1108 of Fig. 13(A) corresponds to a TFT 122 of Fig. 38(B), and the holding TFT 1106 of Fig. 13(A) corresponds to the TFT

124 of Fig. 38(B).

A pixel shown in Fig. 13(B) includes a signal line 1151, first and second scanning lines 1142 and 1143, a current line (power supply line) 1144, a switching TFT 1145, a holding TFT 1146, a conversion driving TFT 1147, a driving TFT 1148, a capacitor device 1149, and a light emitting element 1140. The signal line 1151 is connected to a current source circuit 1141.

Note that the current source circuit 1141 corresponds to the current source circuit 420 arranged in the signal line driver circuit 403.

In the pixel of Fig. 13(B), the gate electrode of the switching TFT 1145 is connected to the first scanning line 1142, a first electrode thereof is connected to the signal line 1151, and a second electrode thereof is connected to a first electrode of the driving TFT 1148 and a first electrode of the conversion driving TFT 1148. The gate electrode of the holding TFT 1146 is connected to the second scanning line 1143, a first electrode thereof is connected to the first electrode of the driver TFT 1148, and a second electrode thereof is connected to the gate electrode of the driving TFT 1148 and the gate electrode of the conversion driving TFT 1147. A second electrode of the conversion driving TFT 1147 is connected to the current line (power supply line) 1144, and a second electrode of the conversion driving TFT 1147 is connected to one of the electrodes of the light emitting element 1140. The capacitor device 1149 is connected between the gate electrode of the conversion driving TFT 1147 and a second electrode thereof, and retains a gate-source voltage of the conversion driving TFT 1147. The current line (power supply line) 1144 and the other electrode of the light emitting element 1140 are respectively input with predetermined potentials and have mutually different potentials.

Note that the pixel of Fig. 13(B) corresponds to the case where a circuit of Fig. 6(B) is applied to a pixel. However, since the current-flow direction is different, the transistor polarity is opposite. The conversion driving TFT 1147 of Fig. 13(B) corresponds to a TFT 122 of Fig. 6(B), the driving TFT 1148 of Fig. 13(B) corresponds to a TFT 126 of Fig. 6(B), and the holding TFT 1146 of Fig. 13(B) corresponds to the TFT 124 of Fig. 6(B).

A pixel shown in Fig. 13(C) includes a signal line 1121, a first scanning line 1122, a second scanning line 1123, a third scanning line 1135, a current line (power supply line) 1124, a switching TFT 1125, a pixel current line 1138, an erasing TFT 1126, a driving TFT 1127, a capacitor device 1128, a current-supply TFT 1129, a mirror TFT 1130, a capacitor device 1131, a current-input TFT 1132, a holding TFT 1133, and a light emitting element 1136. The pixel current line 1138 is connected to a current source circuit 1137.

In the pixel of Fig. 13(C), the gate electrode of the switching TFT 1125 is connected to the first scanning line 1122, a first electrode of the switching TFT 1125 is connected to the signal line 1121, and a second electrode of the switching TFT 1125 is connected to the gate electrode of the driving TFT 1127 and a first electrode of the erasing TFT 1126. The gate electrode of the erasing TFT 1126 is connected to the second scanning line 1123, and a second electrode of the erasing TFT 1126 is connected to the current line (power supply line) 1124. A first electrode of the driving TFT 1127 is connected to one of the electrodes of the light emitting element 1136, and a second electrode of the driving TFT 1127 is connected to a first electrode of the current-supply TFT 1129. A second electrode of the current-supply TFT 1129 is connected to the current line 1124. One of the electrodes of the capacitor device 1131 is connected to the gate electrode of the current-supply TFT 1129 and the gate electrode of the mirror TFT 1130 and the other electrode thereof is connected to the current line (power supply line) 1124. A first electrode of the mirror TFT 1130 is connected to the current line 1124, and a second electrode of the mirror TFT 1130 is connected to a first electrode of the current-input TFT 1132. A second electrode of the current-input TFT 1132 is connected to the current line (power supply line) 1124, and the gate electrode of the current-input TFT 1132 is connected to the third scanning line 1135. The gate electrode of the current holding TFT 1133 is connected to the third scanning line 1135, a first electrode of the current holding TFT 1133 is connected to the pixel current line 1138, a second electrode of the current holding TFT 1133 is connected to the gate electrode of the current-supply TFT 1129 and the gate electrode of the mirror TFT 1130. The current line (power supply line) 1124 and the other electrode of light emitting

element 1136 are respectively input with predetermined potentials and have mutually different potentials.

In this case, the current source circuit 1137 corresponds to the current source circuit 420 arranged in the signal line driver circuit 403.

Note that the pixel of Fig. 13(C) corresponds to the case where the circuit of Fig. 23(E) is applied to the pixel of Fig. 63(B). However, since the current-flow direction is different, the transistor polarity is opposite. As described above, the erasing TFT 1126 is additionally provided in the pixel of Fig. 13(C). The disposition of the erasing TFT 1126 enables the length of the lightening period to be freely controlled.

The switching TFT 1125 serves to control the supply of the video signal to the pixel. The erasing TFT 1126 serves to cause charge retained in the capacitor device 1131 to be discharged. The conductivity/non-conductivity of the driving TFT 1127 is controlled according to the charge retained in the capacitor device 1131. The current-supply TFT 1129 and the mirror TFT 1130 together form a current mirror circuit. The current line 1124 and the other electrode of the light emitting element 1136 are respectively input with predetermined potentials and mutually have potential differences.

To be more specific, when the switching TFT 1125 is turned ON, a video signal is input to the pixel through the signal line 1121 and is held in the capacitor device 1128. The driving TFT 1127 is turned ON or OFF depending on the value of the video signal. Thus, when the driving TFT 1127 is ON, a constant current flows to the light emitting element, and the light emitting element emits light. When the driving TFT 1127 is OFF, no current flows to the light emitting element, and the light emitting element does not emit light. In this manner, an image is displayed.

In addition, the current source circuit of Fig. 13(C) is structured by the current-supply TFT 1129, the mirror TFT 1130, the capacitor device 1131, the current-input TFT 1132, and the holding TFT 1133. The current source circuit includes a capacity of making a constant current flow. Current is passed through the pixel current line 1138 and is then input to the current source circuit, and the setting

operation is performed. Thus, even when variation occurs in the characteristics of the transistors constituting the current source circuit, variation does not occur in the magnitude of current that flows from the current source circuit to the light emitting element. The setting operation for the current source circuit of the pixel can be performed independent of the operations of the switching TFT 1125 and the driving TFT 1127.

A pixel of Fig. 71(A) corresponds to the case where the circuit of Fig. 23(A) is applied to the pixel of Fig. 63(B). However, since the current-flow direction is different, the transistor polarity is opposite. The pixel of Fig. 71(A) includes a current-supply TFT 1129, a capacitor device 1131, a holding TFT 1133, and a pixel current line 1138 (Ci). The pixel current line 1138 (Ci) is connected to a current source circuit 1137. Note that the current source circuit 1137 corresponds to the current source circuit 420 arranged in the signal line driver circuit 403.

A pixel of Fig. 71(B) corresponds to the case where the circuit of Fig. 24(A) is applied to the pixel of Fig. 63(B). However, since the current-flow direction is different, the transistor polarity is opposite. The pixel of Fig. 71(B) includes a current-supply TFT 1129, a capacitor device 1131, a holding TFT 1133, and a pixel current line 1138 (Ci). The pixel current line 1138 (Ci) is connected to a current source circuit 1137. Note that the current source circuit 1137 corresponds to the current source circuit 420 arranged in the signal line driver circuit 403.

The pixel of Fig. 71(A) and the pixel of Fig. 71(B) are mutually different in the polarities of the respective current-supply TFTs 1129. Because of the difference in the polarities, connections of the capacitor device 1131 and the holding TFT 1133 are different.

As described above, there exist pixels having various structures. Incidentally, the pixels described above can be broadly classified into two types. The first type inputs a current corresponding to the video signal to the signal line. This type corresponds to the structures of Figs. 13(A), 13(B), and the like. In this case, the signal line driver circuit includes the signal current control switch, as shown in Figs. 1 and 2.

The other type inputs a video signal to the signal line, and inputs to the pixel current line a constant current unrelated to the video signal, that is, the pixel as shown in Fig. 63(B). The structure corresponds to Figs. 13(C), 71(A), 71(B), and the like. In this case, the signal line driver circuit does not include the signal current control switch, as shown in Figs. 34 and 35.

Next, timing charts corresponding to the above-described pixel types will be described. First, cases where digital gradation and time gradation are combined will be described. However, it is variable depending on the pixel type or the structure of the signal line driver circuit. That is, as described above, there occurs, in some cases, a difference in timing between the case where the setting operation and the input operation for the current source circuit in the signal line driver circuit can be performed simultaneously and the case where the setting operation and the input operation cannot be performed simultaneously.

First, the pixel type in which the current corresponding to the video signal is input to the signal line will be described. The pixel is assumed to be shown in Fig. 13(A) or 13(B). The signal line driver circuit is assumed to have the structure of Fig. 6(B).

In the case where the setting operation and the input operation for the current source circuit of the signal line driver circuit can be simultaneously performed, a description is made of the case where the circuit shown in Fig. 1 is applied to the constant current circuit 414 in Fig. 6(B) and Fig. 23(C) is applied to the portion of a current source circuit, that is, the case of Fig. 5. Note that the description is the same in the circuits of Fig. 3 and Fig. 4 for the case where the setting operation and the input operation can be simultaneously performed.

The timing chart in this case is shown in Fig. 72. Also assumed are that 4-bit gradation is represented, and that the number of subframes is four for the convenience of simplifying the description. First, a first subframe period SF1 starts. A scanning line (the first scanning line 1102 shown in Fig. 13(A), or the first scanning line 1132 shown in Fig. 13(B)) is selected on a line basis, and current is input through a signal line (signal line 1101 in Fig. 13(A) or capacitor device 1131 in Fig. 13(B)). The current

has a value corresponding to that of the video signal. Upon termination of a lightening period $Ts1$, a subsequent subframe period $SF2$ starts, and scanning is performed similar to the case of the subframe period $SF1$. Thereafter, a subsequent subframe period $SF3$ starts, and scanning is performed similarly. However, since the length of a lightening period $Ts3$ is shorter than an address period $Ta3$, light is forced not to be emitted. That is, the input video signal is erased or current is controlled not to flow to the light emitting element. To erase the video signal, the second scanning line (second scanning line 1103 in Fig. 13(A) or second scanning line 1133 in Fig. 13(B)) is selected on a line basis. As a result, the video signal is erased to cause the light emitting element to be in the non-emission state. Then, a subsequent subframe period $SF4$ starts. Also in this stage, scanning is performed similar to the case of the subframe period $SF3$; and the light emitting element is brought into the non-emission state similarly.

Described above is the timing chart relevant to the image display operation, that is, pixel operation. Next, the timing of the setting operation for the current source circuit arranged in the signal line driver circuit will be described.

It is assumed that the current source circuit here is one capable of simultaneously performing the setting operation and the input operation. In the case where a pixel is of type in which a current corresponding to a video signal is input to a signal line, the input operation (output of the current to the pixel) of the current source circuit in the signal line driver circuit is performed in the address period ($Ta1$, $Ta2$ or the like) in each subframe period. Then, the setting operation of the current source circuit in the signal line driver circuit is controlled by a sampling pulse from the shift register 411.

The sampling pulses output from the shift register are output to all the columns while a scanning line (gate line) of a certain line is selected. Therefore, as shown in Fig. 72, the setting operation of the current source circuit in the signal line driver circuit is conducted synchronously with the sampling pulse output from the shift register.

Next, a description is made of the case where a setting control line and logical operators are arranged in a signal line driver circuit as shown in Fig. 42. Then, in the case where the setting operation and the input operation can be simultaneously

performed with respect to the current source circuit in the signal line driver circuit, a description is made of the case where the circuit shown in Fig. 1 is applied to the constant current circuit 414 in Fig. 42 and Fig. 23(C) is applied to the portion of a current source circuit, that is, the case of Fig. 49.

The timing charts at this time are shown in Fig. 73, Fig. 74 and Fig. 75.

First, the image display operation, that is, the operation on a switching transistor, a driving transistor, and the like of a pixel is substantially the same as that in the case of Fig. 72 described above, and thus, an explanation thereof is omitted.

Next, a description is made of the timing of the setting operation of the current source circuit arranged in the signal line driver circuit. In the case of Fig. 72, the setting operation of the current source circuit in the signal line driver circuit is conducted in a selection period of the scanning line (gate line) of each line in each address period.

In Fig. 73, whether the setting operation of the current source circuit is conducted or not can be controlled by the setting control line. Therefore, a setting operation period T_b is provided only when the scanning line (gate line) of a certain line in a certain address period is selected, and the setting operation can be performed in the setting operation period T_b .

In this way, the number of times in which the setting operation is conducted for the current source circuit arranged in the signal line driver circuit can be reduced. Therefore, power consumption can be reduced.

Note that a capacitor element connected between a gate and a source of a certain transistor is arranged in the current source circuit 420. Charge is accumulated in the capacitor element through the setting operation of the current source circuit. Ideally, it is sufficient that the setting operation of the current source circuit is conducted only once when a power source is input. This is because the amount of the charge accumulated in the capacitor element does not need to be changed in accordance with the operation state, time, and the like, and does not change. Accordingly, it is sufficient that the setting operation of the current source circuit in the signal line driver circuit is conducted arbitrary times at an arbitrary timing.

However, in actuality, various noises enter the capacitor element, or a leak current of the transistor connected to the capacitor element flows through the capacitor element. As a result, the amount of the charge accumulated in the capacitor element may change with time. When the charge amount changes, the current output from the current source circuit, that is, the current input to the pixel also changes. As a result, luminance of the pixel changes. Thus, in order not to fluctuate the charge accumulated in the capacitor element, there arises a need that the setting operation of the current source circuit is performed in a certain cycle to thereby refresh the charge.

The operation for refreshing the charge accumulated in the capacitor element may be conducted any number of times in one frame period. Alternatively, the operation may be conducted once in several frame periods.

Note that the setting operation of the current source circuit is performed once in each of the address periods T_{a1} and T_{a2} in Fig. 73. How often the setting operation is conducted may be appropriately determined in accordance with the conservation situation of the charge in the capacitor element of the current source circuit.

Next, Fig. 74 shows the case where the timing of the setting operation of the current source circuit arranged in the signal line driver circuit is different from that in Fig. 73.

In Fig. 74, an address period (period during which the input operation of the current source circuit in the signal line driver circuit is conducted) is separated from a setting operation period of the current source circuit of the signal line driver circuit. That is, by utilizing the setting control line, the setting operation of the current source circuit is not conducted in the address period, that is, in the input operation of the current source circuit. Further, the setting operation of the current source circuit is conducted in the period between one address period and another address period, that is, the period during which the input operation of the current source circuit is not performed.

The setting operation and the input operation of the current source circuit in the signal line driver circuit are separately performed as described above, whereby the operation speed of each operation can be changed. That is, the frequency of the

sampling pulse output from the shift register 411 can be changed. Therefore, only in the case of conducting the setting operation of the current source circuit in the signal line driver circuit, the operation of the shift register 411 can be performed slowly. As a result, the setting operation of the current source circuit can be performed for a sufficient time, and the setting operation can be conducted with more accuracy.

Accordingly, the case of Fig. 74 may adopt the structure in which the setting operation and the input operation cannot be performed simultaneously with respect to the current source circuit in the signal line driver circuit.

Note that even when the shift register 411 is operated for conducting the setting operation of the current source circuit, no influence is imparted to the pixel if the scanning line (gate line) in the pixel is not selected. That is, since the scanning line (gate line) is not selected in the address period, no influence is imparted to the pixel.

Further, in the case where the shift register 411 is the circuit capable of selecting a plurality of wirings at random as in Fig. 43, Fig. 44, Fig. 45, Fig. 46, or the like, the setting operation for all the current source circuits does not need to be finished in the period between one address period and another address period, that is, one period during which the input operation of the current source circuit is not conducted. In other words, the setting operation for all the current source circuits may be finished in several frame periods. Alternatively, in the case where there exist a plurality of periods, each of which is between one address period and another address period, in one frame period, the setting operation of the current source circuit may be conducted by using some periods selected from those periods. The timing chart at this time is shown in Fig. 75.

Next, a description will be given of the pixel type that inputs a video signal to the signal line and then inputs a constant current unrelated to the video signal to the pixel current line. The signal line driver circuit is assumed to have the structure of Fig. 63(A). The pixel is assumed to have the structure of, for example, Fig. 63(B), 13(C), 71(A), or 71(B). In this pixel structure, however, the setting operation needs to be performed also for the current source circuit in the pixel. Thus, the timing chart is variable depending on whether the current source circuit of the pixel can simultaneously

perform the setting operation and the input operation. Fig. 76 shows a timing chart in the case where the setting operation and the input operation of the current source circuit of the pixel can be performed simultaneously, that is, the case where the pixel has the structure of Fig. 13(C).

First, the image display operation, that is, operations related to the switching transistor of the pixel, the driving transistor, and the like will be described below. Since the operations are almost the same as those in the case of Fig. 72, they will be briefly described.

First, a first subframe period SF1 starts. A scanning line (first scanning line 1122 in Fig. 13(C)) is selected on a line basis, and a video signal is input through a signal line (1121 in Fig. 13(C)). The video signal is ordinarily a voltage, but it may be a current. Upon termination of a lightening period T_{s1} , a subsequent subframe period SF2 starts, and scanning is performed similar to the case of SF1. Then, a subsequent subframe period SF3 starts, and scanning is performed similarly. However, since the length of a lightening period T_{s3} is shorter than the length of an address period T_{a3} , light is forced not to be emitted. That is, the input video signal is erased or current is controlled not to flow to the light emitting element. To erase the input video signal, the second scanning line (second scanning line 1123 in Fig. 13(C)) is selected on a line basis. As a result, the video signal is erased, and the driving TFT 1127 is brought into the OFF state. Thus, the light emitting element can be brought into the non-emission state. Then, a subsequent subframe period SF4 starts. Also in this stage, scanning is performed as in the case of SF3 and the light emitting element is brought into the non-emission state similarly.

Next, the setting operation for the current source circuit of the pixel will be described. In the case of Fig. 13(C), the setting operation and the input operation for the current source circuit of the pixel can be performed simultaneously. Accordingly, the setting operation for the current source circuit of the pixel can be performed with an arbitrary timing.

The setting operation of the current source circuit in the signal line driver circuit may be conducted at any time in the case where the setting operation can be

performed simultaneously with the input operation (setting operation of the current source circuit of the pixel). In the case where the setting operation of the current source circuit in the signal line driver circuit cannot be performed simultaneously with the input operation (setting operation of the current source circuit of the pixel), the setting operation may be conducted in the period other than the period during which the input operation (setting operation of the current source circuit of the pixel) is conducted.

The case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit in the signal line driver circuit can be performed at the same time corresponds to the case where the circuit in Fig. 35 is applied to the constant current circuit 414 in Fig. 63(A), that is, the case of Fig. 68. Alternatively, the above case corresponds to the case where Fig. 34 is applied to the constant current circuit 414 in Fig. 63(A) and the current source circuit 420 corresponds to Fig. 23(C), Fig. 23(D), Fig. 23(E), or the like.

The case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit in the signal line driver circuit cannot be performed simultaneously corresponds to the case where Fig. 34 is applied to the constant current circuit 414 in Fig. 63(A) and the current source circuit 420 corresponds to Fig. 23(A), Fig. 23(B), or the like, that is, the case of Fig. 64.

Thus, Fig. 76 is a timing chart for the case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit in the signal line driver circuit cannot be performed simultaneously. Assuming that the setting operation of the current source circuit in the signal line driver circuit is performed in an address period, the setting operation of the current source circuit of the pixel is performed in the period between one address period and another address period.

In the case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit in the signal line driver circuit can be conducted

simultaneously, the setting operation of the current source circuit of the pixel may be conducted in an arbitrary period.

In the case of Fig. 76, the setting operation of the current source circuit in the signal line driver circuit is performed in a selection period of the scanning line (gate line) of each line in each address period. Next, a description is made of a timing chart for the case where a setting control line and a logical operator are arranged as shown in Fig. 66 or Fig. 69. In Fig. 66 or Fig. 69, whether the setting operation of the current source circuit is performed or not can be controlled by the setting control line. Therefore, only when the scanning line (gate line) of a certain line in a certain address period is selected, the setting operation period T_b is provided, and the setting operation can be performed in the setting operation period T_b .

Thus, Fig. 77 is a timing chart for the case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit in the signal line driver circuit cannot be performed simultaneously. The setting operation of the current source circuit in the signal line driver circuit is conducted in the first period among the address periods. In Fig. 77, the setting operation is conducted in the first periods of T_{a1} and T_{a2} . Therefore, the setting operation of the current source circuit of the pixel is conducted in the other periods. That is, the setting operation of the current source circuit of the pixel (input operation of the current source circuit in the signal line driver circuit) can be performed also in the address period.

Further, from the above, the number of times of the setting operation of the current source circuit arranged in the signal line driver circuit can be reduced. Thus, power consumption can be reduced.

Note that the capacitor element connected between a gate and a source is arranged in the current source circuit 420. In the capacitor element, charge is accumulated through the setting operation of the current source circuit. Ideally, it is sufficient that the setting operation of the current source circuit is conducted only once when a power source is input. This is because the amount of the charge accumulated in the capacitor element does not need to be changed in accordance with the operation

state, time, and the like, and does not change. Accordingly, it is sufficient that the setting operation of the current source circuit in the signal line driver circuit is conducted arbitrary number of times at an arbitrary timing.

However, in actuality, various noises enter the capacitor element, or a leak current of the transistor connected to the capacitor element flows through the capacitor element. As a result, the amount of the charge accumulated in the capacitor element may change with time. When the charge amount changes, the current output from the current source circuit, that is, the current input to the pixel also changes. As a result, luminance of the pixel changes. Thus, in order not to fluctuate the charge accumulated in the capacitor element, there arises a need that the setting operation of the current source circuit is performed in a certain cycle to thereby refresh the charge.

The operation for refreshing the charge accumulated in the capacitor element may be conducted any number of times in one frame period. Alternatively, the operation may be conducted once in several frame periods.

The setting operation of the current source circuit is performed once in each of the address periods $Ta1$ and $Ta2$ in Fig. 77. How often the setting operation is conducted may be appropriately determined in accordance with the conservation situation of the charge in the capacitor element of the current source circuit.

Next, Fig. 78 shows the case where the timing of the setting operation of the current source circuit arranged in the signal line driver circuit differs from that in Fig. 77.

In Fig. 78, by utilizing the setting control line, the setting operation of the current source circuit in the signal line driver circuit is not performed in the address period, and the setting operation of the current source circuit is performed in the period between one address period and another address period. Then, in the case where the input operation of the current source circuit in the signal line driver circuit (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) cannot be performed simultaneously with the setting operation of the current source circuit in the signal line driver circuit, the input operation is performed in the period during which the setting operation is not performed. In the case where the

setting operation and the input operation can be performed simultaneously, any timing of conducting the input operation of the current source circuit in the signal line driver circuit is adopted.

In this way, the setting operation of the current source circuit in the signal line driver circuit is performed in the period other than the address period, whereby the operation speed can be changed between the operation in the address period and the operation in the setting operation. That is, the frequency of the sampling pulse output from the shift register 411 can be changed. Therefore, only in the case where the setting operation of the current source circuit in the signal line driver circuit is conducted, the operation of the shift register 411 can be conducted slowly. As a result, the setting operation of the current source circuit can be performed for a sufficient time, and the setting operation can be conducted with more accuracy.

Note that, in order to perform the setting operation of the current source circuit, even though the shift register 411 is operated, no influence is imparted to the pixel if the scanning line (gate line) in the pixel is not selected. That is, since the scanning line (gate line) is not selected in the address period, no influence is imparted to the pixel.

Further, in the case where the shift register 411 is the circuit capable of selecting wirings at random as in Fig. 43, Fig. 44, Fig. 45, Fig. 46 or the like, the setting operation for all the current source circuits does not need to be finished in one period between one address period and another address period. That is, the setting operation for all the current source circuits may be finished in several frame periods. Alternatively, in the case where there exist a plurality of periods, each of which is between one address period and another address period, in one frame period, the setting operation of the current source circuit may be conducted by using some periods selected from those periods. The timing chart at this time is Fig. 79.

Next, the timing chart for the case where: a pixel is of type in which a video signal is input to a signal line and a fixed current irrelevant to the video signal is input to a pixel current line; and the setting operation and the input operation of the current source circuit of the pixel cannot be performed simultaneously, that is, the case where the pixel corresponds to Fig. 71(A) or Fig. 71(B) is Fig. 80.

First, the image display operation, that is, the operation on the switching transistor, the driving transistor, and the like of the pixel is substantially the same as that in the case of Fig. 76, and thus is described in a simple manner.

First, a first subframe period SF1 starts. A scanning line (first scanning line 1122 in Figs. 71(A) and 71(B)) is selected on a line basis, and a video signal is input through a signal line (1121 in Figs. 71(A) and 71(B)). The video signal is ordinarily a voltage, but it may be a current. Upon termination of a lightening period $Ts1$, a subsequent subframe period SF2 starts, and scanning is performed similar to the case of SF1. Then, a subsequent subframe period SF3 starts, and scanning is performed similarly. However, since the length of a lightening period $Ts3$ is shorter than the length of an address period $Ta3$, light is forced not to be emitted. That is, the input video signal is erased or current is controlled not to flow to the light emitting element. To prevent the current from flowing to the light emitting element, the second scanning line (second scanning line 1123 in Fig. 13(C)) is selected on a line basis. As a result, the erasing TFT 1127 is brought into the OFF state, and the current-flow path is interrupted. Thus, the light emitting element can be brought into the non-emission state. Then, a subsequent subframe period SF4 starts. Also in this stage, scanning is performed as in the case of SF3 and the light emitting element is brought into the non-emission state similarly.

Next, a description is made of the setting operation to the current source circuit of the pixel. In the case of Fig. 71(A) and Fig. 71(B), the setting operation and the input operation of the current source circuit of the pixel cannot be performed simultaneously. Therefore, the setting operation of the current source circuit of the pixel may be conducted when the input operation of the current source circuit of the pixel is not performed, that is, when a current does not flow through the light emitting element.

The setting operation of the current source circuit in the signal line driver circuit may be performed at any time in the case where the setting operation can be performed simultaneously with the input operation (setting operation of the current source circuit of the pixel). In the case where the setting operation of the current

source circuit in the signal line driver circuit cannot be conducted simultaneously with the input operation (setting operation of the current source circuit of the pixel), the setting operation may be conducted in the period other than the period during which the input operation (setting operation of the current source circuit of the pixel) is conducted.

The case where the setting operation and the input operation (output of a current to the pixel, namely, the setting operation of the current source circuit of the pixel) of the current source circuit in the signal line driver circuit can be performed at the same time corresponds to the case where the constant current circuit 414 in Fig. 63(A) corresponds to the circuit in Fig. 35, that is, the case of Fig. 68. Alternatively, the above case corresponds to the case where the constant current source 414 in Fig. 63(A) corresponds to Fig. 34, and also, the current source circuit 420 corresponds to Fig. 23(C), Fig. 23(D), Fig. 23(E) or the like.

The case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit of the signal line driver circuit cannot be performed simultaneously corresponds to the case where the constant current circuit 414 in Fig. 63(A) corresponds to Fig. 34, and the current source circuit 420 corresponds to Fig. 23(A), Fig. 23(B), or the like, that is, the case of Fig. 64(A).

Thus, Fig. 80 is the timing chart for the case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit of the signal line driver circuit can be performed at the same time. The setting operation of the current source circuit in the signal line driver circuit is performed in the address period. The setting operation of the current source circuit of the pixel may be conducted while the input operation of the current source circuit of the pixel is not conducted, that is, during a non-lightening period (non-light emission period) (Td3, Td4) in which a current does not flow through the light emitting element. The setting operation of the current source circuit in the signal line driver circuit may be performed in the other period. The non-lightening period (non-light emission period) (Td3, Td4) may overlap the address period in many cases.

In the case of Fig. 80, the setting operation of the current source circuit of the signal line driver circuit is performed in a selection period of the scanning line (gate line) of each line in each address period. Next, there is described a timing chart in the case where a setting control line and a logical operator exist as in Fig. 66 or Fig. 69. In Fig. 66 or Fig. 69, whether the setting operation of the current source circuit is conducted or not can be controlled by the setting control line. Therefore, only when the scanning line (gate line) of a certain line in a certain address period is selected, a setting operation period T_b is provided, and the setting operation can be performed in the setting operation period T_b .

Thus, Fig. 81 is the timing chart for the case where the setting operation and the input operation (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) of the current source circuit in the signal line driver circuit cannot be performed simultaneously. The setting operation of the current source circuit in the signal line driver circuit is conducted in the period during which the setting operation of the current source circuit of the pixel is not conducted. In Fig. 81, the setting operation is performed in the period of T_{a2} . The setting operation of the current source circuit of the pixel is performed in the other period. Thus, the setting operation of the current source circuit in the signal line driver circuit can be performed while avoiding the period during which the setting operation of the current source circuit of the pixel (input operation of the current source circuit in the signal line driver circuit) is performed.

Further, from the above, the number of times of the setting operation of the current source circuit arranged in the signal line driver circuit can be reduced. Therefore, consumption power can be reduced. Note that the setting operation of the current source circuit in the signal line driver circuit can be conducted an arbitrary number of times at an arbitrary timing. Incidentally, in order not to fluctuate the charge accumulated in the capacitor element arranged in the current source circuit, there arises a need that the setting operation of the current source circuit is performed in a certain cycle to thereby refresh the charge. Thus, the operation for refreshing the charge accumulated in the capacitor element may be conducted any number of times in

one frame period. Alternatively, the operation may be conducted once in several frame periods.

In Fig. 81, the setting operation of the current source circuit is conducted only once in the period including the address period Ta2. How often the setting operation is conducted may be appropriately determined in accordance with the conservation situation of the charge in the capacitor element of the current source circuit.

Next, the case where the timing of the setting operation of the current source circuit arranged in the signal line driver circuit is different from that in Fig. 81 is shown in Fig. 82.

In Fig. 82, by utilizing the setting control line, the setting operation of the current source circuit in the signal line driver circuit is not performed in an address period while the setting operation of the current source circuit is performed in the period between one address period and another address period. Then, the input operation of the current source circuit in the signal line driver circuit (output of a current to the pixel, that is, the setting operation of the current source circuit of the pixel) is performed while the input operation of the current source circuit of the pixel is not conducted, that is, during the non-lightening period (non-light emission period) (Td3, Td4) in which a current does not flow through the light emitting element.

From the above, it becomes possible that the setting operation and the input operation of the current source circuit in the signal line driver circuit are not performed simultaneously.

The setting operation of the current source circuit in the signal line driver circuit is performed in the period other than the address period as described above, whereby the operation speed can be changed between the operation in the address period and the operation in the setting operation. That is, the frequency of the sampling pulse output from the shift register 411 can be changed. Therefore, only in the case where the setting operation of the current source circuit in the signal line driver circuit is conducted, the operation of the shift register 411 can be conducted slowly. As a result, the setting operation of the current source circuit can be performed for a sufficient time, and the setting operation can be conducted with more accuracy.

Note that even when the shift register 411 is operated for conducting the setting operation of the current source circuit, no influence is imparted to the pixel if the scanning line (gate line) in the pixel is not selected. That is, since the scanning line (gate line) is not selected in the address period, no influence is imparted to the pixel.

Further, in the case where the shift register 411 is the circuit capable of selecting a plurality of wirings at random as in Fig. 43, Fig. 44, Fig. 45, Fig. 46, or the like, the setting operation for all the current source circuits does not need to be finished in the period between one address period and another address period. In other words, the setting operation for all the current source circuits may be finished in several frame periods. Alternatively, in the case where there exist a plurality of periods, each of which is between one address period and another address period, in one frame period, the setting operation of the current source circuit may be conducted by using some periods selected from those periods. The timing chart at this time is Fig. 83.

Note that there is a case where the period is short if the setting operation to the current source circuit of the pixel is conducted only in a non-lightening period. In such a case, it may be such that a non-lightening period is forcibly provided before each address period and that the setting operation to the current source circuit of the pixel is conducted in the non-lightening period.

So far, the description has been made of the timing chart in the case where digital gradation and time gradation are combined. Next, a description is made of the timing chart for the case of analog gradation. Also here, a description is made of the timing chart for the case where the setting operation and the input operation to the current source circuit in the signal line driver circuit cannot be simultaneously performed.

First, it is assumed that a pixel corresponds to Fig. 13(A) or Fig. 13(B) and that the signal line driver circuit corresponds to the structure of Fig. 27 or Fig. 54, that is, the circuit as shown in Fig. 29, Fig. 7, Fig. 8, or Fig. 55. The timing chart at this time is Fig. 85.

A scanning line (a first scanning line 1102 in Fig. 13(A) or a first scanning line 1132 in Fig. 13(B)) is selected one by one, and a current is input from a signal line

(1101 in Fig. 13(A) or 1131 in Fig. 13(B)). This current has a value corresponding to a video signal. This is performed in one frame period.

The timing chart on the image display operation, that is, the operation of the pixel is described above. Next, a description is made of the timing of the setting operation of the current source circuit arranged in the signal line driver circuit. The current source circuit described here is one capable of simultaneously performing the setting operation and the input operation. Thus, the current source circuit corresponds to the case where Fig. 57, Fig. 58, or the like is applied to a constant current circuit.

The input operation of the current source circuit in the signal line driver circuit is generally conducted in one frame period. Then, as shown in Fig. 85, the setting operation of the current source circuit in the signal line driver circuit is performed in one frame period.

Next, a description is made of the timing chart for the case where a setting control line and a logical operator exist as in Fig. 53, Fig. 60, Fig. 59, Fig. 61, or Fig. 62. In this case, whether the setting operation of the current source circuit is conducted or not is controlled by the setting control line

Note that, in Fig. 60, the first to third setting control lines control to which current source circuit the setting operation is conducted and to which current source circuit the input operation is conducted. Also, the fourth setting control line controls whether the setting operation of the current source circuit is performed or not.

Therefore, as shown in Fig. 86, it becomes possible that the setting operation period T_b is provided in a certain period during which the scanning line (gate line) is selected and that the setting operation is performed in the setting operation period T_b .

In this case, since the setting operation and the input operation of the current source circuit arranged in the signal line driver circuit can be simultaneously performed in the case of Fig. 61 or Fig. 60, there does not arise the problem on the timing of conducting the setting operation. In the case where the setting operation and the input operation of the current source circuit in the signal line driver circuit cannot be performed simultaneously, it may be such that the input operation of the current source circuit in the signal line driver circuit is stopped and that the setting operation is

conducted while the scanning line is selected, that is, during the first period. Note that the period may coincide with a return period.

Further, as shown in Fig. 9, the setting operation does not need to be performed for each line when the scanning line is selected. In Fig. 86 or Fig. 9, it is desirable that the current source circuit can be selected at random by using the circuit in Fig. 43 or the like as a circuit (shift register) for controlling the current source circuit. Further, the circuit in Fig. 44, Fig. 45, Fig. 46, or the like may be used.

Alternatively, as shown in Fig. 10 or Fig. 11, it may be such that the input operation of the current source circuit in the signal line driver circuit (input operation of a video signal, that is, the output of a current to the pixel) is performed in several tens of percent of one frame period and that the setting operation of the current source circuit in the signal line driver circuit is conducted in the rest period. In this case, the setting operation and the input operation of the current source circuit in the signal line driver circuit may not be performed simultaneously.

At that time, in the case where the setting operation of the current source circuit in the signal line driver circuit is performed, the setting operation may be conducted to the current source circuit for each column as shown in Fig. 10. Alternatively, the current source circuit is made to be selected at random by using the circuit in Fig. 43, Fig. 44, Fig. 45, Fig. 46, or the like, and thus, the setting operation for all the current source circuits may not be performed in one frame period. In other words, the setting operation for all the current source circuits may be performed in several frame periods or more. In this case, the setting operation can be conducted to one current source circuit for a long time, and thus, the setting operation can be conducted with more accuracy.

Note that in the case where the setting operation of the current source circuit in the signal line driver circuit is performed, the setting operation needs to be performed in the state in which a current does not leak or another current does not enter. Thus, the transistor 182 in Fig. 29, the transistors A, B, and C, and the like need to be previously turned OFF before the setting operation of the current source circuit in the signal line driver circuit is performed. Incidentally, this does not need to be taken into

consideration in the case where: the transistor 193 is arranged as shown in Fig. 56; and a current does not leak or another current does not enter.

This embodiment can be arbitrarily combined with Embodiment Modes 1 to 8 and Embodiment 1.

<Embodiment 3>

In this embodiment, technical devices when performing color display will be described.

With a light emitting element comprised of an organic EL element, the luminance is variable depending on the color even though current having the same magnitude is supplied to the light emitting element. In addition, in the case where the light emitting element has deteriorated, the deterioration degree is variable depending on the color. Thus, various technical devices are required to adjust the white balance.

The simplest technique is to change the magnitude of the current that is input to the pixel. To achieve the technique, the magnitude of the current of the reference constant current source should be changed depending on the color.

Another technique is to use circuits as shown in Figs. 6(C) to 6(E) for the pixel, signal line driver circuit, reference constant current source, and the like, and then, change the W/L ratio of two transistors forming the current mirror circuit depending on the color. Thus, the magnitude of the current can be changed depending on the color.

Still another technique is to change the length of a lightening period depending on the color. The technique can be applied to either of the case where the time gradation method is employed and the case where the time gradation method is not employed. According to the technique, the luminance can be adjusted.

The white balance can be easily adjusted by using any one of the techniques or a combination thereof.

This embodiment may be arbitrarily combined with Embodiment Modes 1 to 8 and Embodiments 1 and 2.

<Embodiment 4>

In this embodiment, the appearances of the light emitting devices (semiconductor devices) of the present invention will be described using Fig. 12. Fig.

12 is a top view of a light emitting device formed such that an element substrate on which transistors are formed is sealed with a sealing material; Fig. 12(B) is a cross-sectional view taken along the line A-A' of Fig. 12(A); and Fig. 12(C) is a cross-sectional view taken along the line B-B' of Fig. 12(A).

A sealing material 4009 is provided so as to enclose a pixel portion 4002, a source signal line driver circuit 4003, and gate signal line driver circuits 4004a and 4004b that are provided on a substrate 4001. In addition, a sealing material 4008 is provided over the pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b. Thus, the pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b are sealed by the substrate 4001, the sealing material 4009, and the sealing material 4008 with a filler material 4210.

The pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b, which are provided over the substrate 4001, include a plurality of TFTs. Fig. 12(B) representatively shows a driving TFT (incidentally, an n-channel TFT and a p-channel TFT are shown in this example) 4201 included in the source signal line driver circuit 4003, and an erasing TFT 4202 included in the pixel portion 4002, which are formed on a base film 4010.

In this embodiment, a p-channel TFT or an n-channel TFT that is manufactured according to a known method is used for the driving TFT 4201, and an n-channel TFT manufactured according to a known method is used for the erasing TFT 4202.

An interlayer insulating film (leveling film) 4301 is formed on the driving TFT 4201 and the erasing TFT 4202, and a pixel electrode (anode) 4203 for being electrically connected to a drain of the erasing TFT 4202 is formed thereon. A transparent conductive film having a large work function is used for the pixel electrode 4203. For the transparent conductive film, a compound of indium oxide and tin oxide, a compound of indium oxide and zinc oxide, zinc oxide, tin oxide, or indium oxide can be used. Alternatively, the transparent conductive film added with gallium may be used.

An insulating film 4302 is formed on the pixel electrode 4203, and the

insulating film 4302 is formed with an opening portion formed on the pixel electrode 4203. In the opening portion, a light emitting layer 4204 is formed on the pixel electrode 4203. The light emitting layer 4204 may be formed using a known light emitting material or inorganic light emitting material. As the light emitting material, either of a low molecular weight (monomer) material and a high molecular weight (polymer) material may be used.

As a forming method of the light emitting layer 4204, a known vapor deposition technique or coating technique may be used. The structure of the light emitting layer 4204 may be either a laminate structure, which is formed by arbitrarily combining a hole injection layer, a hole transportation layer, a light-emitting layer, an electron transportation layer, and an electron injection layer, or a single-layer structure.

Formed on the light emitting layer 4204 is a cathode 4205 formed of a conductive film (representatively, a conductive film containing aluminum, copper, or silver as its main constituent, or a laminate film of the conductive film and another conductive film) having a light shielding property. Moisture and oxygen existing on an interface of the cathode 4205 and the light emitting layer 4204 are desirably eliminated as much as possible. For this reason, a technical device is necessary in that the light emitting layer 4204 is formed in an nitrogen or noble gas atmosphere, and the cathode 4205 is formed without being exposed to oxygen, moisture, and the like. In this embodiment, the above-described film deposition is enabled using a multi-chamber method (cluster-tool method) film deposition apparatus. In addition, the cathode 4205 is applied with a predetermined voltage.

In the above-described manner, a light emitting element 4303 constituted by the pixel electrode (anode) 4203, the light emitting layer 4204, and the cathode 4205 is formed. A protective film is formed on the insulating film so as to cover the light emitting element 4303. The protective film is effective for preventing, for example, oxygen and moisture, from entering the light emitting element 4303.

Reference numeral 4005a denotes a drawing wiring that is connected to a power supply line and that is electrically connected to a source region of the erasing TFT 4202. The drawing wiring 4005a is passed between the sealing material 4009 and

the substrate 4001 and is then electrically connected to an FPC wiring 4301 of an FPC 4006 via an anisotropic conductive film 4300.

As the sealing material 4008, a glass material, a metal material (representatively, a stainless steel material), ceramics material, or a plastic material (including a plastic film) may be used. As the plastic material, an FRP (fiberglass reinforced plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film, or an acrylic resin film may be used. Alternatively, a sheet having a structure in which an aluminum foil is sandwiched by the PVF film or the Mylar film may be used.

However, a cover material needs to be transparent when light emission is directed from the light emitting layer to the cover material. In this case, a transparent substance such as a glass plate, a plastic plate, a polyester film, or an acrylic film, is used.

Further, for the filler material 4210, ultraviolet curing resin or a thermosetting resin may be used in addition to an inactive gas, such as nitrogen or argon; and PVC (polyvinyl chloride), acrylic, polyimide, epoxy resin, silicon resin, PVB (polyvinyl butyral), or EVA (ethylene vinyl acetate) may be used. In this embodiment, nitrogen was used for the filler material.

To keep the filler material 4210 to be exposed to a hygroscopic substance (preferably, barium oxide) or an oxygen-absorbable substance, a concave portion 4007 is provided on the surface of the sealing material 4008 on the side of the substrate 4001, and a hygroscopic substance or oxygen-absorbable substance 4207 is arranged. The hygroscopic substance or oxygen-absorbable substance 4207 is held in the concave portion 4007 via a concave-portion cover material 4208 such that the hygroscopic substance or oxygen-absorbable substance 4207 does not diffuse. The concave-portion cover material 4208 is in a fine mesh state and is formed to allow air and moisture to pass through and not to allow the hygroscopic substance or oxygen-absorbable substance 4207 to pass through. The provision of the hygroscopic substance or oxygen-absorbable substance 4207 enables the suppression of deterioration of the light emitting element 4303.

As shown in Fig. 12(C), simultaneously with the formation of the pixel

electrode 4203, a conductive film 4203a is formed so as to be contact with an upper portion of the drawing wiring 4005a.

In addition, the anisotropic conductive film 4300 includes a conductive filler 4300a. The substrate 4001 and the FPC 4006 are thermally press-bonded, whereby the conductive film 4203a on the substrate 4001 and the FPC wiring 4301 on the FPC 4006 are electrically connected via the conductive filler 4300a.

This embodiment may be arbitrarily combined with Embodiment Modes 1 to 8 and Embodiments 1 to 3.

<Embodiment 5>

A light emitting device using light emitting elements is of self-light emitting type, so that in comparison to a liquid crystal display, the light emitting device offers a better visibility in bright portions and a wider view angle. Hence, the light emitting device can be used in display portions of various electronic devices.

Electronic devices using the light emitting device of the present invention include, there are given, for example, video cameras, digital cameras, goggle type displays (head mount displays), navigation systems, audio reproducing devices (such as car audio and audio components), notebook personal computers, game machines, mobile information terminals (such as mobile computers, mobile telephones, portable game machines, and electronic books), and image reproducing devices provided with a recording medium (specifically, devices for reproducing a recording medium such as a digital versatile disc (DVD), which includes display capable of displaying images). In particular, in the case of mobile information terminals, since the degree of the view angle is appreciated important, the terminals preferably use the light emitting device. Practical examples are shown in Fig. 22.

Fig. 22(A) shows a light emitting element, which contains a casing 2001, a support base 2002, a display portion 2003, a speaker portion 2004, a video input terminal 2005, and the like. The light emitting element of the present invention can be applied to the display portion 2003. Further, the light emitting element shown in Fig. 22(A) is completed with the present invention. Since the light emitting element is of self-light emitting type, it does not need a back light, and therefore a display portion that

is thinner than a liquid crystal display can be obtained. Note that light emitting elements include all information display devices, for example, personal computers, television broadcast transmitter-receivers, and advertisement displays.

Fig. 22(B) shows a digital still camera, which contains a main body 2101, a display portion 2102, an image receiving portion 2103, operation keys 2104, an external connection port 2105, a shutter 2106, and the like. The light emitting element of the present invention can be applied to the display portion 2102. Further, the digital still camera shown in Fig. 22(B) is completed with the present invention.

Fig. 22(C) shows a notebook personal computer, which contains a main body 2201, a casing 2202, a display portion 2203, a keyboard 2204, external connection ports 2205, a pointing mouse 2206, and the like. The light emitting element of the present invention can be applied to the display portion 2203. Further, the light emitting element shown in Fig. 22(C) is completed with the present invention.

Fig. 22(D) shows a mobile computer, which contains a main body 2301, a display portion 2302, a switch 2303, operation keys 2304, an infrared port 2305, and the like. The light emitting element of present invention can be applied to the display portion 2302. Further, the mobile computer shown in Fig. 22(D) is completed with the present invention.

Fig. 22(E) shows a portable image reproducing device provided with a recording medium (specifically, a DVD reproducing device), which contains a main body 2401, a casing 2402, a display portion A 2403, a display portion B 2404, a recording medium (such as a DVD) read-in portion 2405, operation keys 2406, a speaker portion 2407, and the like. The display portion A 2403 mainly displays image information, and the display portion B 2404 mainly displays character information. The light emitting element of the present invention can be used in the display portion A 2403 and in the display portion B 2404. Note that family game machines and the like are included in the image reproducing devices provided with a recording medium. Further, the DVD reproducing device shown in Fig. 22(E) is completed with the present invention.

Fig. 22(F) shows a goggle type display (head mounted display), which contains

a main body 2501, a display portion 2502, an arm portion 2503, and the like. The light emitting element of the present invention can be used in the display portion 2502. The goggle type display shown in Fig. 22(F) is completed with the present invention.

Fig. 22(G) shows a video camera, which contains a main body 2601, a display portion 2602, a casing 2603, external connection ports 2604, a remote control reception portion 2605, an image receiving portion 2606, a battery 2607, an audio input portion 2608, operation keys 2609, an eyepiece portion 2610, and the like. The light emitting element of the present invention can be used in the display portion 2602. The video camera shown in Fig. 22(G) is completed with the present invention.

Here, Fig. 22(H) shows a mobile telephone, which contains a main body 2701, a casing 2702, a display portion 2703, an audio input portion 2704, an audio output portion 2705, operation keys 2706, external connection ports 2707, an antenna 2708, and the like. The light emitting element of the present invention can be used in the display portion 2703. Note that, by displaying white characters on a black background, the display portion 2703 can suppress the consumption current of the mobile telephone. Further, the mobile telephone shown in Fig. 22(H) is completed with the present invention.

When the emission luminance of light emitting materials are increased in the future, the light emitting element will be able to be applied to a front or rear type projector by expanding and projecting light containing image information having been output lenses or the like.

Cases are increasing in which the above-described electronic devices display information distributed via electronic communication lines such as the Internet and CATVs (cable TVs). Particularly increased are cases where moving picture information is displayed. Since the response speed of the light emitting material is very high, the light emitting device is preferably used for moving picture display.

Since the light emitting device consumes the power in light emitting portions, information is desirably displayed so that the light emitting portions are reduced as much as possible. Thus, in the case where the light emitting device is used for a display portion of a mobile information terminal, particularly, a mobile telephone, an

audio playback device, or the like, which primarily displays character information, it is preferable that the character information be formed in the light emitting portions with the non-light emitting portions being used as the background.

As described above, the application range of the present invention is very wide, so that the invention can be used for electronic devices in all of fields. The electronic devices according to this embodiment may use the light emitting device with the structure according to any one of Embodiment Modes 1 to 6 and Embodiments 1 to 6.

The present invention having the structures described above can suppress influences of variation in characteristics of TFTs, which is caused by manufacturing steps and the difference in a substrate used, and can supply a desired signal current to the outside.

Further, in the present invention, one shift resistor has two functions. One function of the two is for controlling the current source circuit. The other function is for controlling the circuit which controls video signal, that is, the circuits which operates to display an image. For example, the circuits are a latch circuit, a sampling switch, and a switch 101 (a signal current control switch). According to the above-mentioned structures, it is possible to reduce elements of the circuits which is provided, since the circuit which controls the current source circuit and each circuit which control a video signal are unnecessary to provide. Further, since the additional number of elements can be reduced, the layout area can be reduced. Therefore, process yield in the manufacturing steps is improved, and costs can be reduced. Furthermore, the frame area can be narrowed if the layout area is reduced, consequently the device can be miniaturized.

In addition, in the case that the shift resistor has a structure which has a function that can choose plurality of wirings at random, the setting signal which is supplied to the power source circuit can be output at random. Accordingly, the setting operation can be performed at random for the current source circuit rather than sequentially from the first column to the latest column. Then the setting operation period for the current source circuit can be determined freely. Further, it is possible that the influence of charge leakage in a capacitor device of the current source circuit

can be made inconspicuous. Thus, when a defect has occurred in association with the setting operation, the defect can be made inconspicuous.

CLAIM

1. A signal line driver circuit comprising: a plurality of current source circuits corresponding to a plurality of wirings; and a shift register, characterized in that:

the plurality of current source circuits each comprise capacitor means for converting a supplied current to a voltage in accordance with a sampling pulse supplied from the shift register and supply means for supplying a current corresponding to the converted voltage.

2. A signal line driver circuit comprising: a plurality of current source circuits corresponding to a plurality of wirings; and a shift register, characterized in that:

two current source circuits each comprising capacitor means and supply means are arranged for each wiring; and

the capacitor means of one of the two current source circuits converts a supplied current to a voltage in accordance with a sampling pulse supplied from the shift register, and the supply means of the other current source circuit supplies a current corresponding to the converted voltage.

3. A signal line driver circuit, comprising a plurality of current source circuits corresponding to a plurality of wirings, characterized in that:

n current source circuits (n is a natural number equal to or larger than 2) are arranged for each wiring; and

the n current source circuits each comprise capacitor means for converting a supplied current to a voltage in accordance with a sampling pulse supplied from the shift register and supply means for supplying a current corresponding to the converted voltage.

4. A signal line driver circuit according to any one of claims 1 to 3, characterized in that:

the n current source circuits are connected to n reference constant current

sources corresponding to mutually different bits; and

the values of currents supplied from the n reference constant current sources are set to $2^0 : 2^1 : \dots : 2^n$.

5. A signal line driver circuit according to any one of claims 1 to 3, characterized in that the n current source circuits are connected to one reference constant current source corresponding to the most significant bit.

6. A signal line driver circuit according to any one of claims 1 to 3, characterized in that the plurality of wirings are a plurality of signal lines or a plurality of current lines.

7. A signal line driver circuit according to any one of claims 1 to 3, characterized in that the shift register is comprised of a decoder circuit, and selects the plurality of wirings at random.

8. A signal line driver circuit according to any one of claims 1 to 3, characterized in that, when a drain and a gate of a transistor of the supply means are in a short-circuited state, the capacitor means retains a voltage generated between the gate and source by the supplied current.

9. A signal line driver circuit according to any one of claims 1 to 3, characterized in that the supply means comprises a transistor, a first switch for controlling conductivity between a gate and a drain of the transistor, a second switch for controlling conductivity between a reference constant current source and the gate of the transistor, and a third switch for controlling conductivity between the drain of the transistor and a pixel.

10. A signal line driver circuit according to any one of claims 1 to 3, characterized in that, when drains and gates of both first and second transistors of the

supply means are in a short-circuited state, the capacitor means retains a voltage generated between the gate and source of the first or second transistor by the supplied current.

11. A signal line driver circuit according to any one of claims 1 to 3, characterized in that the supply means comprises a current mirror circuit constituted of first and second transistors, a first switch for controlling conductivity between gates and sources of the first and second transistors, and a second switch for controlling conductivity between a reference constant current source and the gates of the first and second transistors.

12. A signal line driver circuit according to any one of claims 1 to 3, characterized in that, when a drain and a gate of one of first and second transistors of the supply means are in a short-circuited state, the capacitor means retains a voltage generated between the gate and source by the supplied current.

13. A signal line driver circuit according to any one of claims 1 to 3, characterized in that the supply means comprises:

a current mirror circuit comprising first and second transistors;

a first switch for controlling conductivity between a reference constant current source and a drain of the first transistor; and

a second switch for controlling any one selected from conductivity between the drain and gate of the first transistor, conductivity between the gate of the first transistor and a gate of the second transistor, and conductivity between the gates of both the first and second transistors and the reference constant current source.

14. A signal line driver circuit according to claim 11, characterized in that gate widths/gate lengths of both the first and second transistors are set to identical values.

15. A signal line driver circuit according to claim 11, characterized in that gate

width/gate length of the first transistor is set to a value larger than gate width/gate length of the second transistor.

16. A signal line driver circuit according to any one of claims 1 to 3, characterized in that:

the supply means comprises a transistor, first and second switches for controlling supply of a current to the capacitor means, and a third switch for controlling conductivity between a gate and a drain of the transistor; and

the gate of the transistor is connected to the first switch, a source of the transistor is connected to the second switch, and the drain of the transistor is connected to the third switch.

17. A signal line driver circuit according to any one of claims 1 to 3, characterized in that:

the supply means comprises a current mirror circuit comprising m transistors;

gate widths/gate lengths of the m transistors are set to $2^0 : 2^1 : \dots : 2^m$; and

drain currents of the m transistors are set to $2^0 : 2^1 : \dots : 2^m$.

18. A signal line driver circuit according to any one of claims 1 to 3, characterized in that a transistor constituting the supply means operates in a saturation region.

19. A signal line driver circuit according to any one of claims 1 to 3, characterized in that an active layer of a transistor constituting the current source circuit is formed of polysilicon.

20. A light emitting device characterized by comprising:

the signal line driver circuit according to claim 1 and a pixel portion in which a plurality of pixels each including a light emitting element are arranged in matrix; in which

a current is supplied to the light emitting element from the signal line driver circuit.

21. A method of driving a light emitting device which is provided with: a pixel portion comprising a plurality of wirings and a plurality of pixels which are arranged in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, characterized in that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each have an address period and a lightening period;

in the address period, capacitor means of the plurality of current source circuits converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register; and

in the lightning period, supply means of the plurality of current source circuits supplies a current corresponding to the converted voltage to the pixels.

22. A method of driving a light emitting device which is provided with: a pixel portion comprising a plurality of wirings, a plurality of scanning lines, and a plurality of pixels which are arranged in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, characterized in that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each have an address period and a lightening period;

the lightning period has a setting operation period provided in a period during which any of the plurality of scanning lines is not selected; and

in the setting operation period, capacitor means of the plurality of current source circuits converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register.

23. A method of driving a light emitting device which is provided with:

a pixel portion comprising a plurality of wirings, a plurality of scanning lines, and a plurality of pixels which are arranged in matrix; and

a signal line driver circuit comprising a plurality of first current source circuits respectively corresponding to the plurality of wirings and a shift register, in which:

the plurality of pixels each comprise a light emitting element, a second current source circuit, and a switch for controlling conductivity of the light emitting element and the second current source circuit;

the first and the current source circuit each have capacitor means and supply means, characterized in that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each have an address period and a lightening period;

the lightening period of the subframe period selected from the plurality of subframe period has a first or second setting operation period;

in the first setting operation period, the capacitor means of the first current source circuit converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register; and

in the second setting operation period, the capacitor means of the second current source circuit converts a supplied current into a voltage.

24. A method of driving a light emitting device which is provided with:

a pixel portion comprising a plurality of wirings, a plurality of scanning lines, and a plurality of pixels which are arranged in matrix; and

a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, in which:

the plurality of pixels each comprise a light emitting element, a second current source circuit, and a switch for controlling conductivity of the light emitting element and the second current source circuit;

the first and the current source circuit each have capacitor means and supply means, characterized in that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each have an address period and a lightening period;

in the address period, the capacitor means of the first current source circuit converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register; and

in the subframe period selected from the plurality of subframe periods, the capacitor means of the second current source circuit converts a supplied current into a voltage.

25. A method of driving a light emitting device which is provided with:

a pixel portion comprising a plurality of wirings, a plurality of scanning lines, and a plurality of pixels which are arranged in matrix; and

a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, in which:

the plurality of pixels each comprise a light emitting element, a second current source circuit, and a switch for controlling conductivity of the light emitting element and the second current source circuit;

the first and the current source circuit each have capacitor means and supply means, characterized in that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each have an address period and a lightening period;

a first subframe period selected from the plurality of subframe periods has a first setting operation period provided in the period during which any of the plurality of scanning lines is selected;

a second subframe period selected from the plurality of subframe periods has a second setting operation period;

in the first setting operation period, the capacitor means of the first current source circuit converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register; and

in the second setting operation period, the capacitor means of the second current source circuit converts a supplied current into a voltage.

26. A method of driving a light emitting device which is provided with:

a pixel portion comprising a plurality of wirings, a plurality of scanning lines, and a plurality of pixels which are arranged in matrix; and

a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, in which:

the plurality of pixels each comprise a light emitting element, a second current source circuit, and a switch for controlling conductivity of the light emitting element and the second current source circuit;

the first and the current source circuit each have capacitor means and supply means, characterized in that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each have an address period and a lightening period;

in the lightening period, the capacitor means of the first current source circuit converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register;

the subframe period selected from the plurality of subframe periods has a setting operation period; and

in the setting operation period, the capacitor means of the second current source circuit converts a supplied current into a voltage.

27. A method of driving a light emitting device which is provided with:

a pixel portion comprising a plurality of wirings, a plurality of scanning lines, and a plurality of pixels which are arranged in matrix; and

a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, in which:

the plurality of pixels each comprise a light emitting element, a second current source circuit, and a switch for controlling conductivity of the light emitting element and the second current source circuit;

the first and the current source circuit each have capacitor means and supply means, characterized in that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each have an address period and a lightening period;

the lightening period has a setting operation period provided in the period during which any of the plurality of scanning lines is not selected;

in the setting operation period, the capacitor means of the first current source circuit converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register; and

in the address period, the capacitor means of the second current source circuit converts a supplied current into a voltage.

28. A method of driving a light emitting device which is provided with: a pixel portion comprising a plurality of wirings and a plurality of pixels which are arranged in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, characterized in that:

one frame period comprises a plurality of horizontal scanning periods;

the plurality of horizontal scanning periods each have a setting operation period;

in the setting operation period, capacitor means of the plurality of current source circuits converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register.

29. A method of driving a light emitting device which is provided with: a pixel portion comprising a plurality of wirings and a plurality of pixels which are arranged in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, characterized in that:

one frame period comprises a plurality of horizontal scanning periods;

the plurality of horizontal scanning periods each have a setting operation period;

in the setting operation period, capacitor means of the plurality of current source circuits converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register.

30. A method of driving a light emitting device which is provided with: a pixel portion comprising a plurality of wirings and a plurality of pixels which are arranged in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings and a shift register, characterized in that:

one frame period comprises a plurality of horizontal scanning periods and setting operation periods;

in the setting operation period, the capacitor means converts a supplied current into a voltage in accordance with a sampling pulse supplied from the shift register.

31. A method of driving a light emitting device according to any one of claims 21 to 30, characterized in that the pixel portion performs line-sequential drive or dot-sequential drive.

32. A method of driving a light emitting device according to any one of claims 21 to 30, characterized in that the plurality of wirings are a plurality of signal lines or a plurality of current lines.

33. A signal line driver circuit according to claim 12, characterized in that gate widths/gate lengths of both the first and second transistors are set to identical values.

34. A signal line driver circuit according to claim 12, characterized in that gate width/gate length of the first transistor is set to a value larger than gate width/gate length of the second transistor.

35. A signal line driver circuit according to claim 13, characterized in that gate widths/gate lengths of both the first and second transistors are set to identical values.

36. A signal line driver circuit according to claim 13, characterized in that gate width/gate length of the first transistor is set to a value larger than gate width/gate length of the second transistor.

37. A light emitting device characterized by comprising:

the signal line driver circuit according to claim 2, and a pixel portion in which a plurality of pixels each including a light emitting element are arranged in matrix; in which

a current is supplied to the light emitting element from the signal line driver circuit.

38. A light emitting device characterized by comprising:

the signal line driver circuit according to claim 3, and a pixel portion in which a plurality of pixels each including a light emitting element are arranged in matrix; in which

a current is supplied to the light emitting element from the signal line driver circuit.

39. A light emitting device characterized by comprising:

the signal line driver circuit according to claim 4, and a pixel portion in which

a plurality of pixels each including a light emitting element are arranged in matrix; in which

a current is supplied to the light emitting element from the signal line driver circuit.

ABSTRACT

Variation occurs in transistor characteristics. The present invention relates to a signal line driver circuit comprising: a plurality of current source circuits corresponding to a plurality of wirings; and a shift register, characterized in that: the plurality of current source circuits each comprise capacitor means for converting a supplied current to a voltage in accordance with a sampling pulse supplied from the shift register and supply means for supplying a current corresponding to the converted voltage.

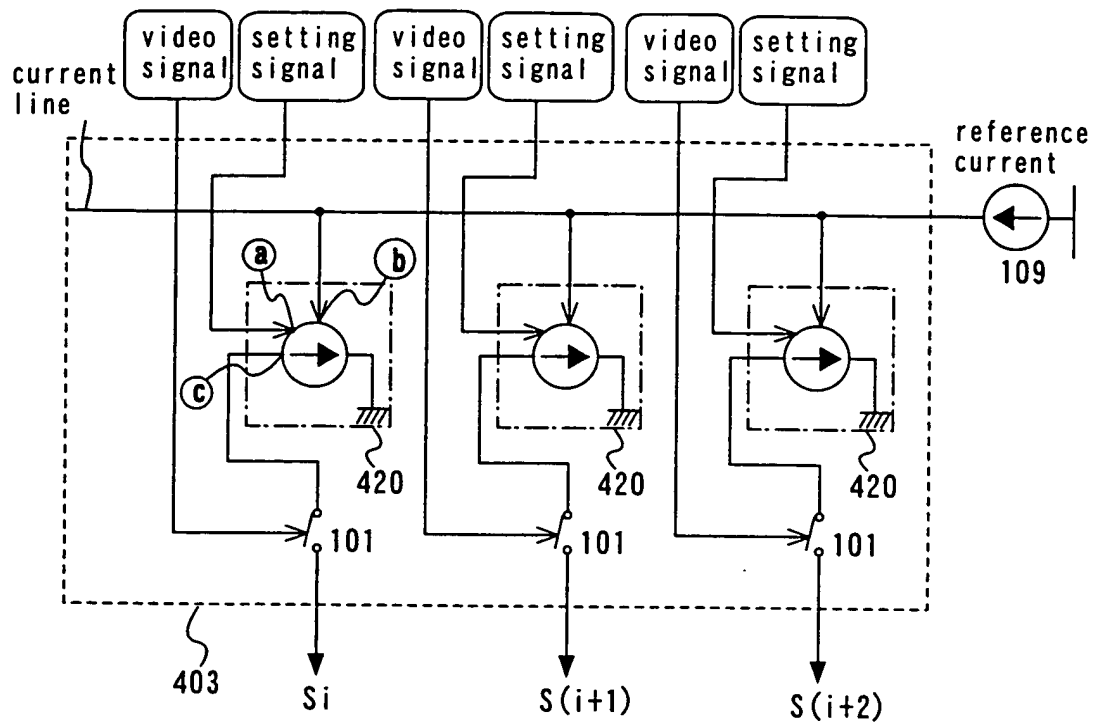


FIG. 1

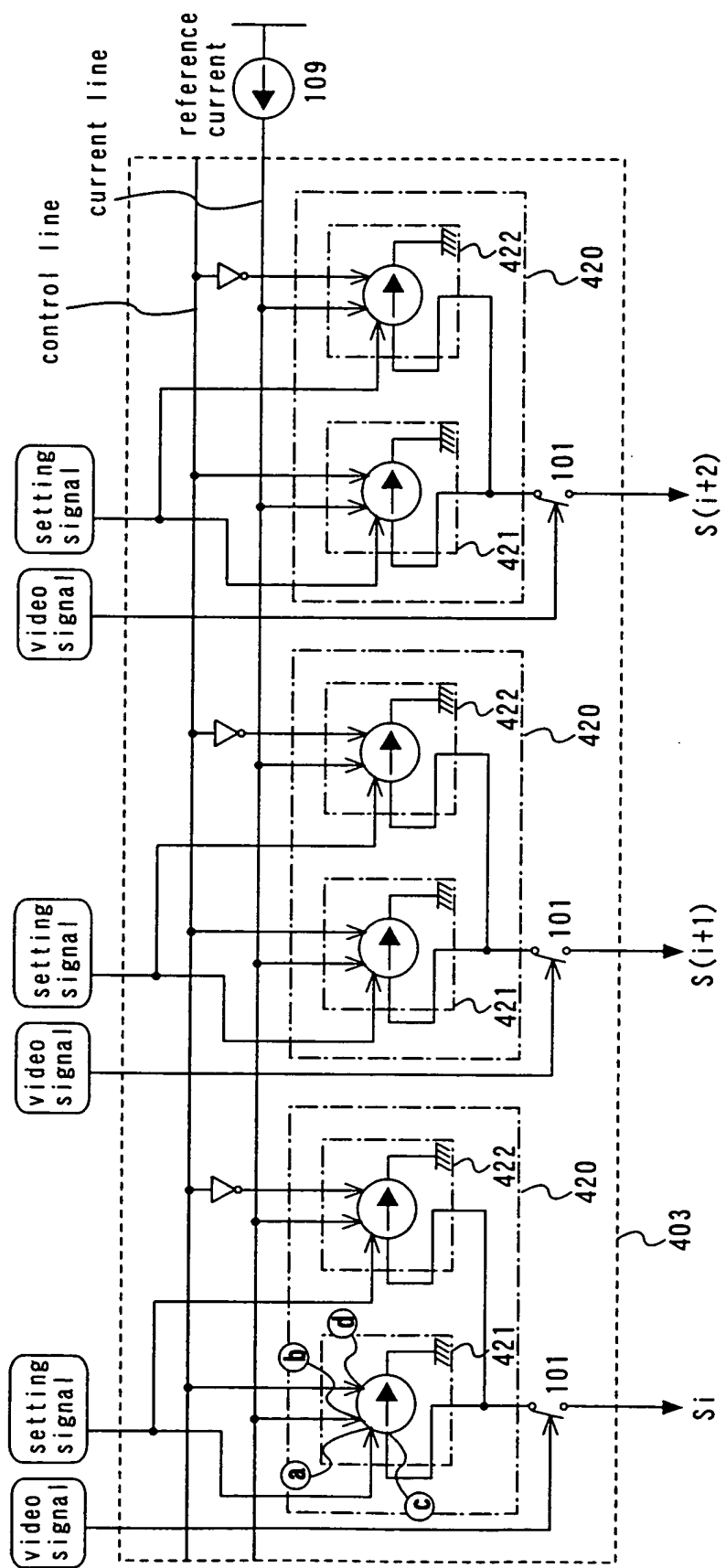


FIG. 2

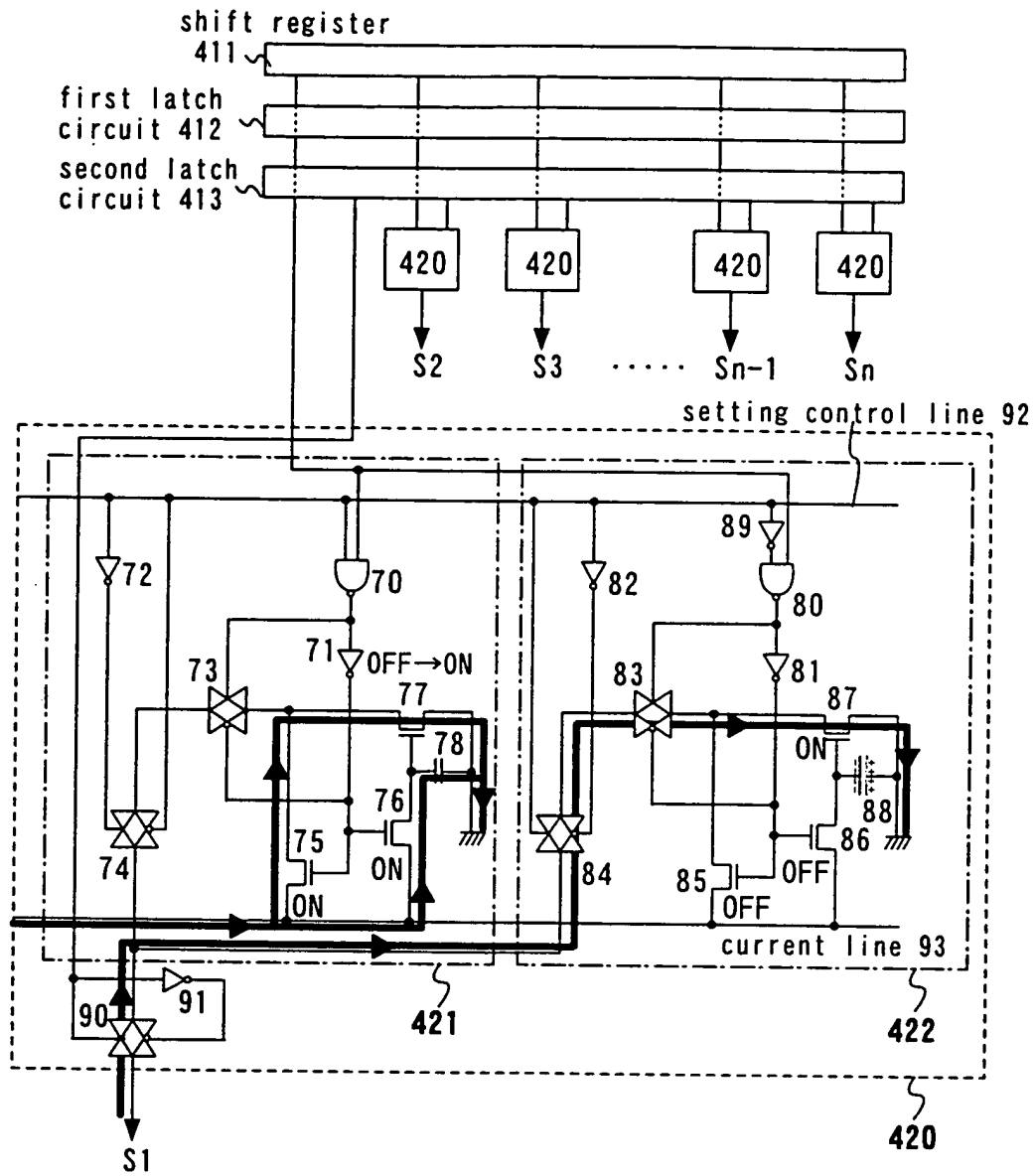


FIG. 3

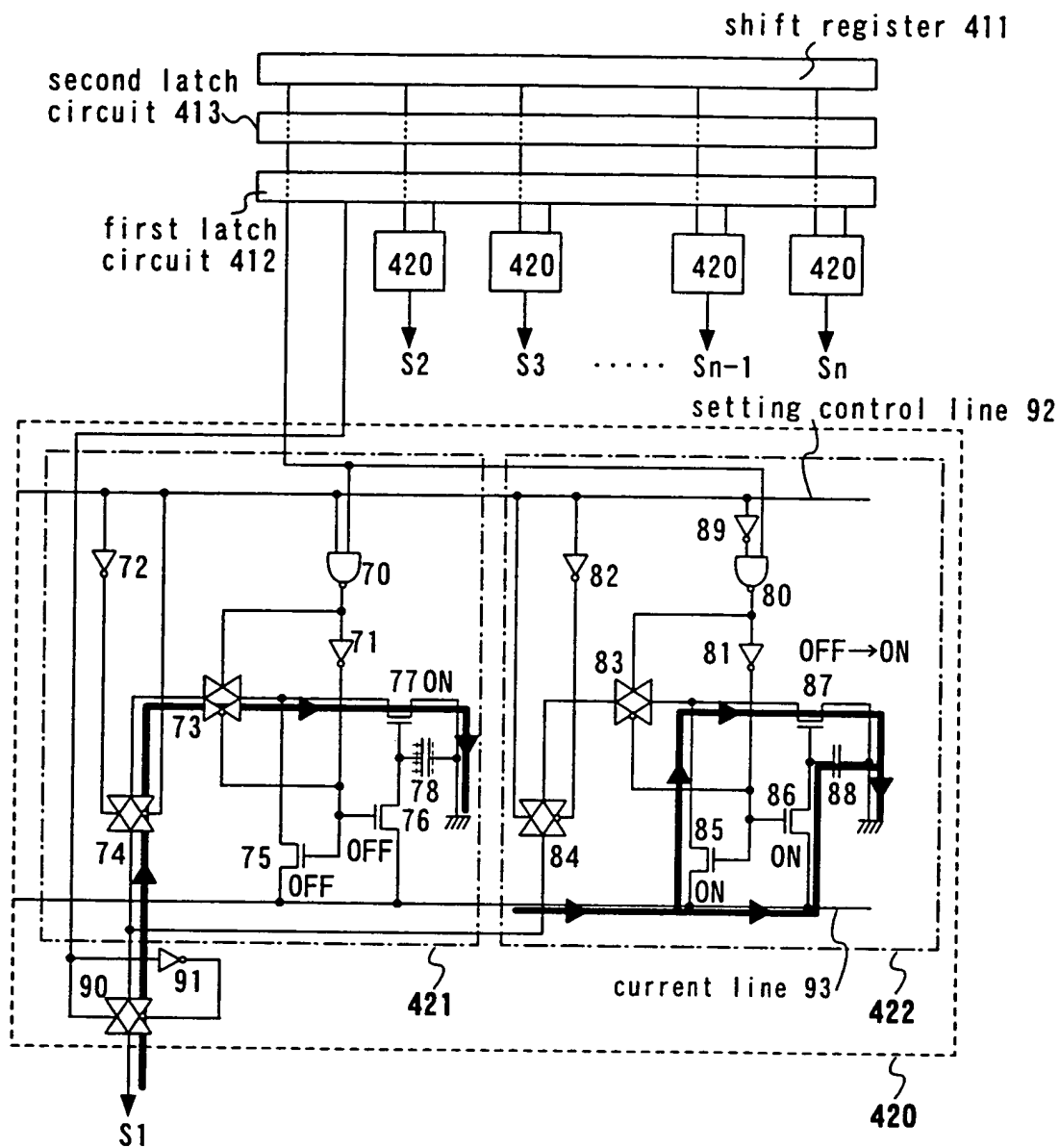


FIG. 4

FIG. 6A

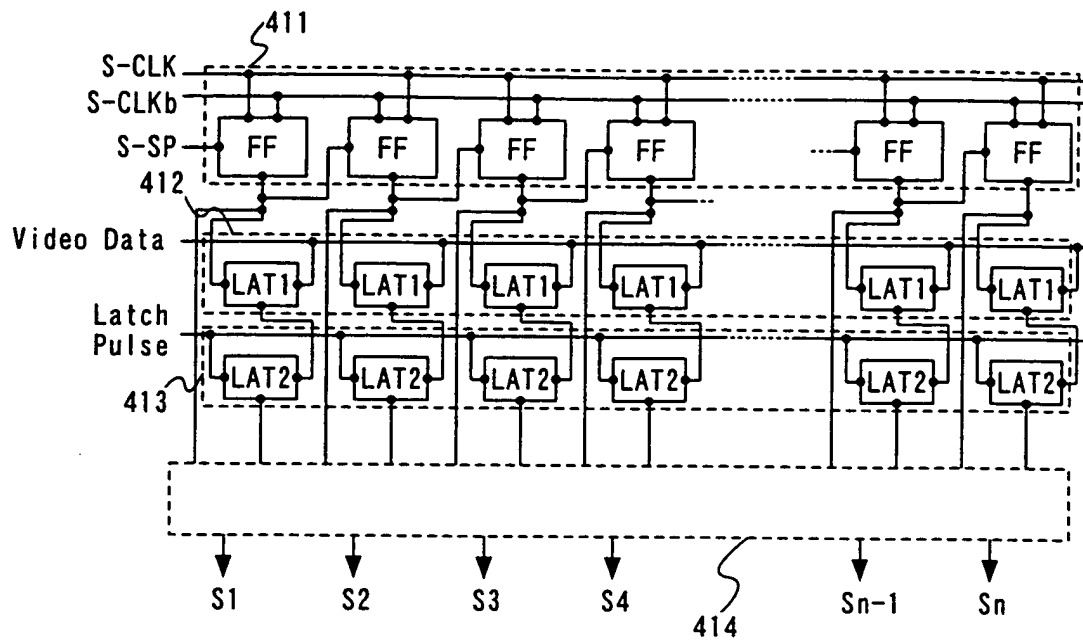
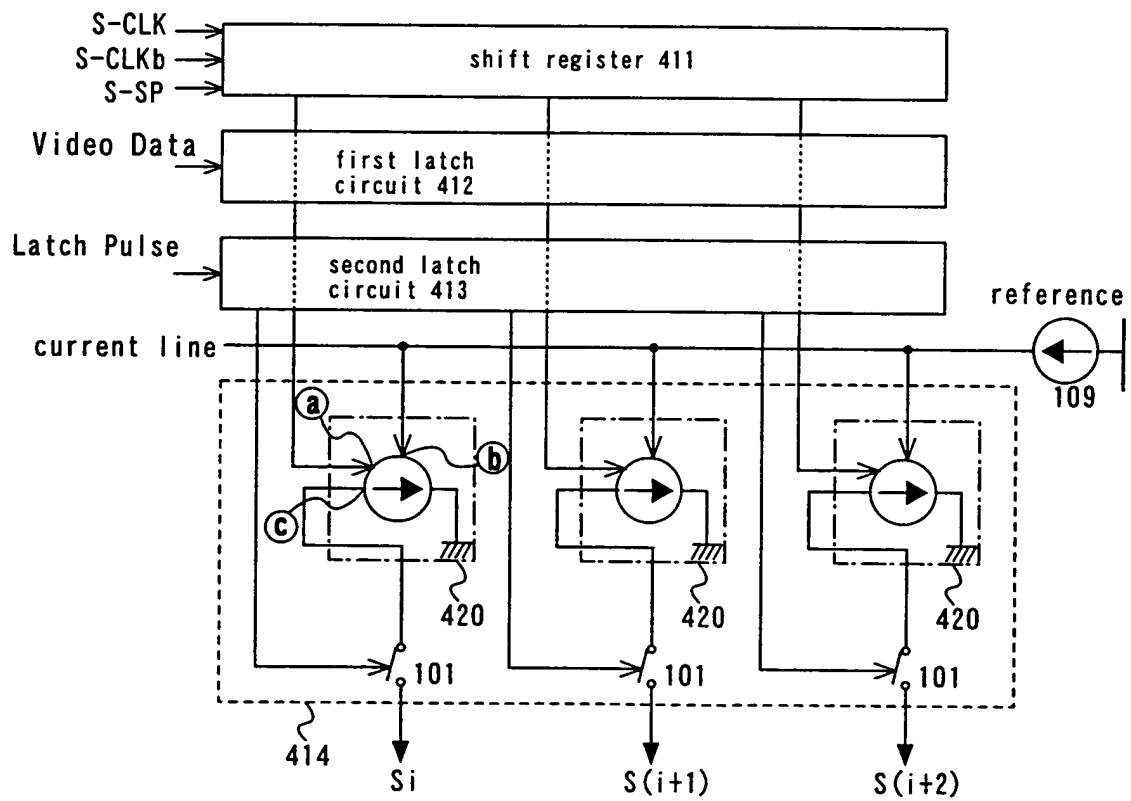


FIG. 6B



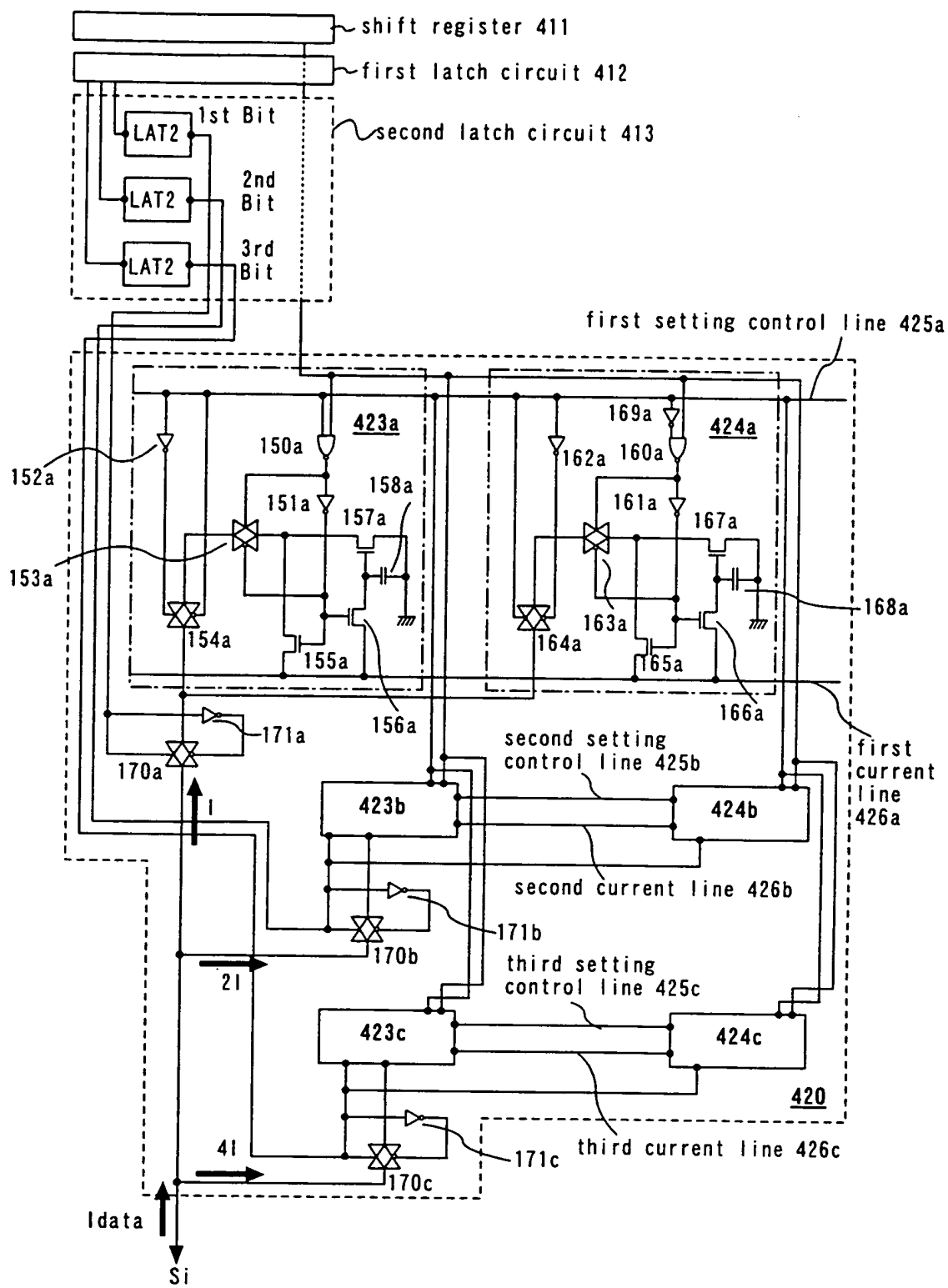


FIG. 7

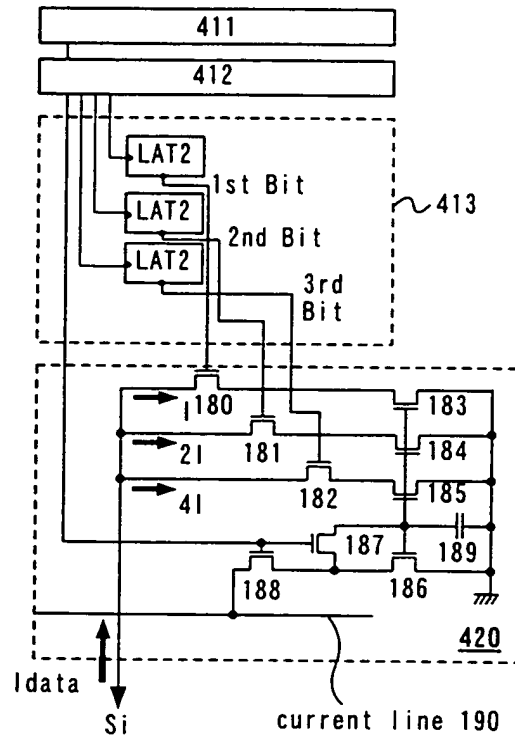


FIG. 8

FIG. 9

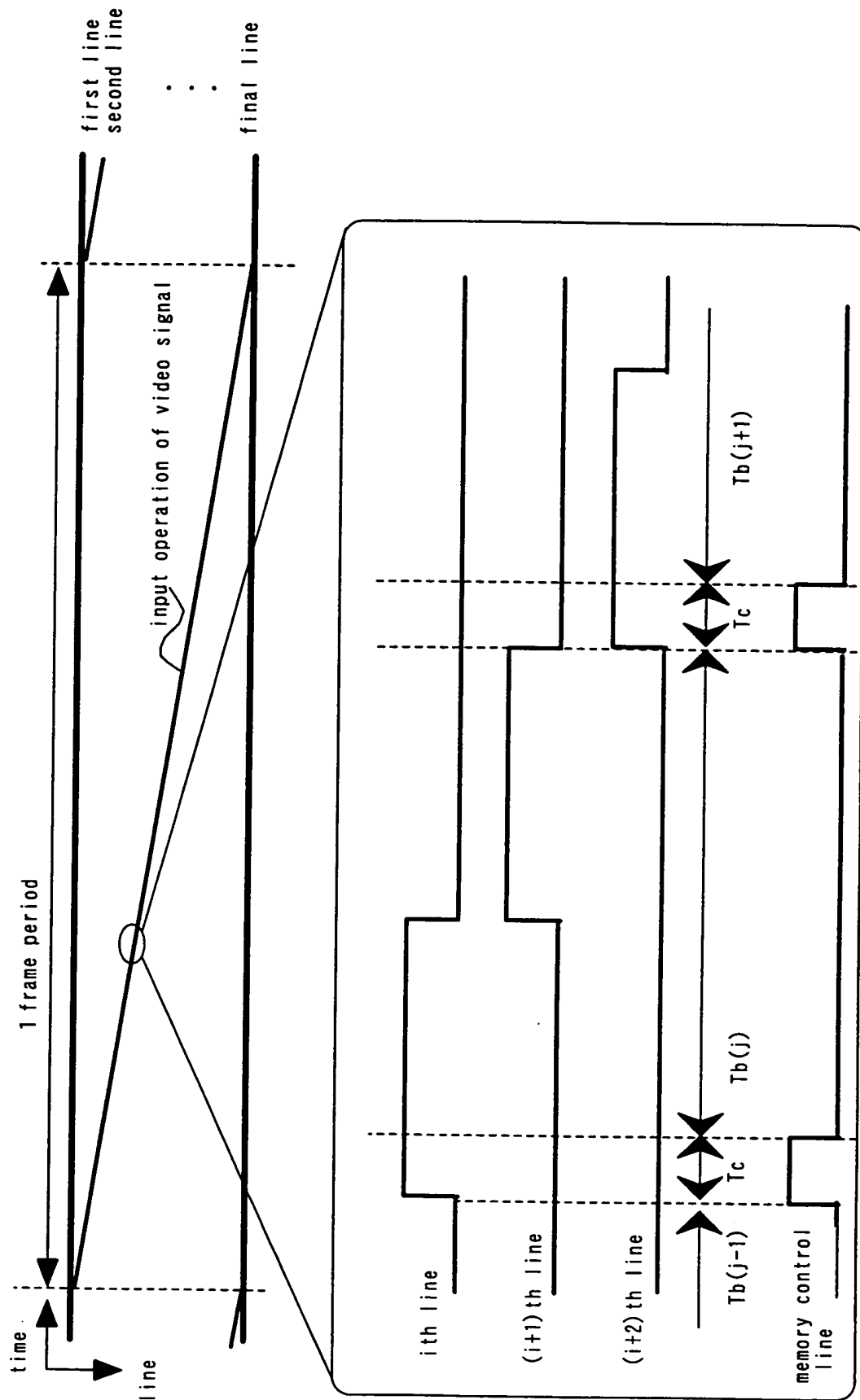


FIG. 10

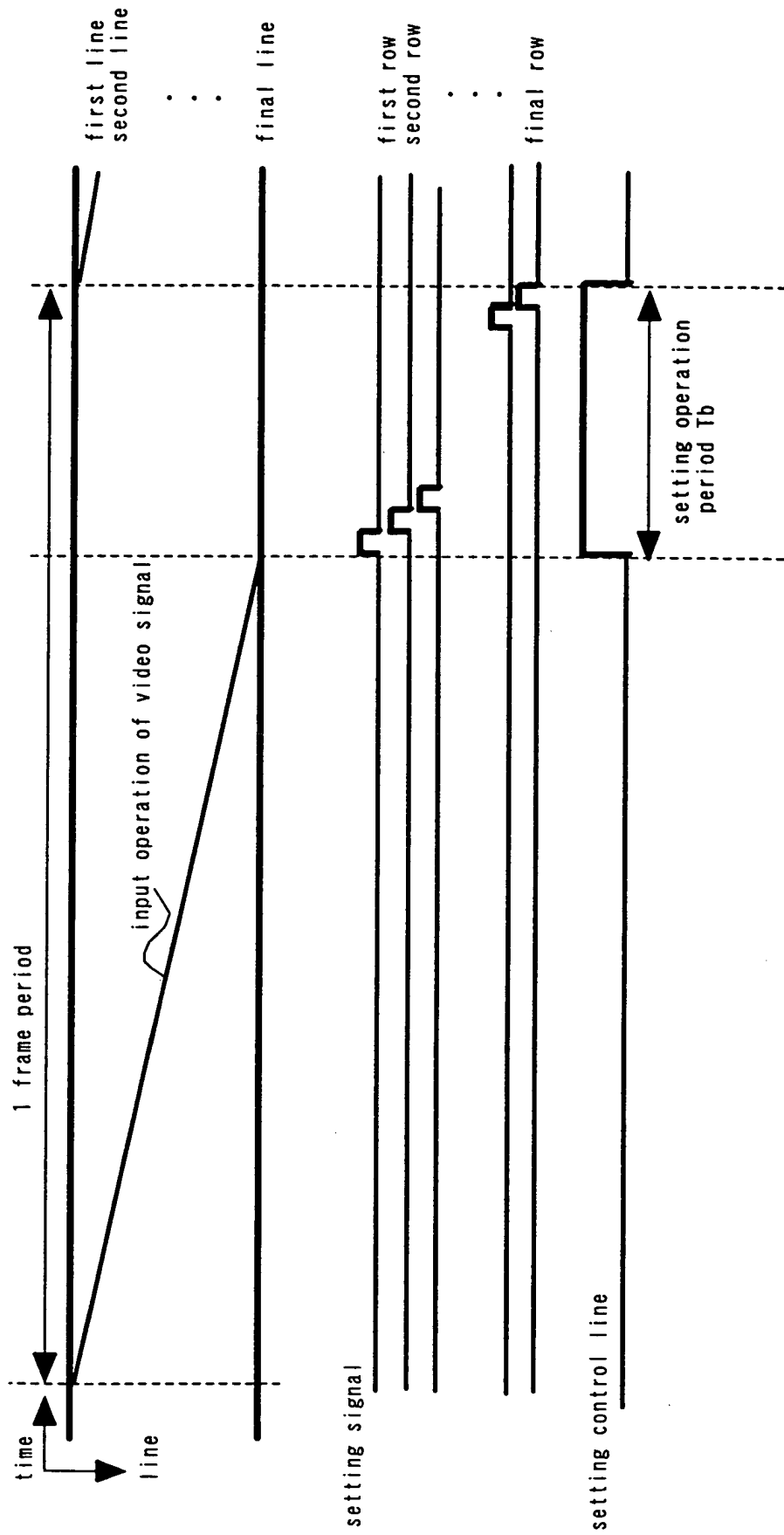


FIG. 11

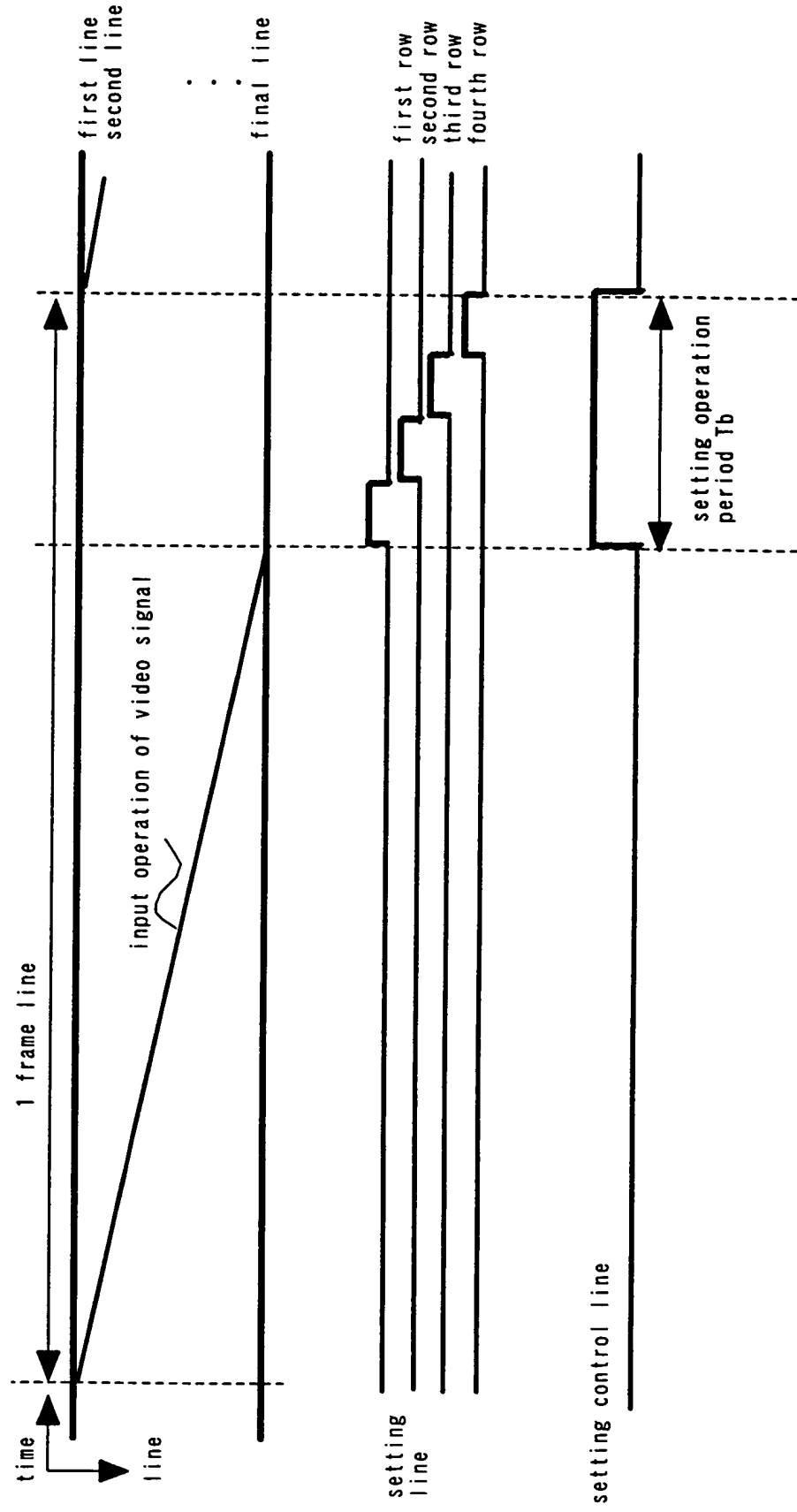


FIG. 12A

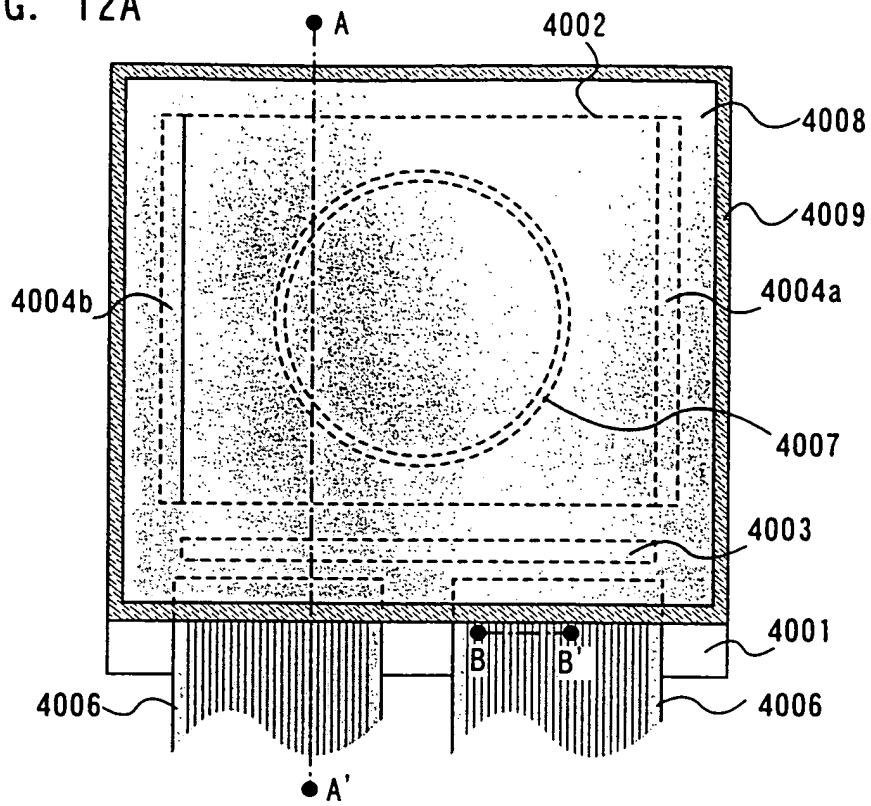


FIG. 12B

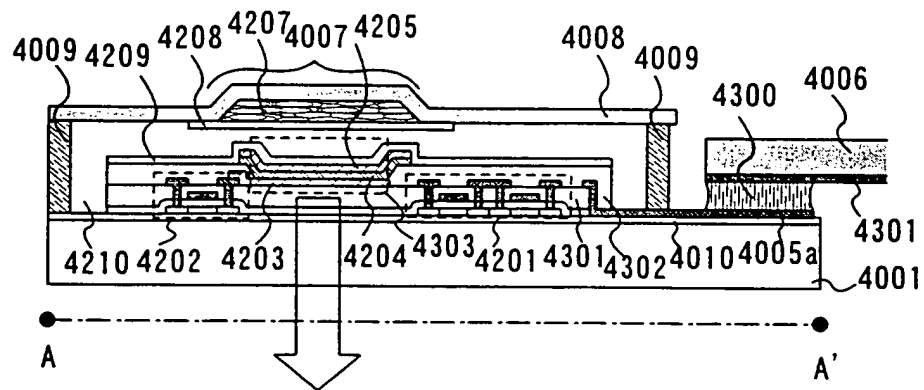
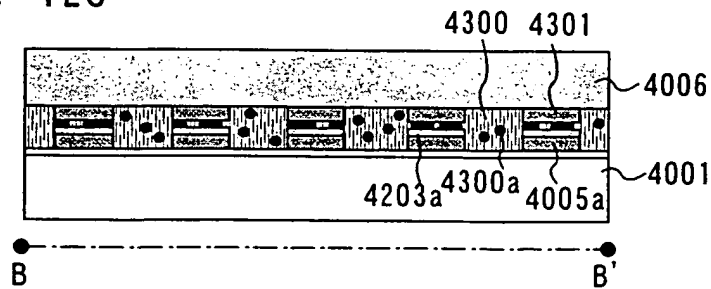


FIG. 12C



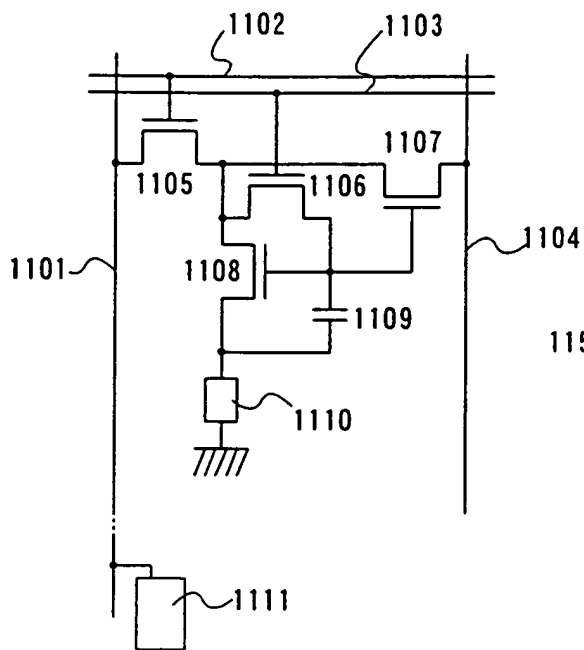


FIG. 13A

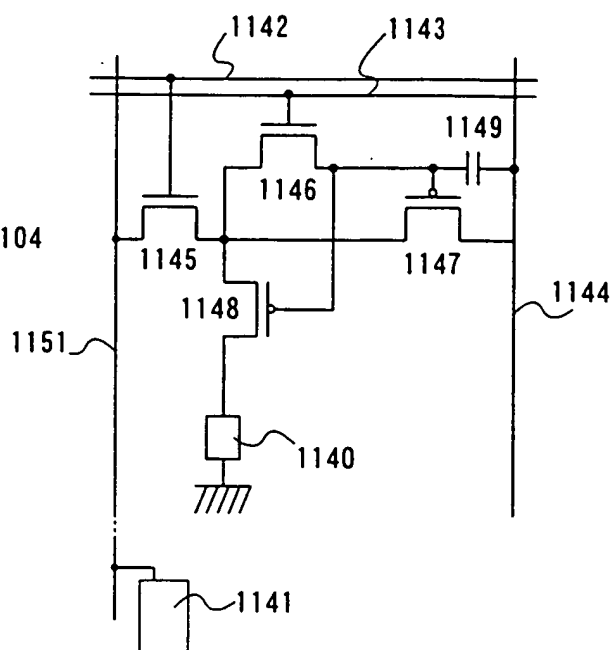


FIG. 13B

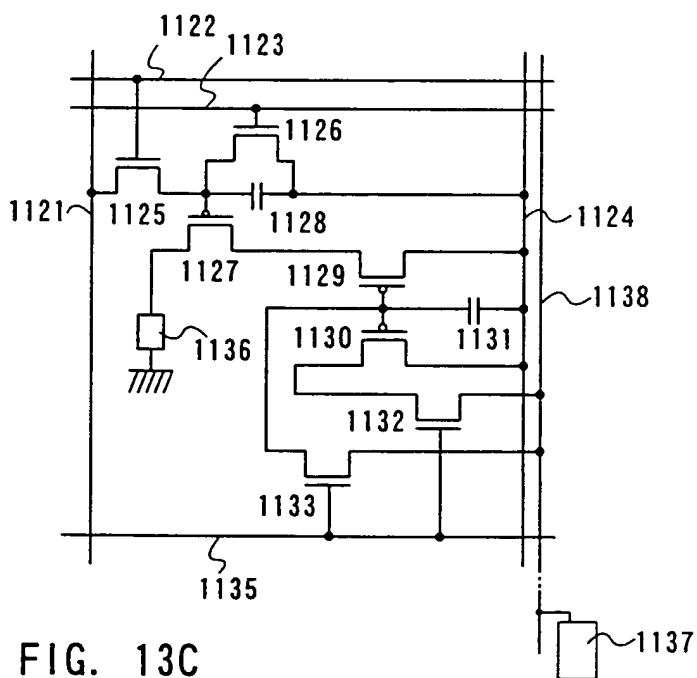


FIG. 13C

FIG. 14A

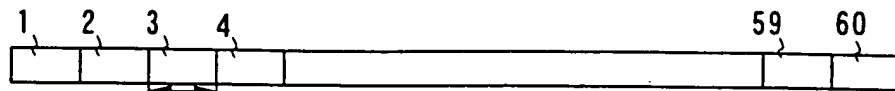


FIG. 14B

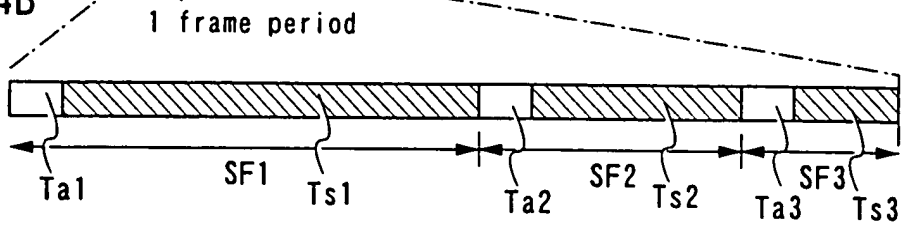


FIG. 14C

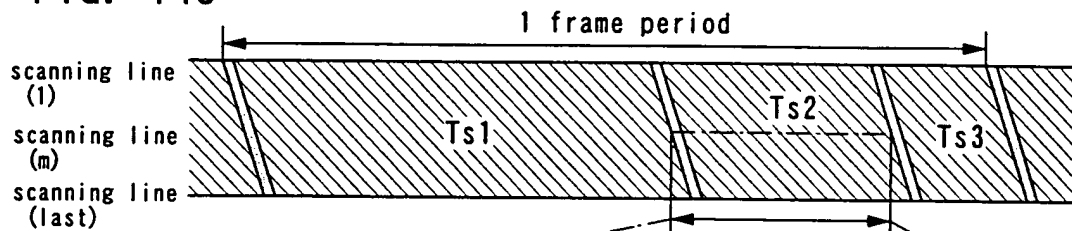


FIG. 14D

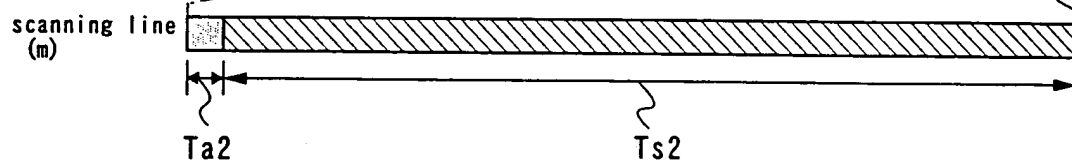


FIG. 15A

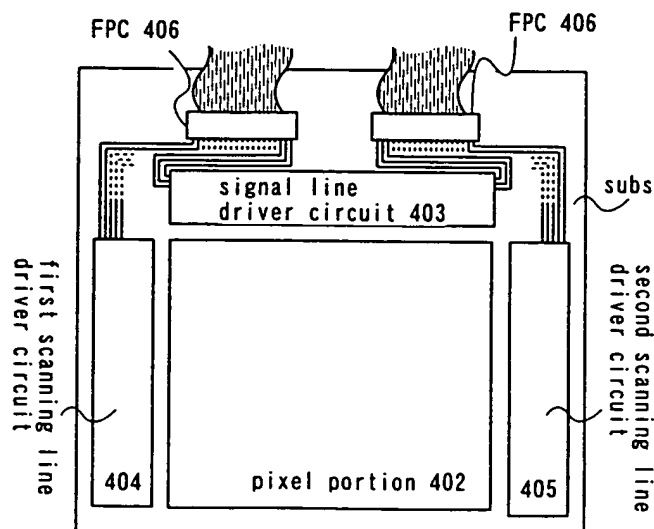


FIG. 15B

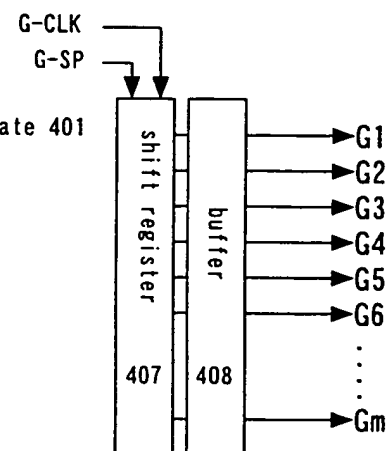


FIG. 16A

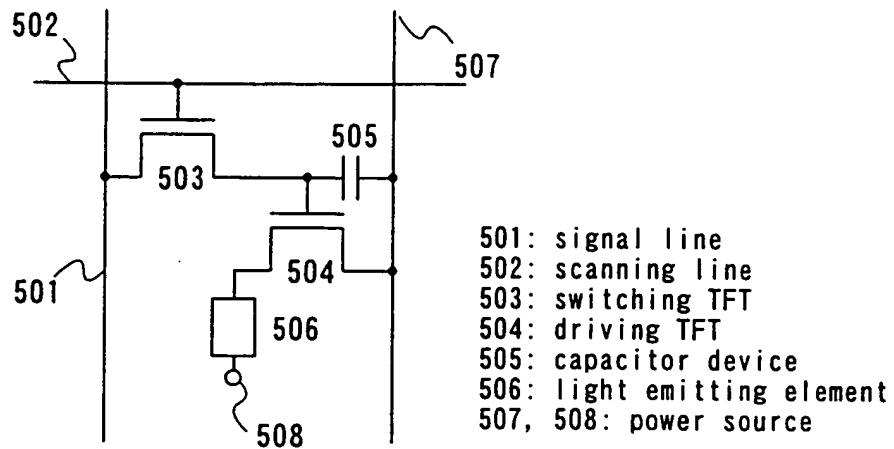


FIG. 16B

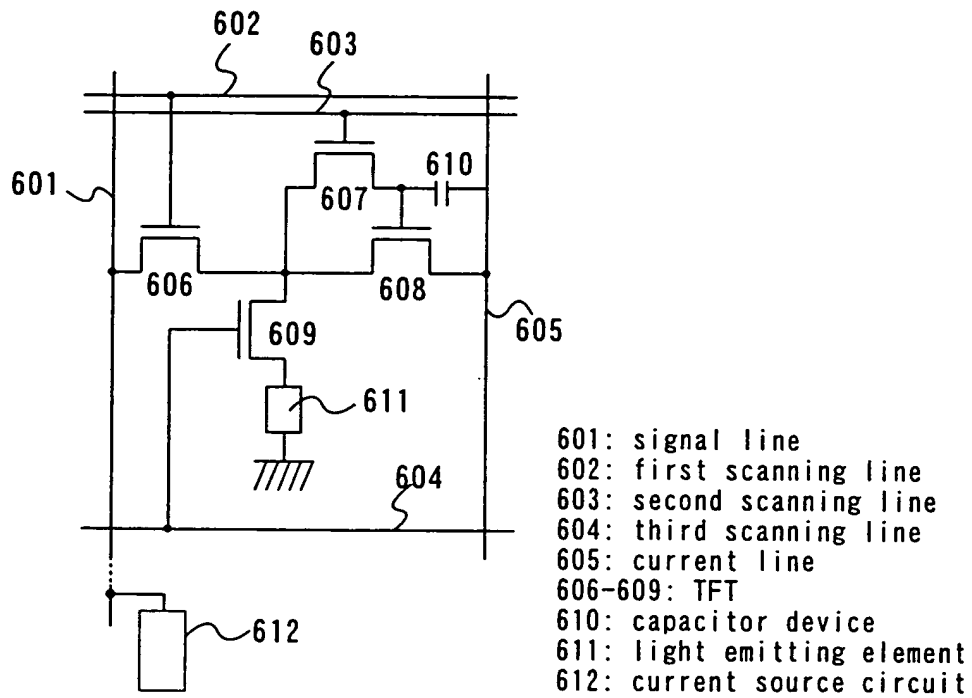


FIG. 17A

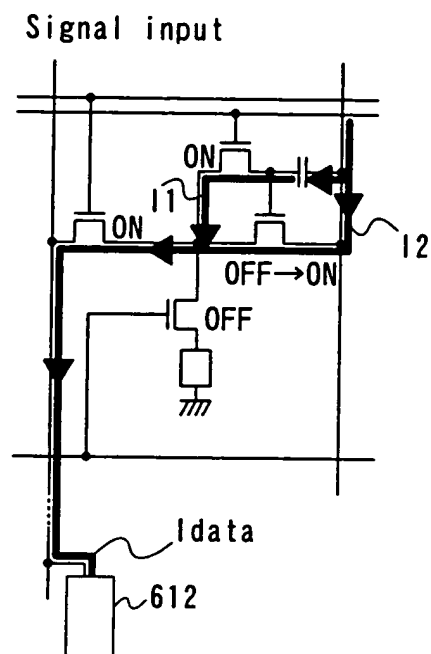


FIG. 17B

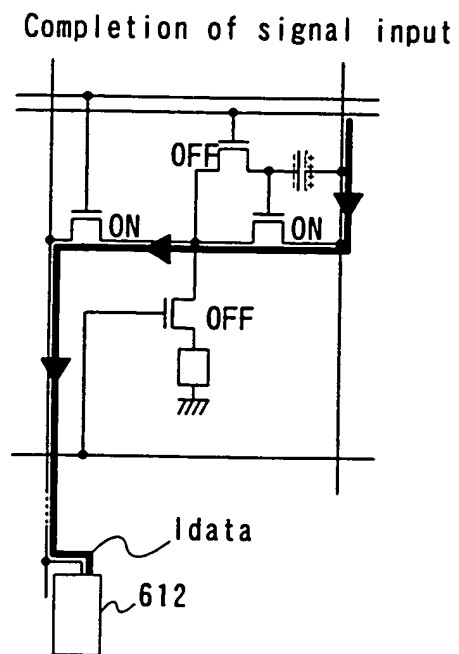


FIG. 17C

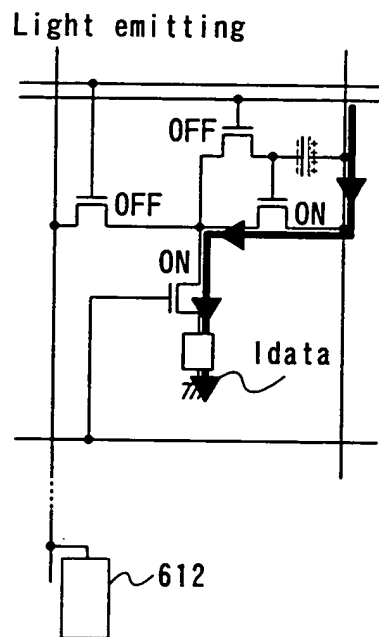


FIG. 17D

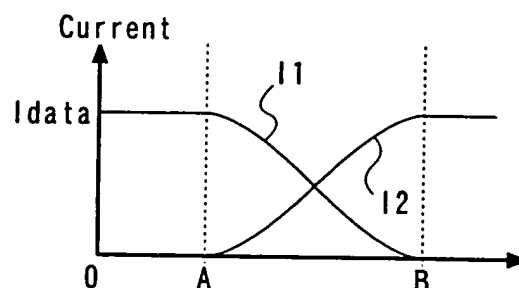


FIG. 17E

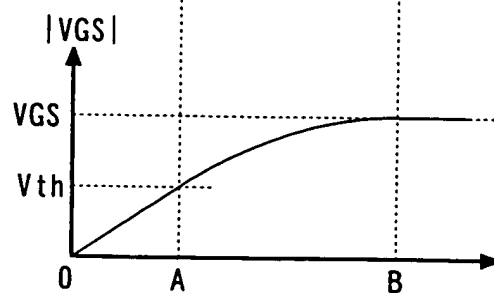


FIG. 18A

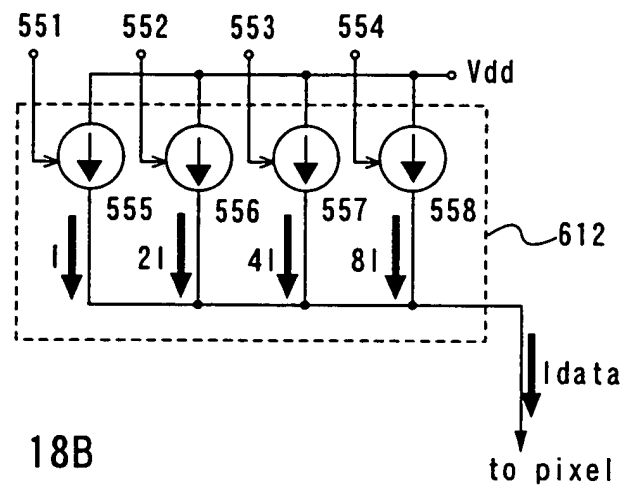


FIG. 18B

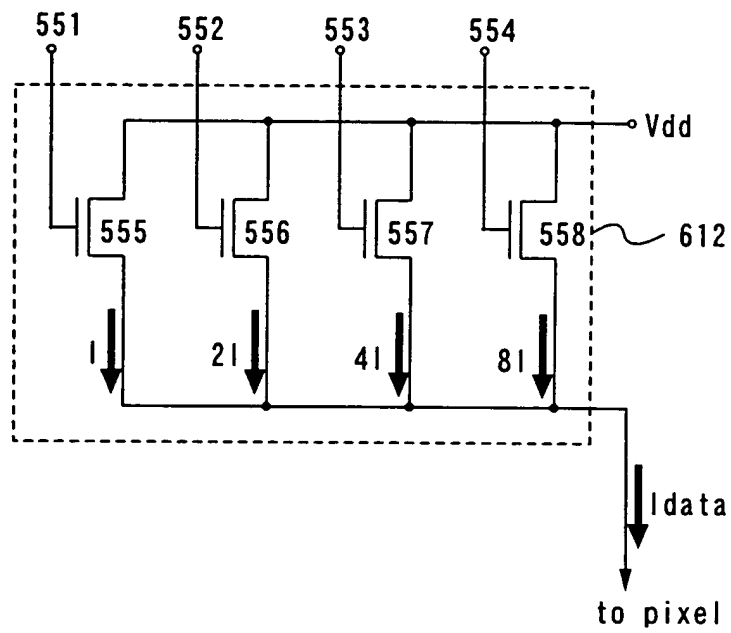


FIG. 19A

Signal input

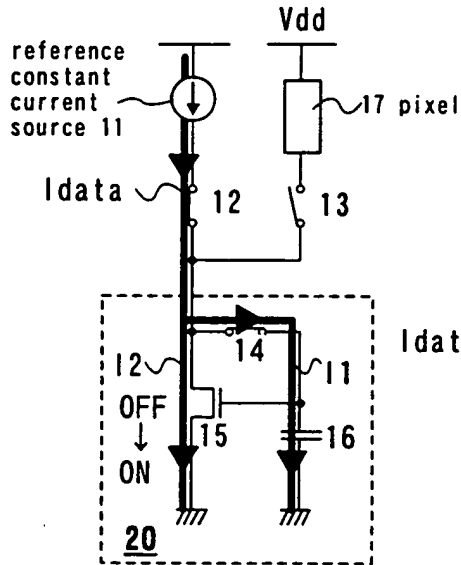


FIG. 19B

Completion of signal input

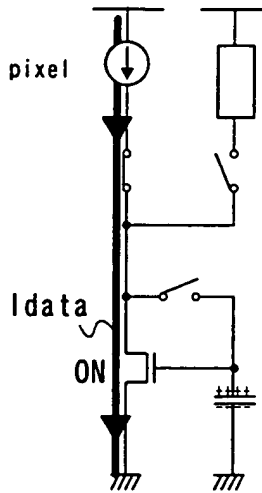


FIG. 19C

Signal input to pixel

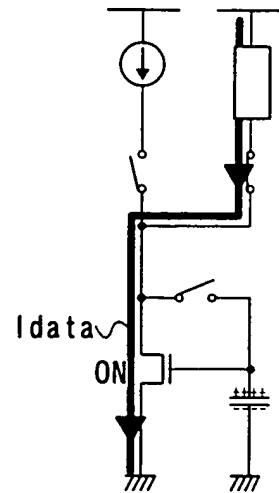


FIG. 19D

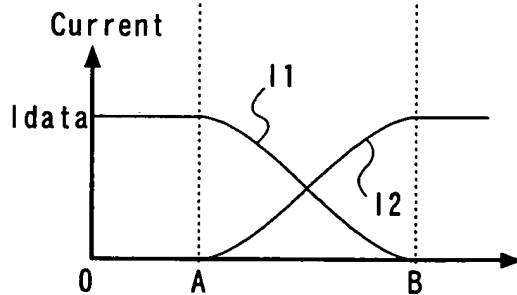


FIG. 19E

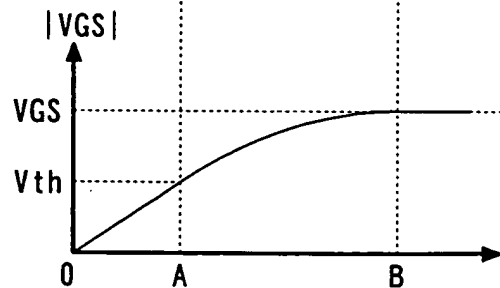


FIG. 19F

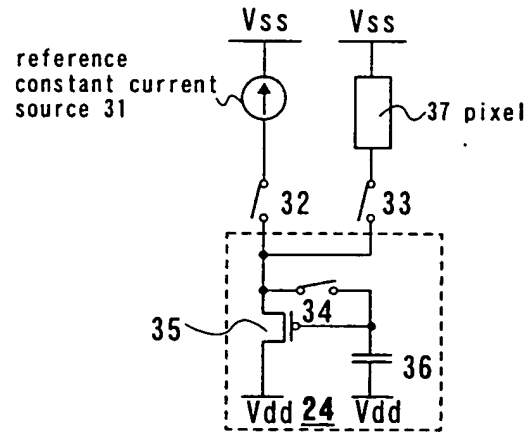


FIG. 20A
Signal input

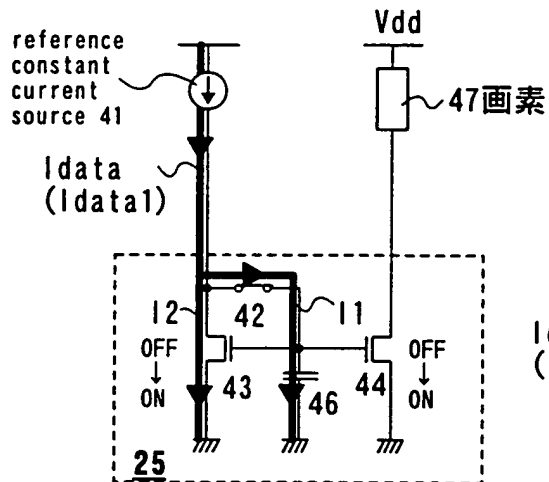


FIG. 20B
Completion of signal input

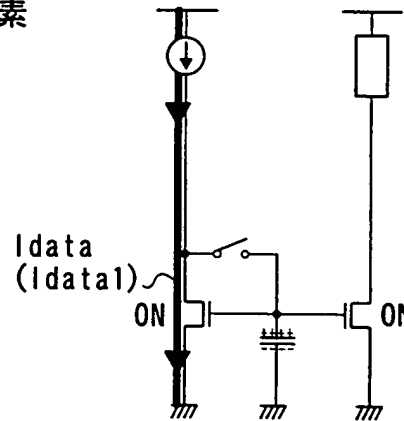


FIG. 20C
Signal input to pixel

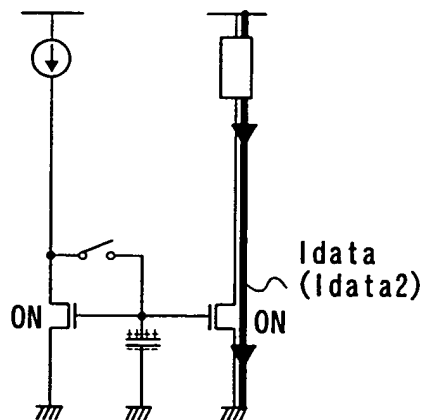


FIG. 20D
Current

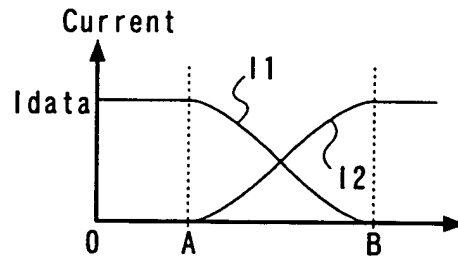
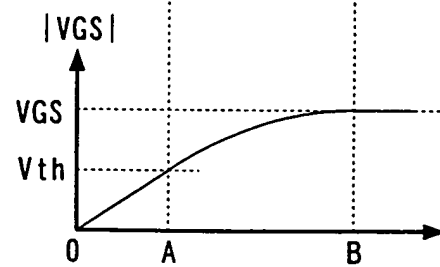


FIG. 20E



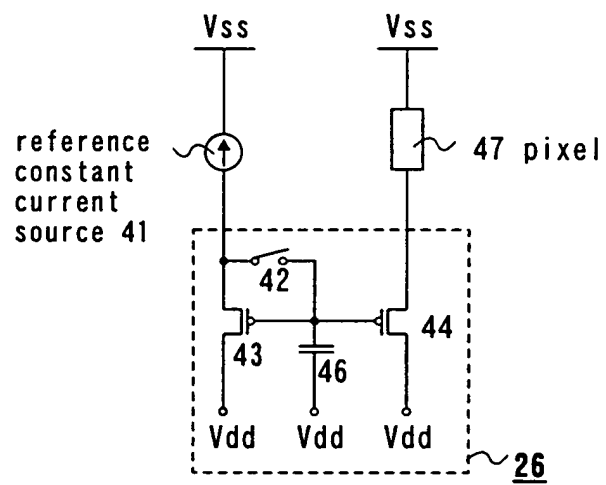


FIG. 21

FIG. 22A

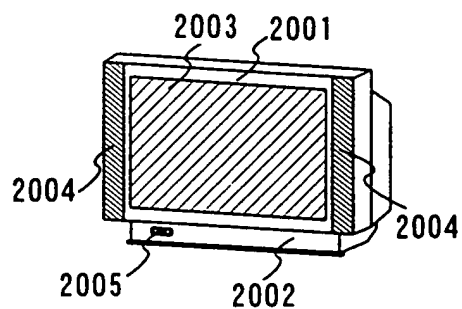


FIG. 22B

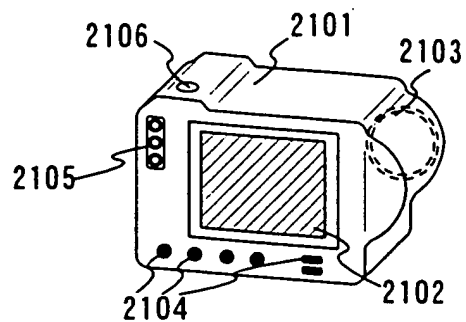


FIG. 22C

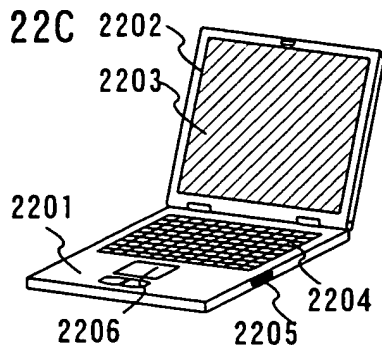


FIG. 22D

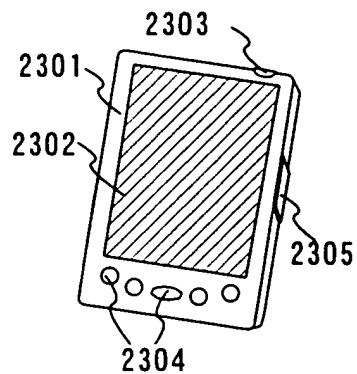


FIG. 22E

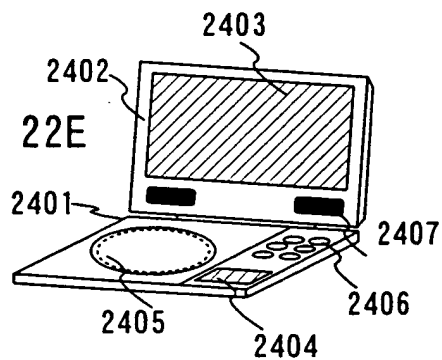


FIG. 22F

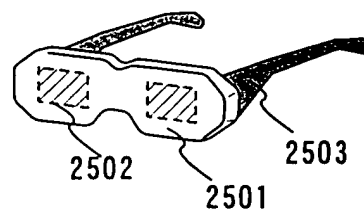


FIG. 22G

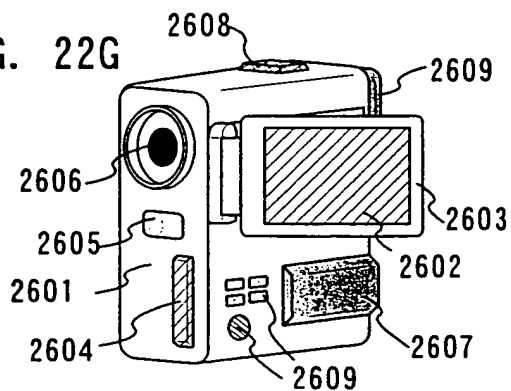


FIG. 22H

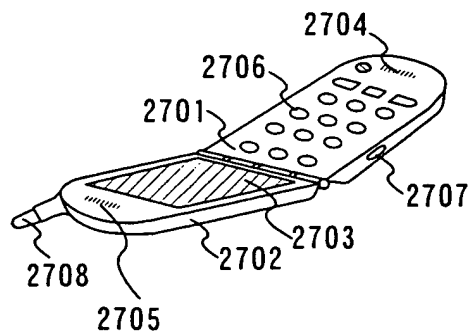


FIG. 23A

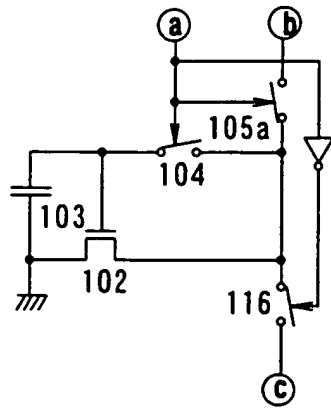


FIG. 23B

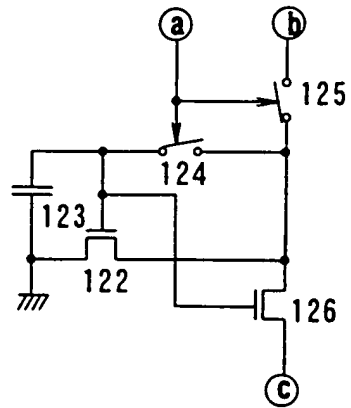


FIG. 23C

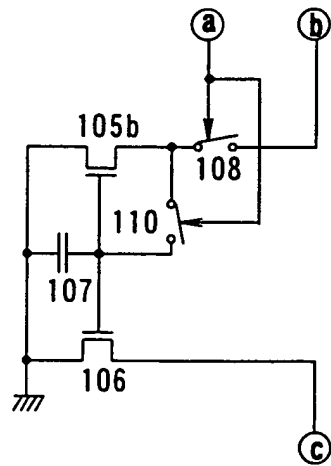


FIG. 23D

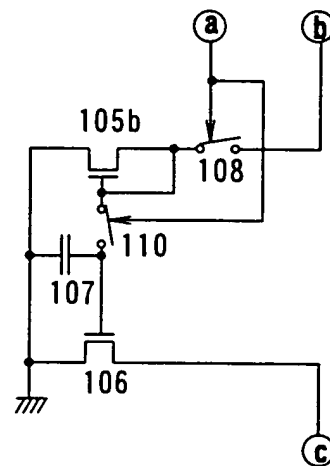


FIG. 23E

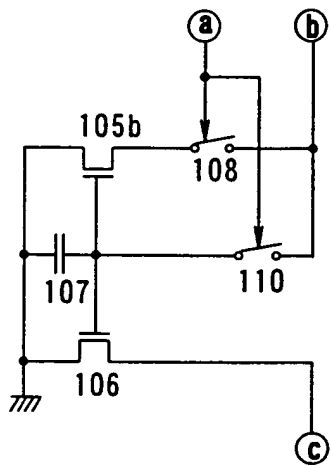


FIG. 24A

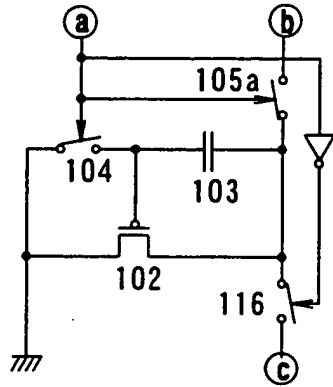


FIG. 24B

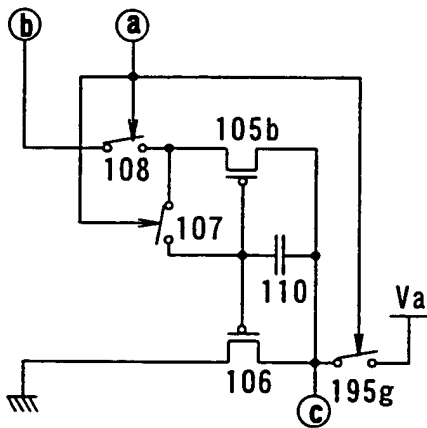


FIG. 24D

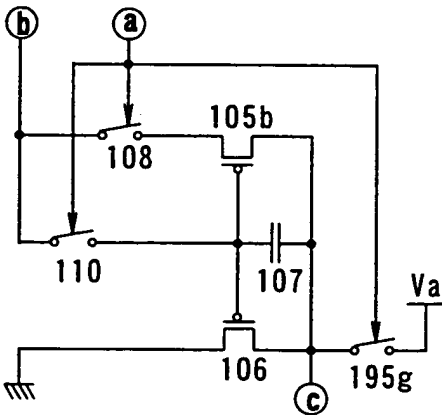


FIG. 24C

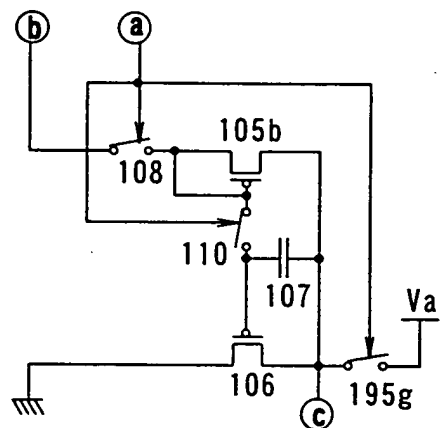


FIG. 25A

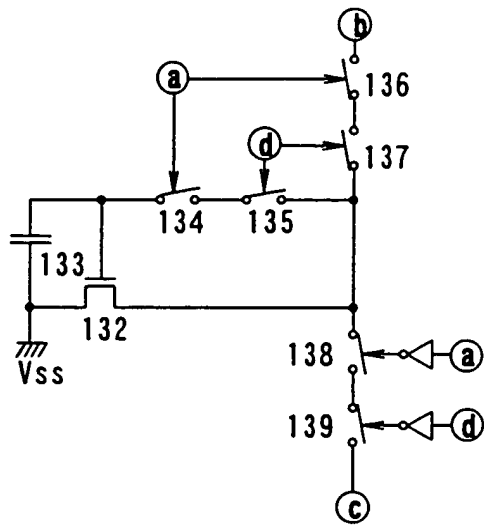


FIG. 25B

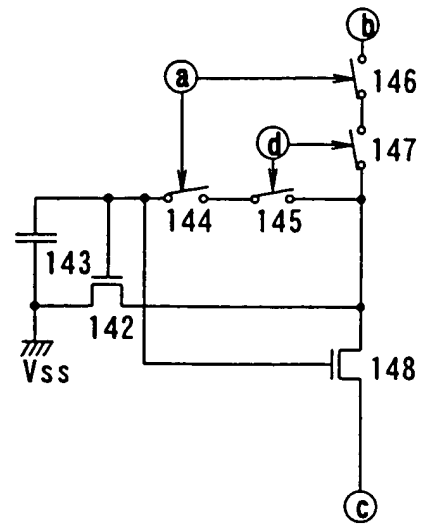
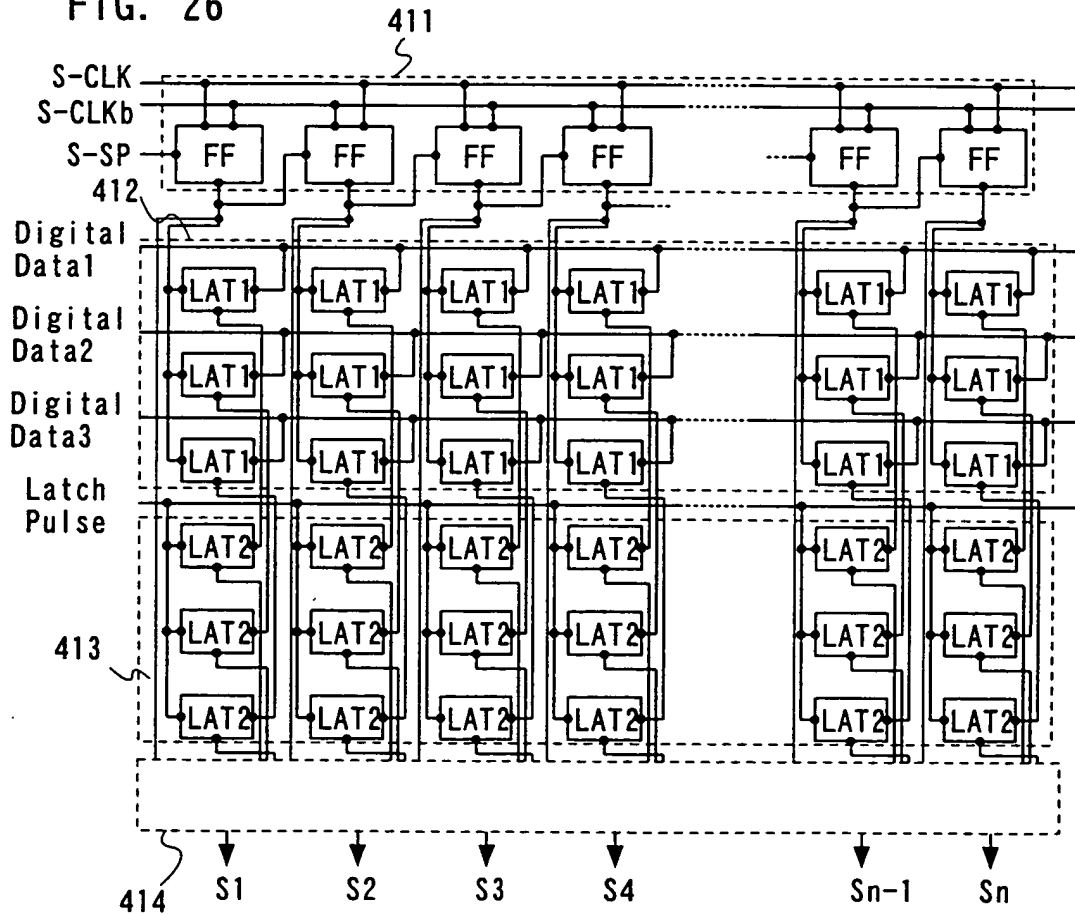


FIG. 26



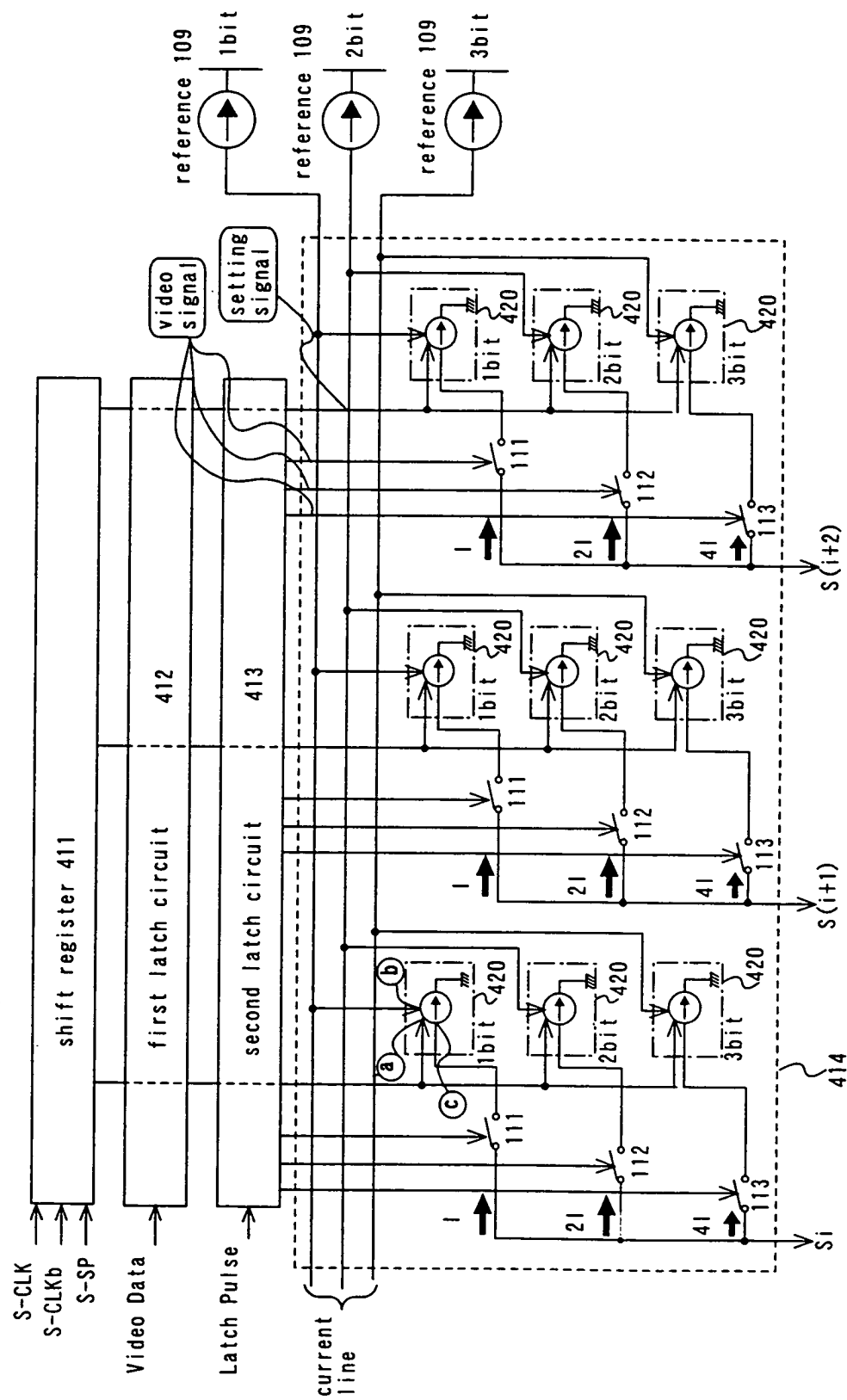


FIG. 27

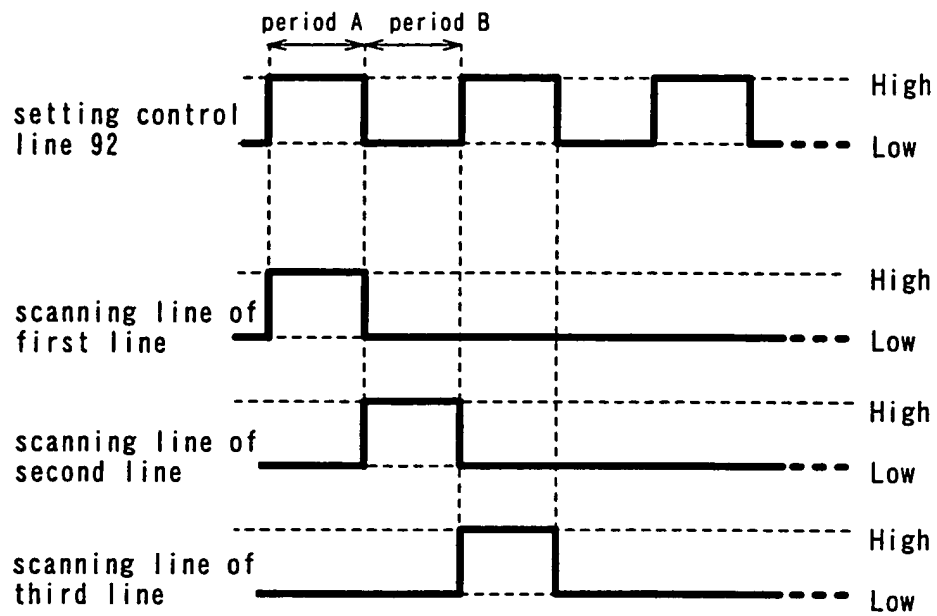


FIG. 28

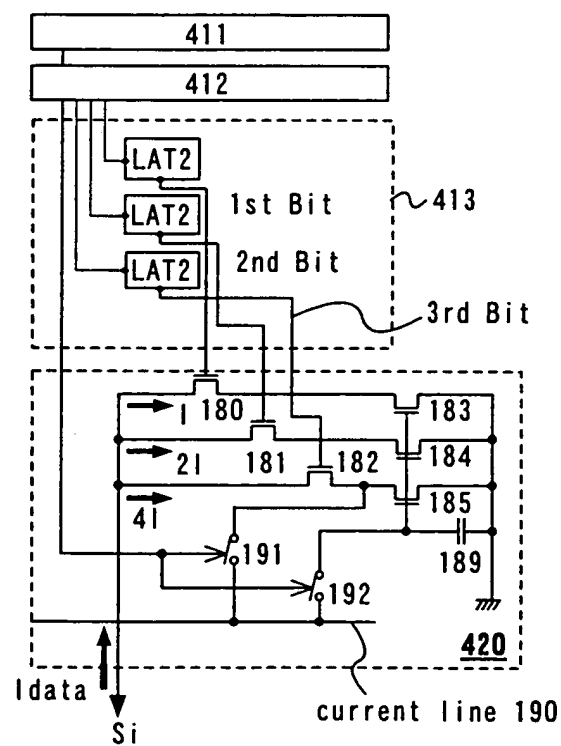


FIG. 29

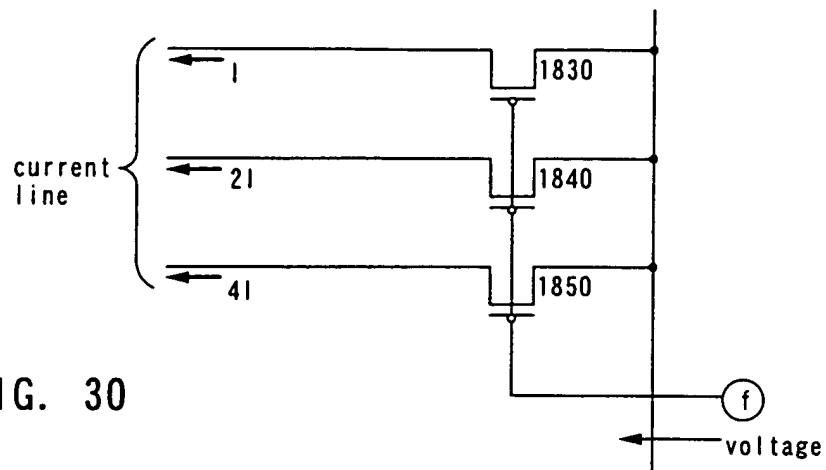


FIG. 31A

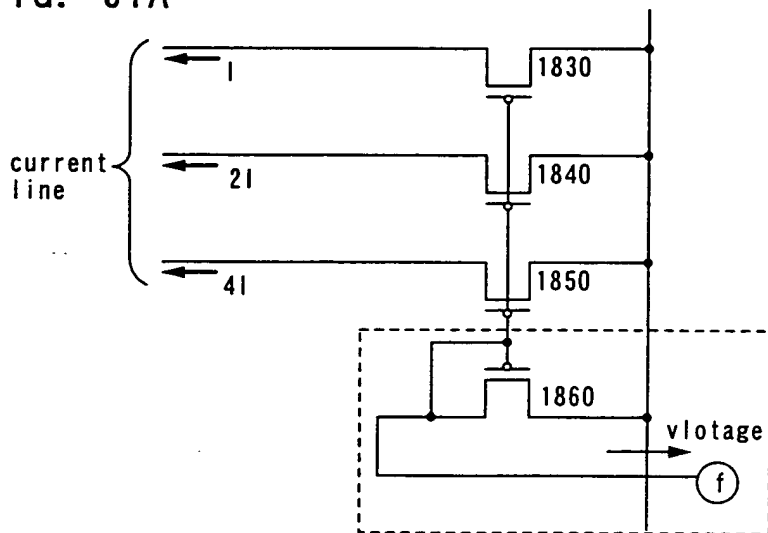
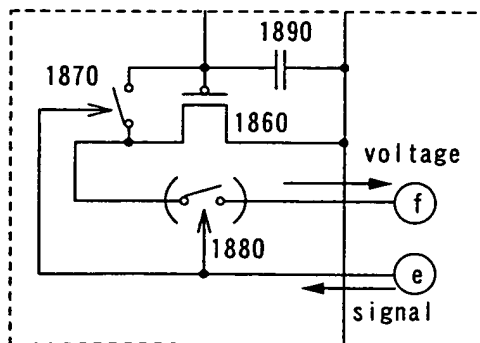


FIG. 31B



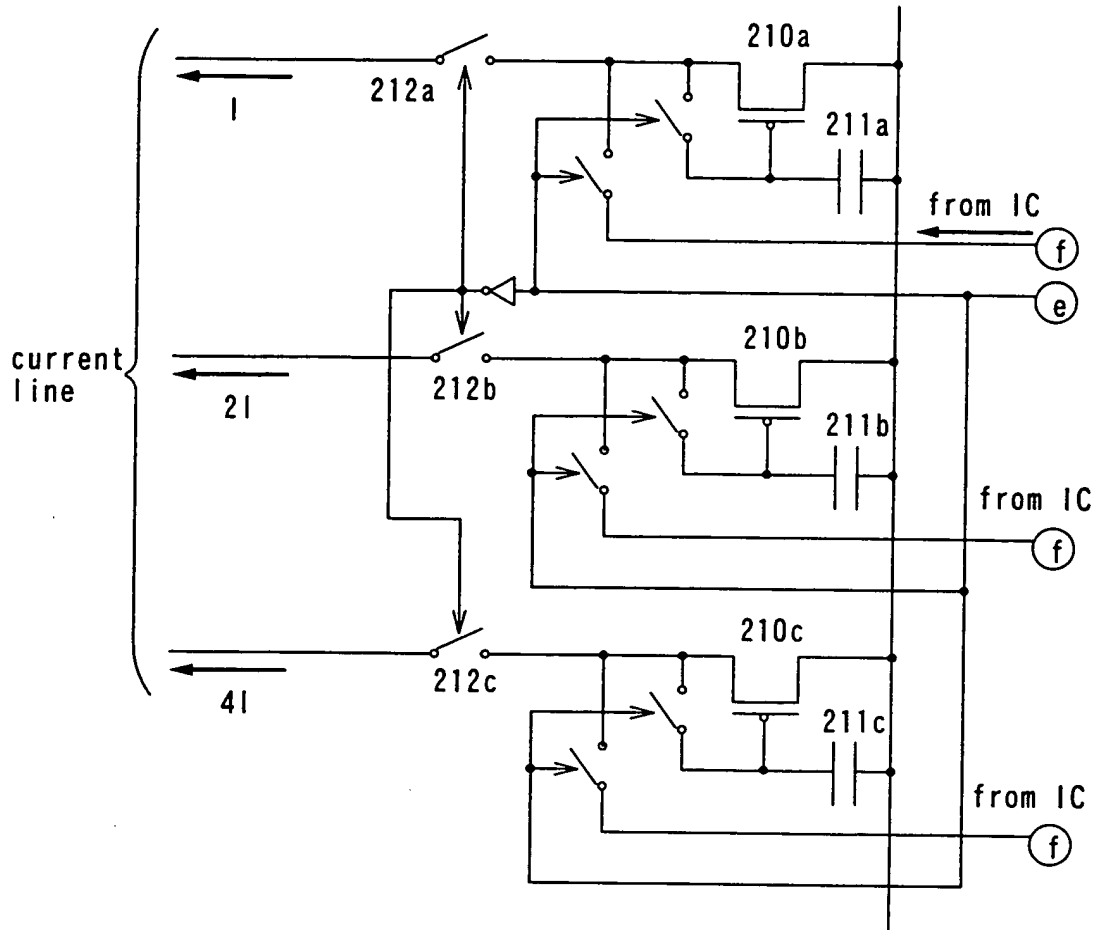
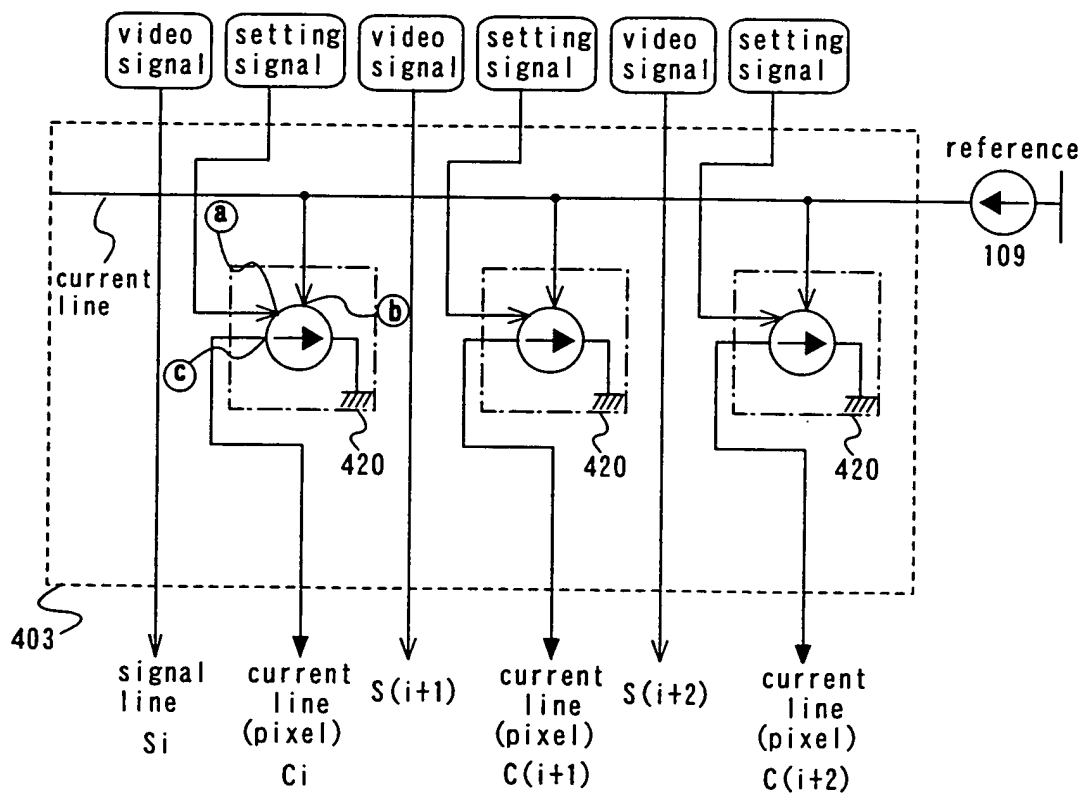
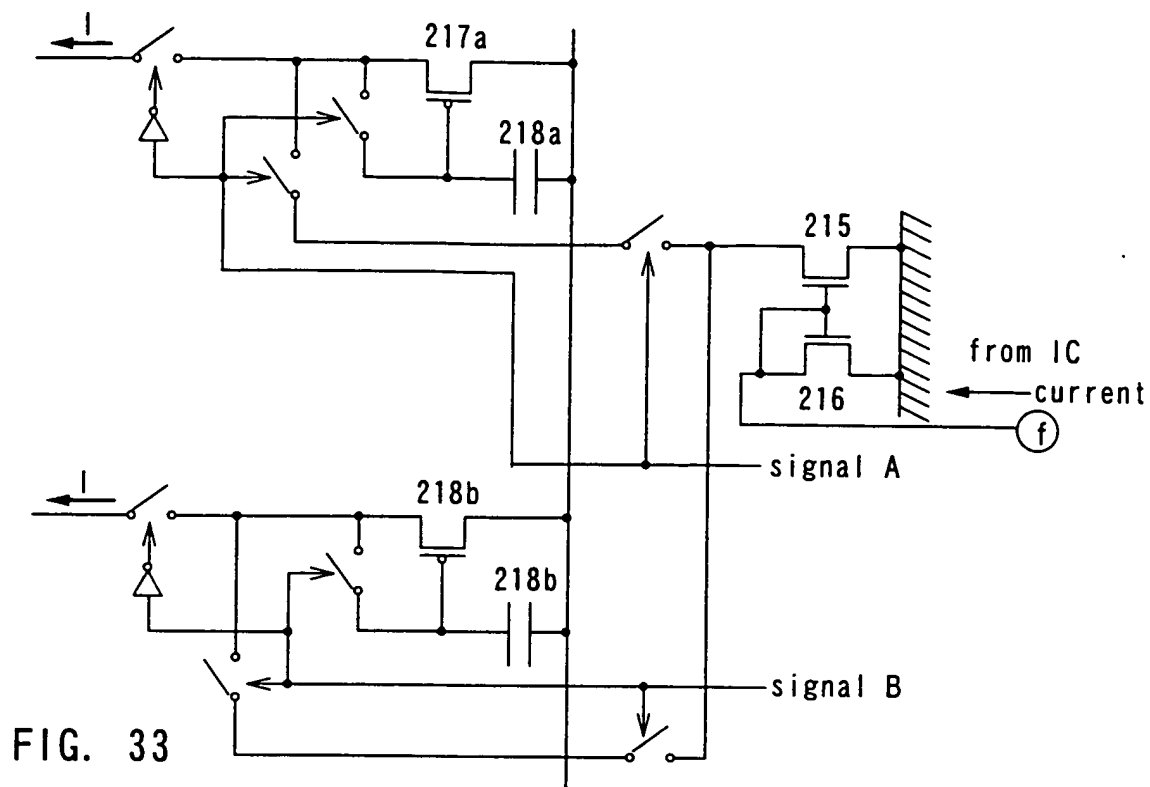


FIG. 32



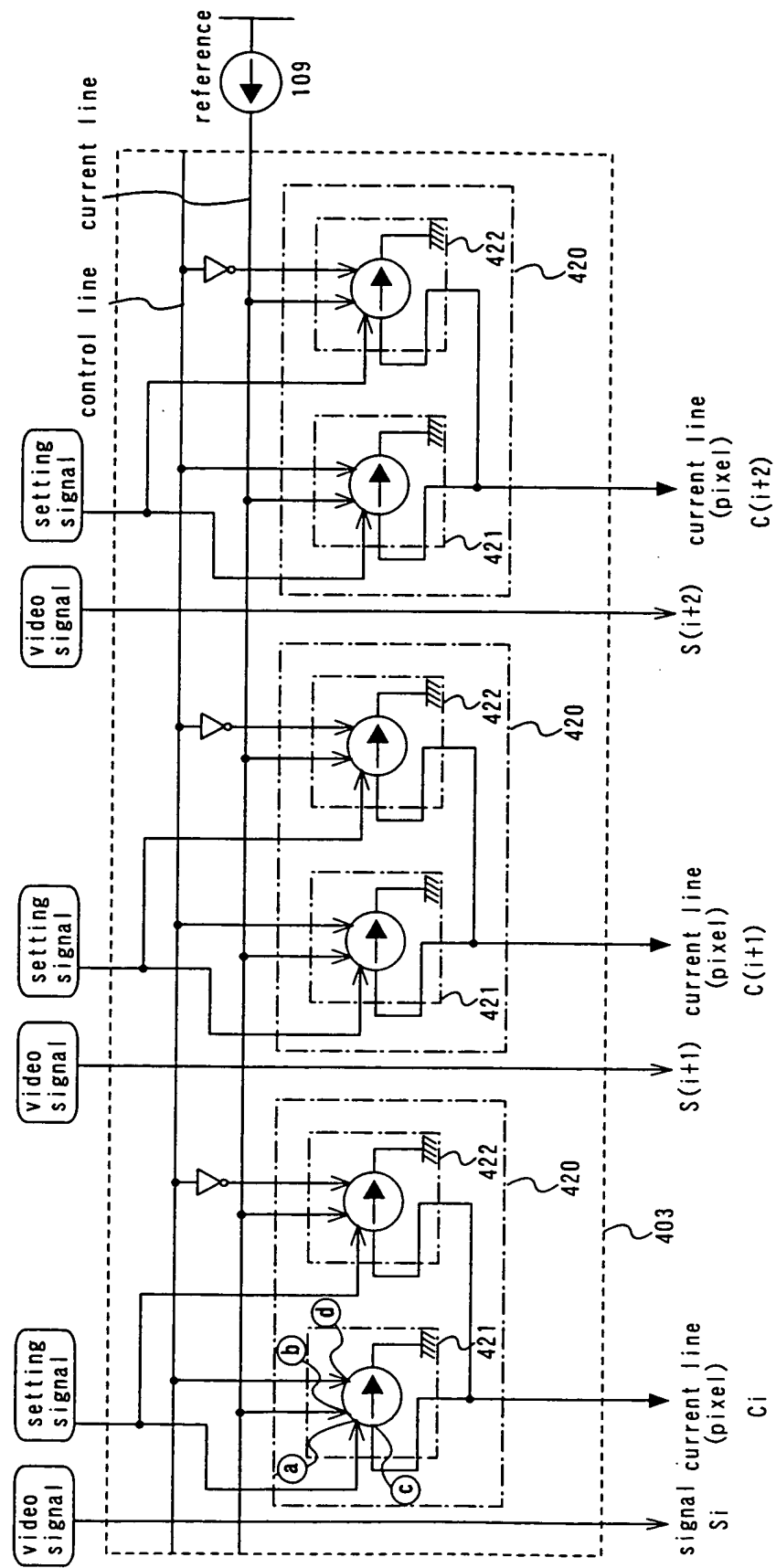
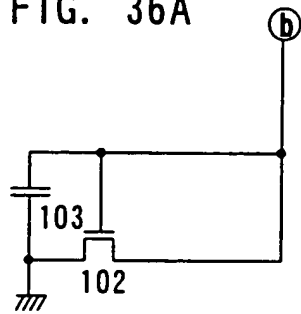
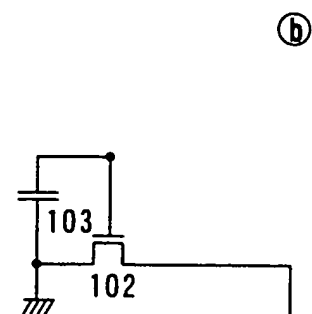


FIG. 35

FIG. 36A

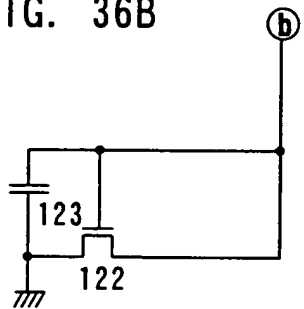


(A1) (c)

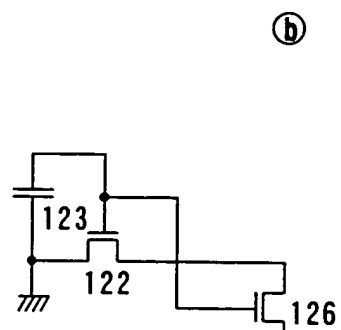


(A2) (c)

FIG. 36B

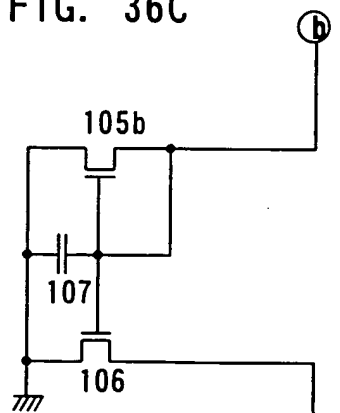


(B1) (c)

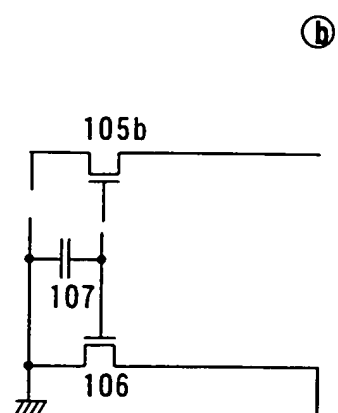


(B2) (c)

FIG. 36C



(C1) (c)



(C2) (c)

FIG. 37A

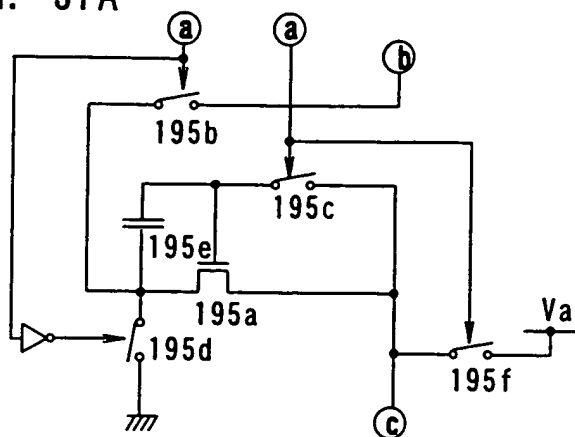


FIG. 37B

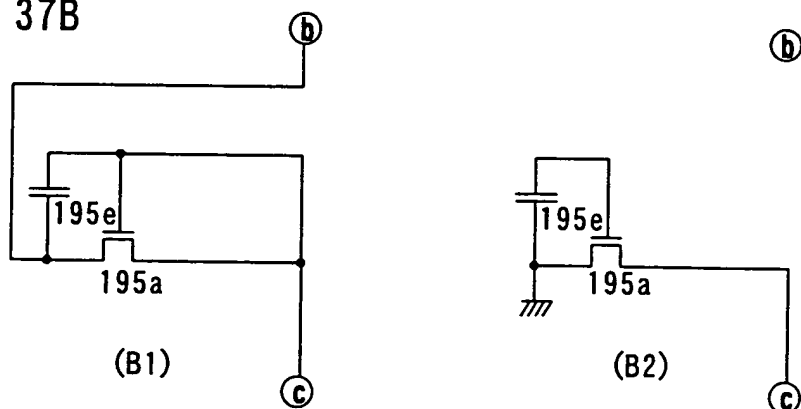


FIG. 37C

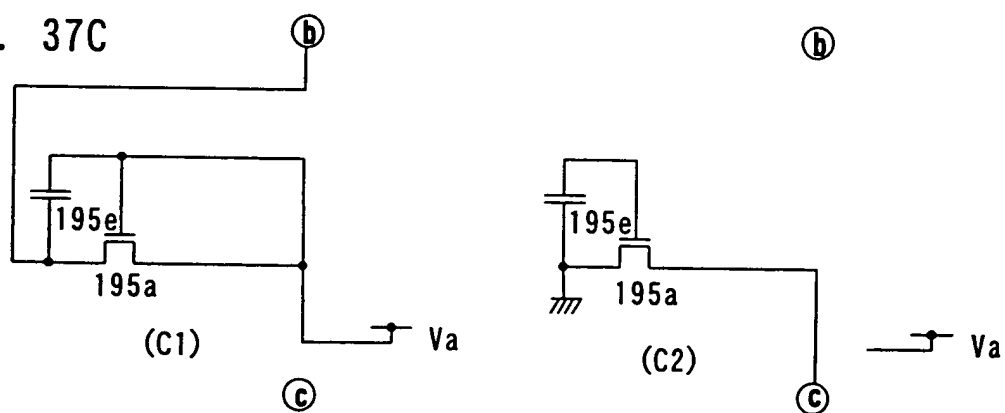


FIG. 38A

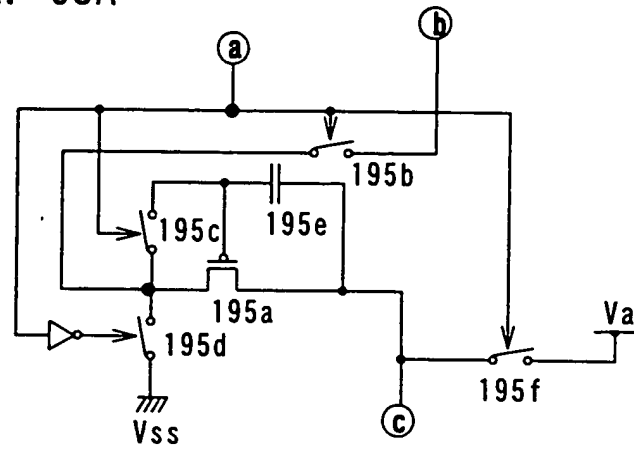
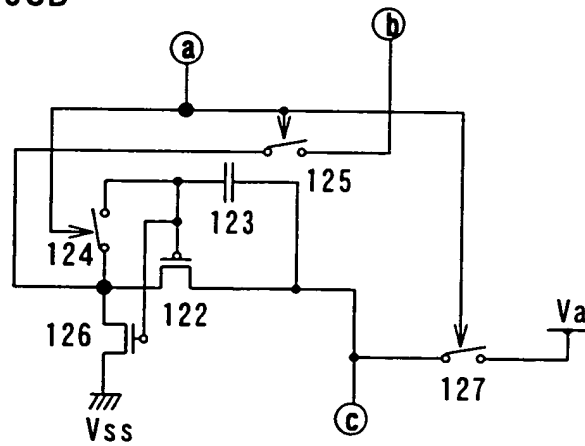


FIG. 38B



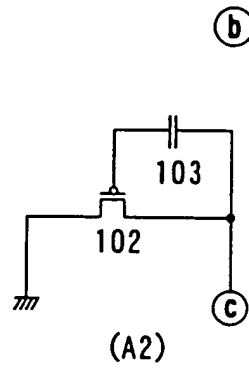
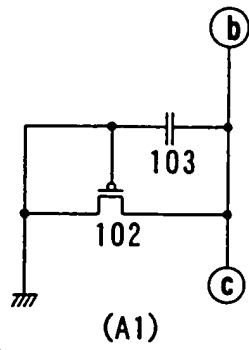


FIG. 39A

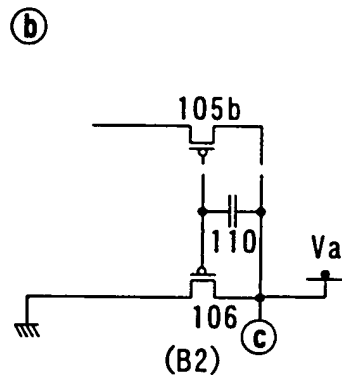
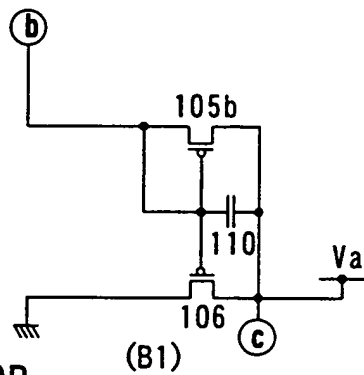


FIG. 39B

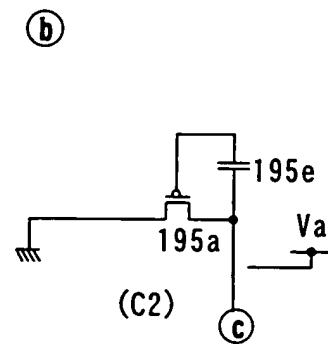
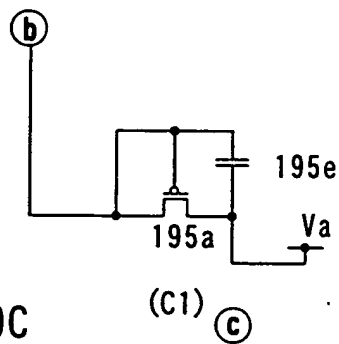


FIG. 39C

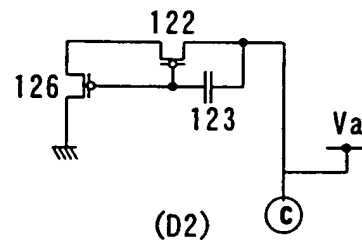
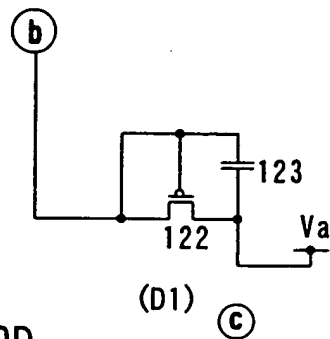


FIG. 39D

FIG. 40A

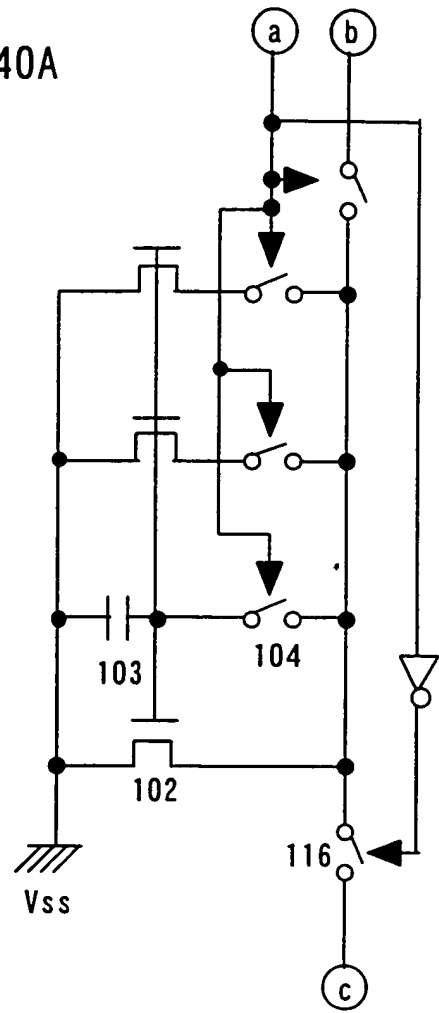


FIG. 40B

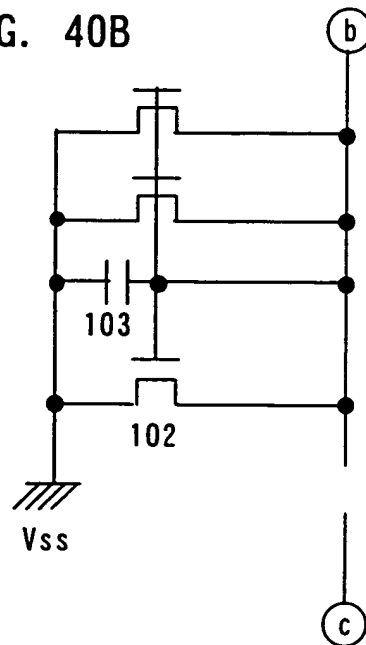
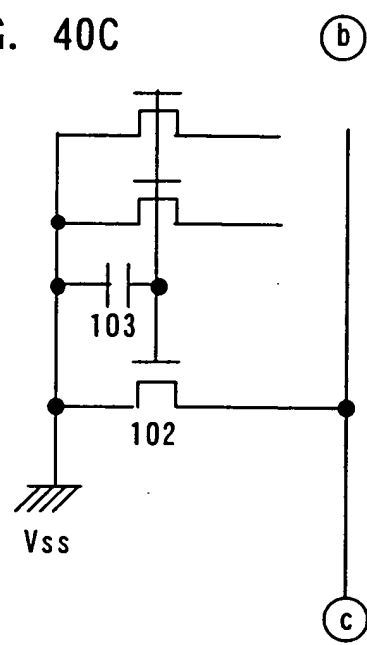


FIG. 40C



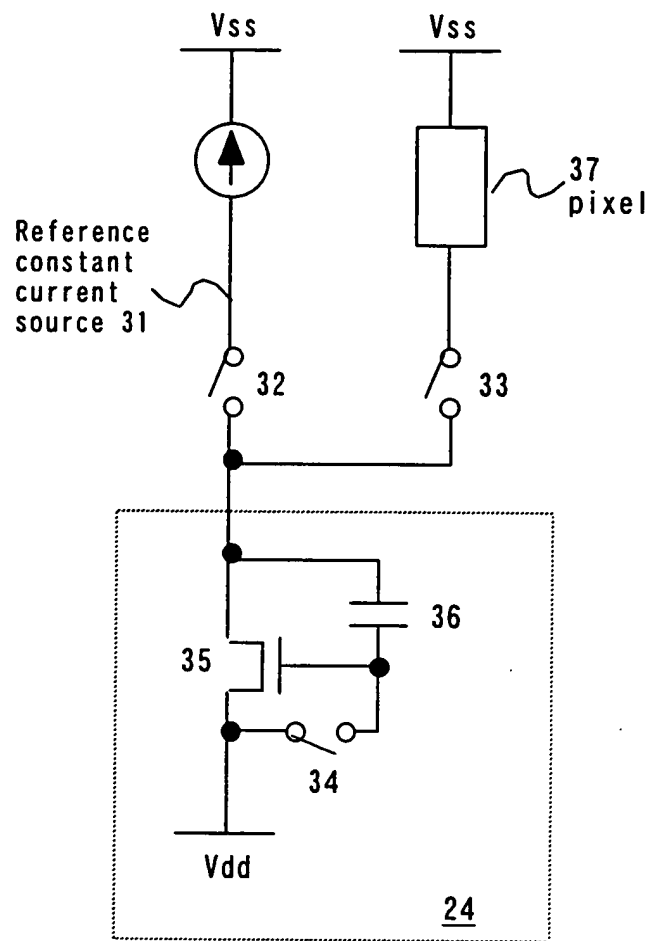


FIG. 41

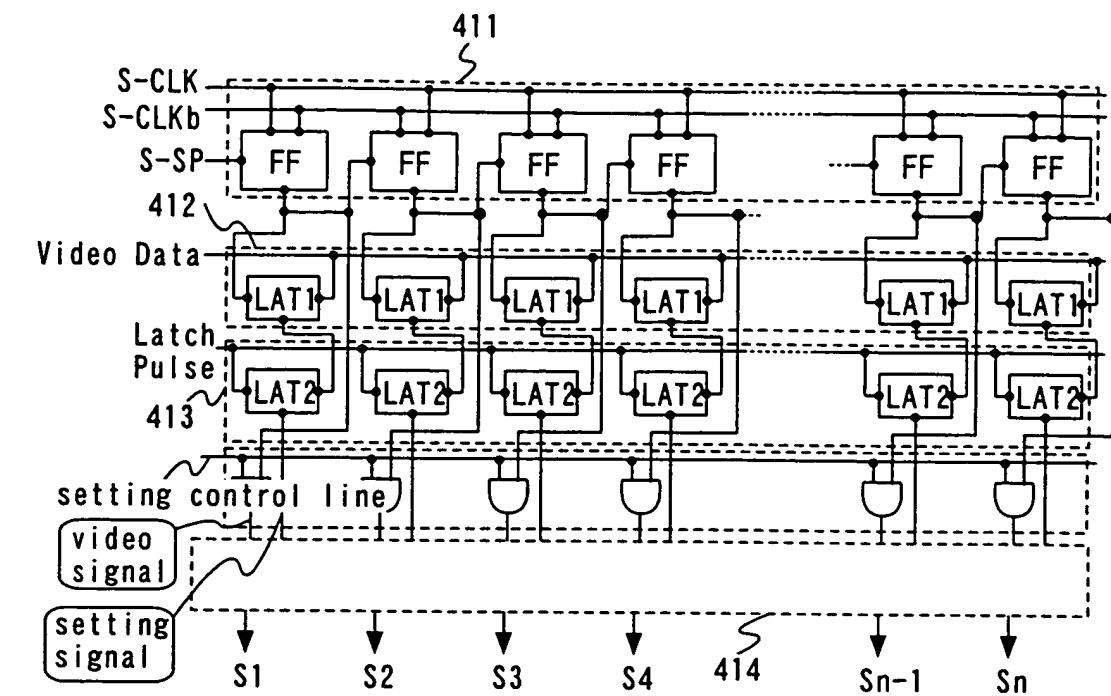


FIG. 42A

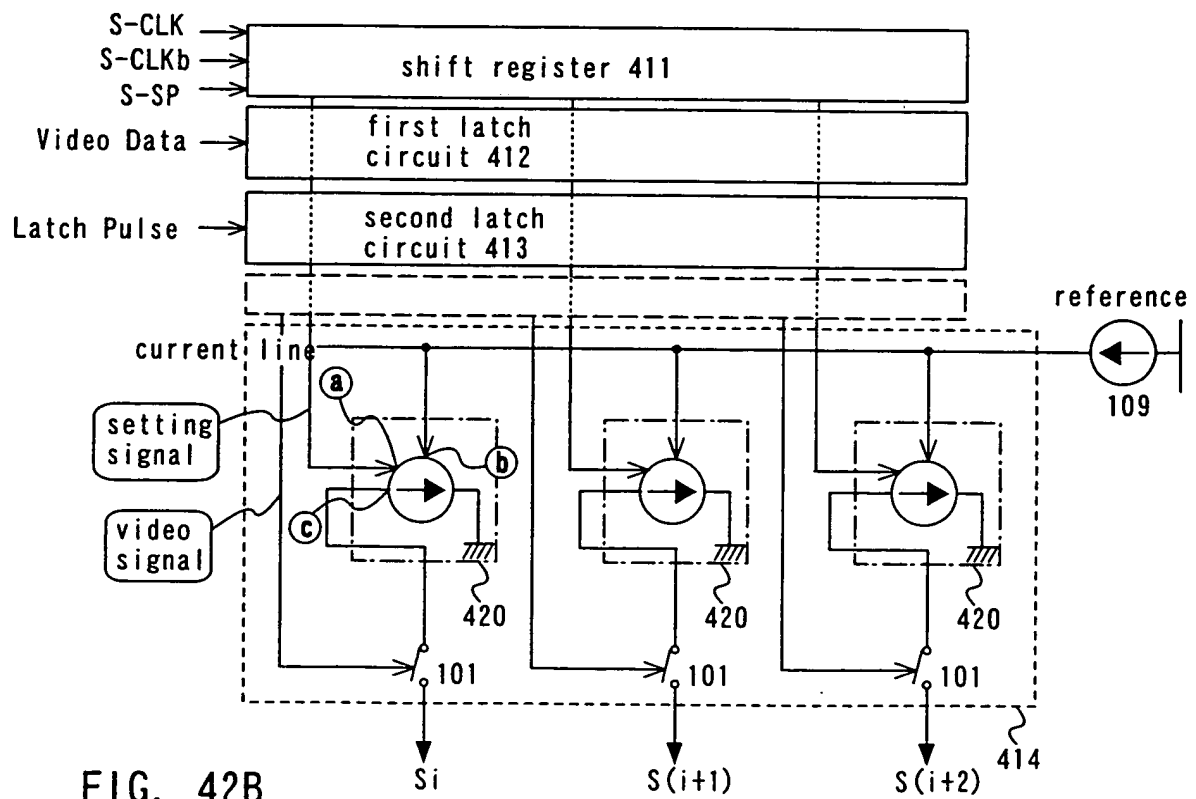
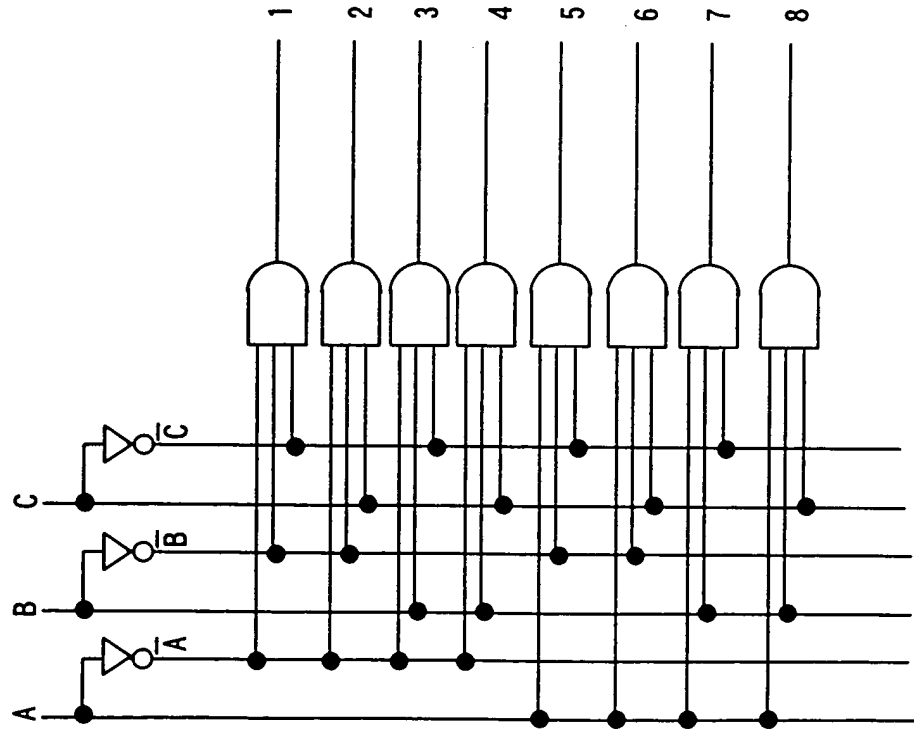


FIG. 42B

FIG. 43



A	B	C	first line	second line	third line	fourth line	fifth line	sixth line	seventh line	eighth line
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

FIG. 44A

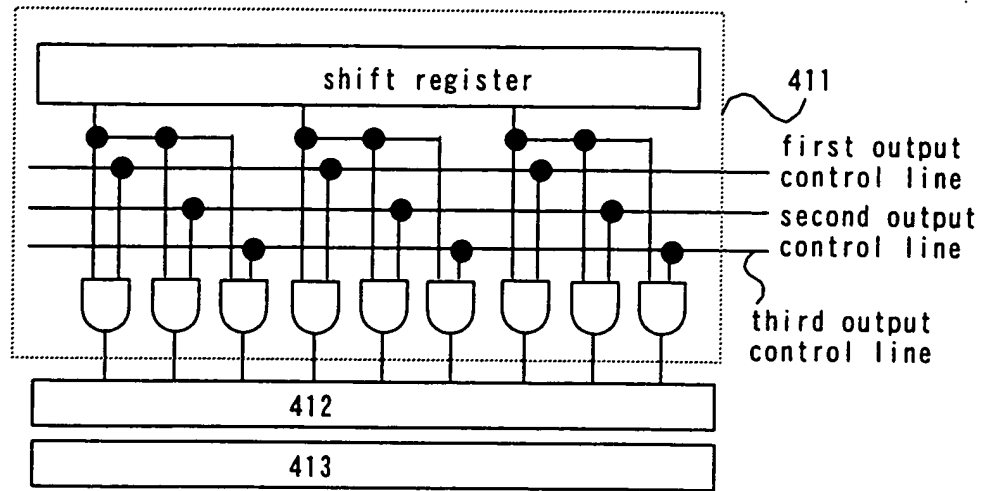


FIG. 44B

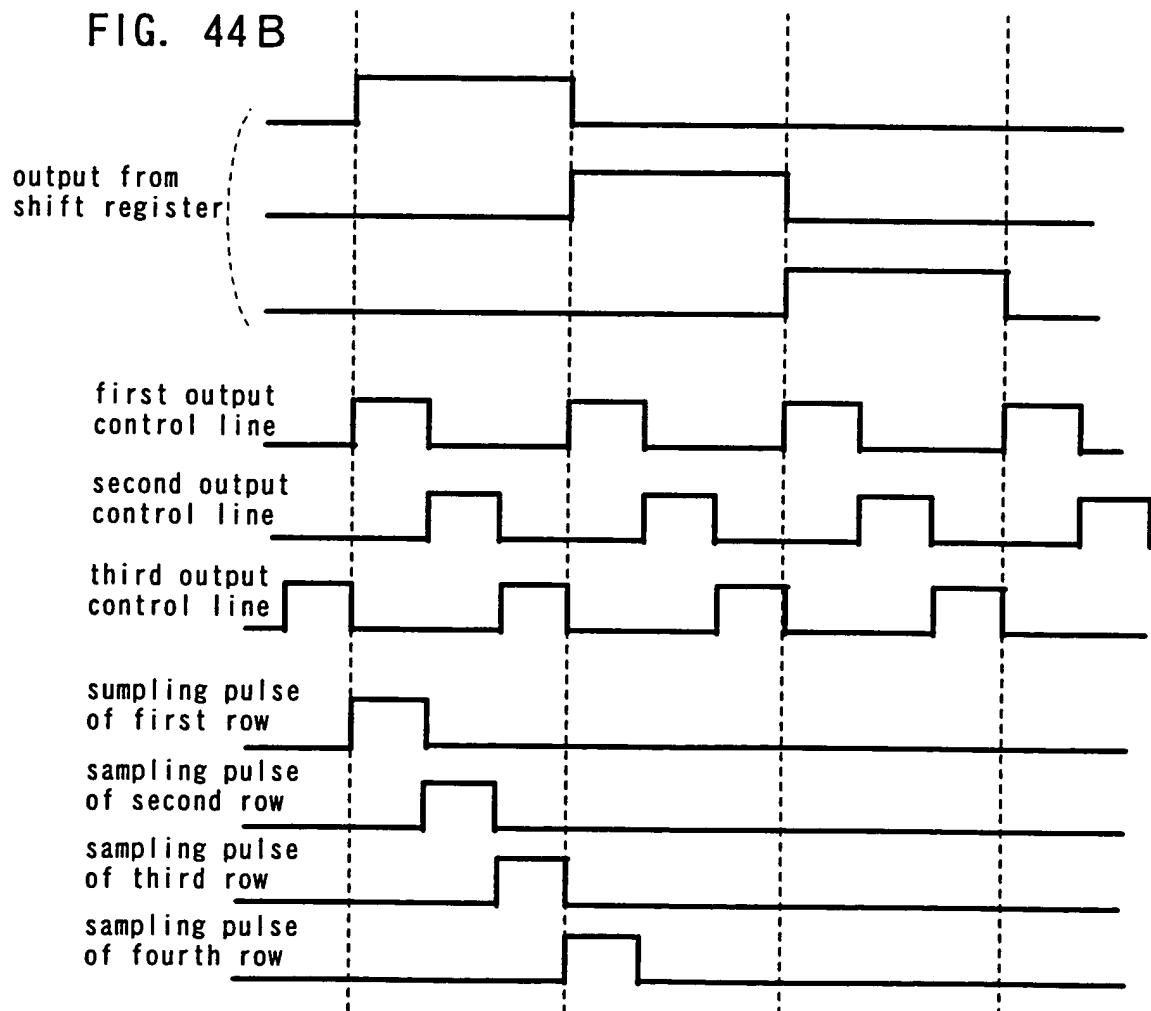


FIG. 45A

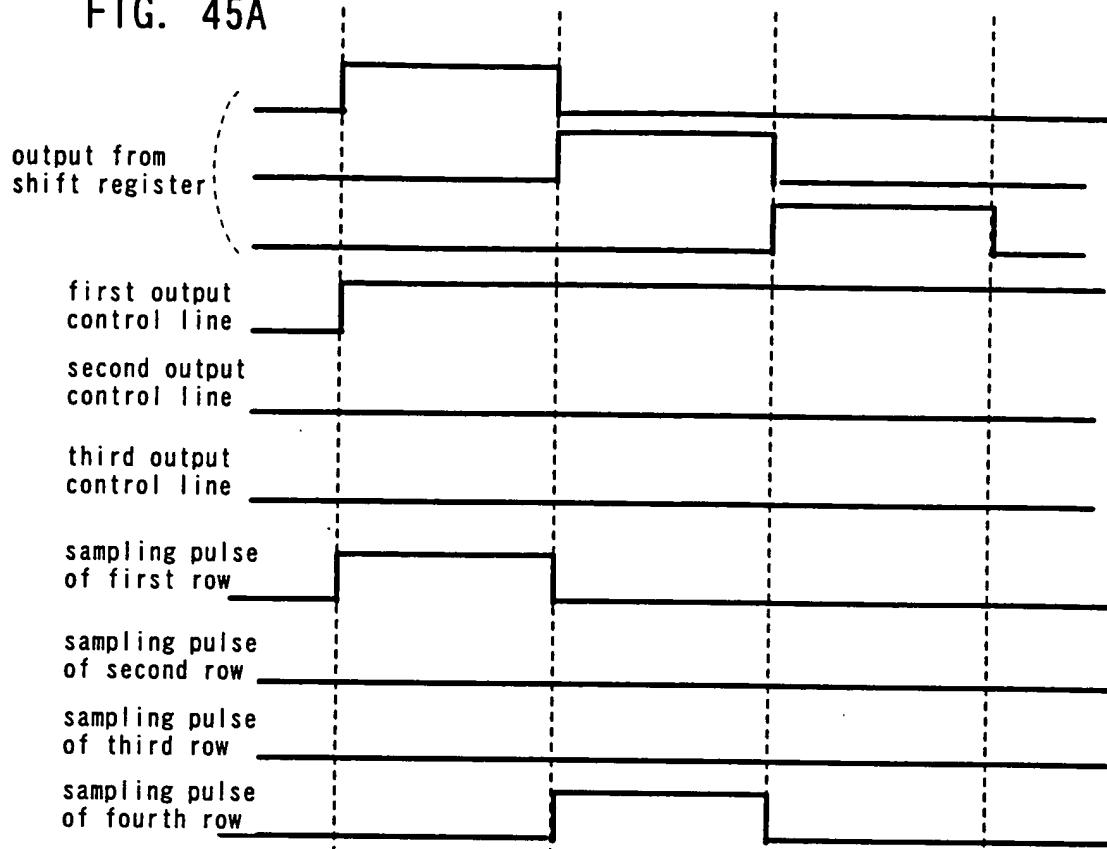
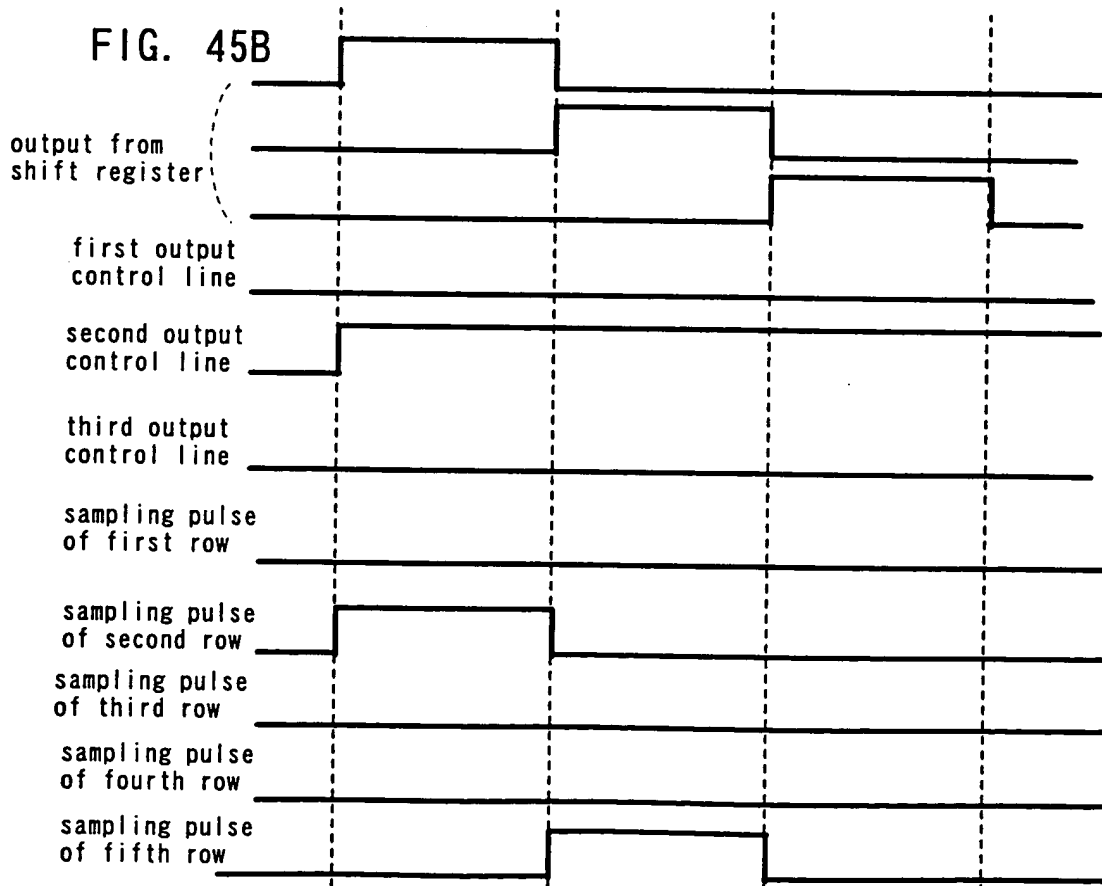


FIG. 45B



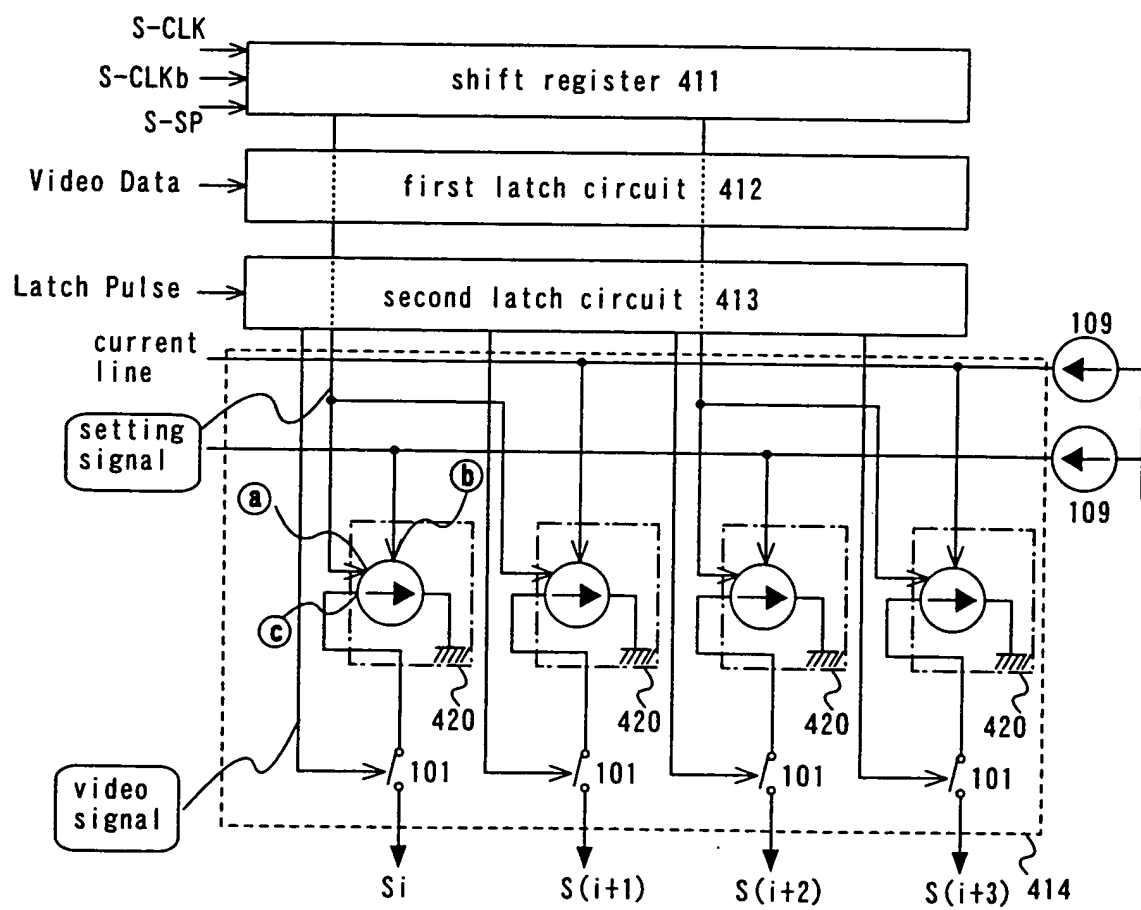
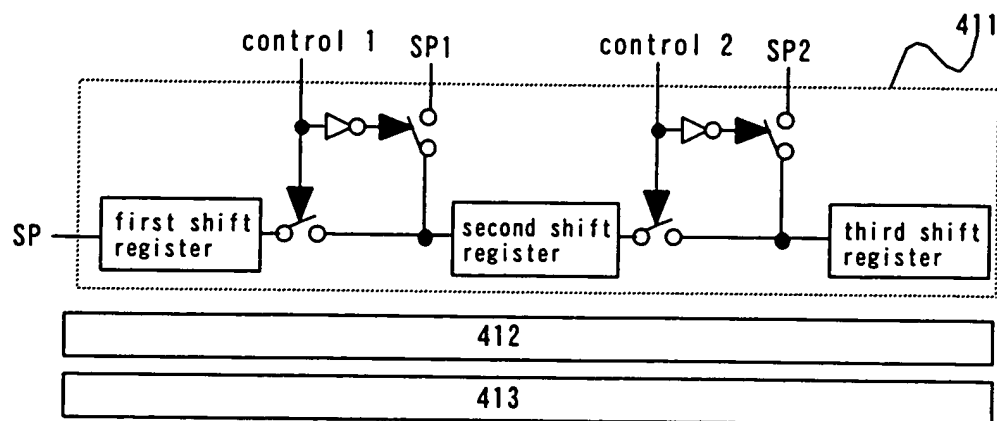
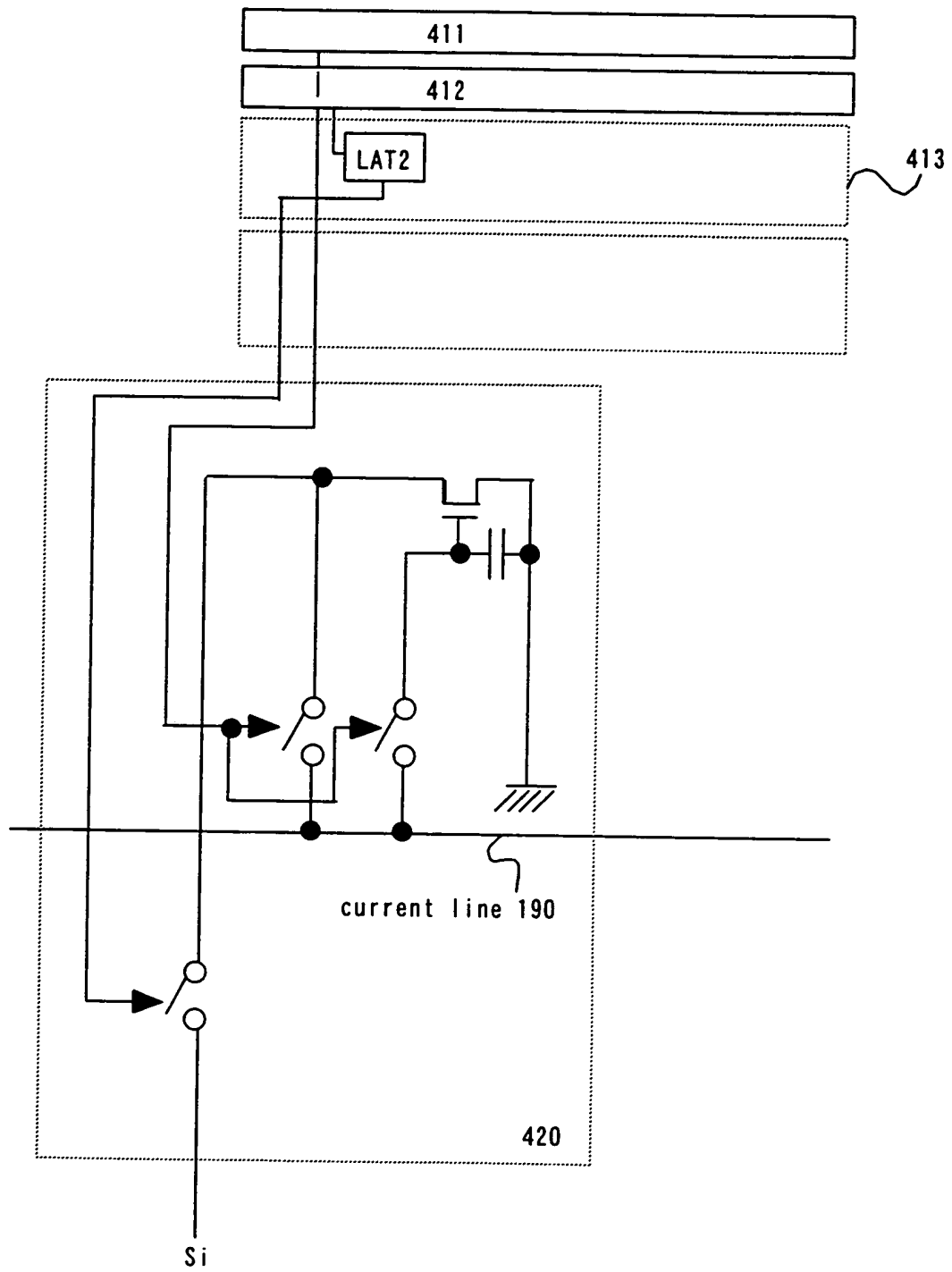


FIG. 48



()

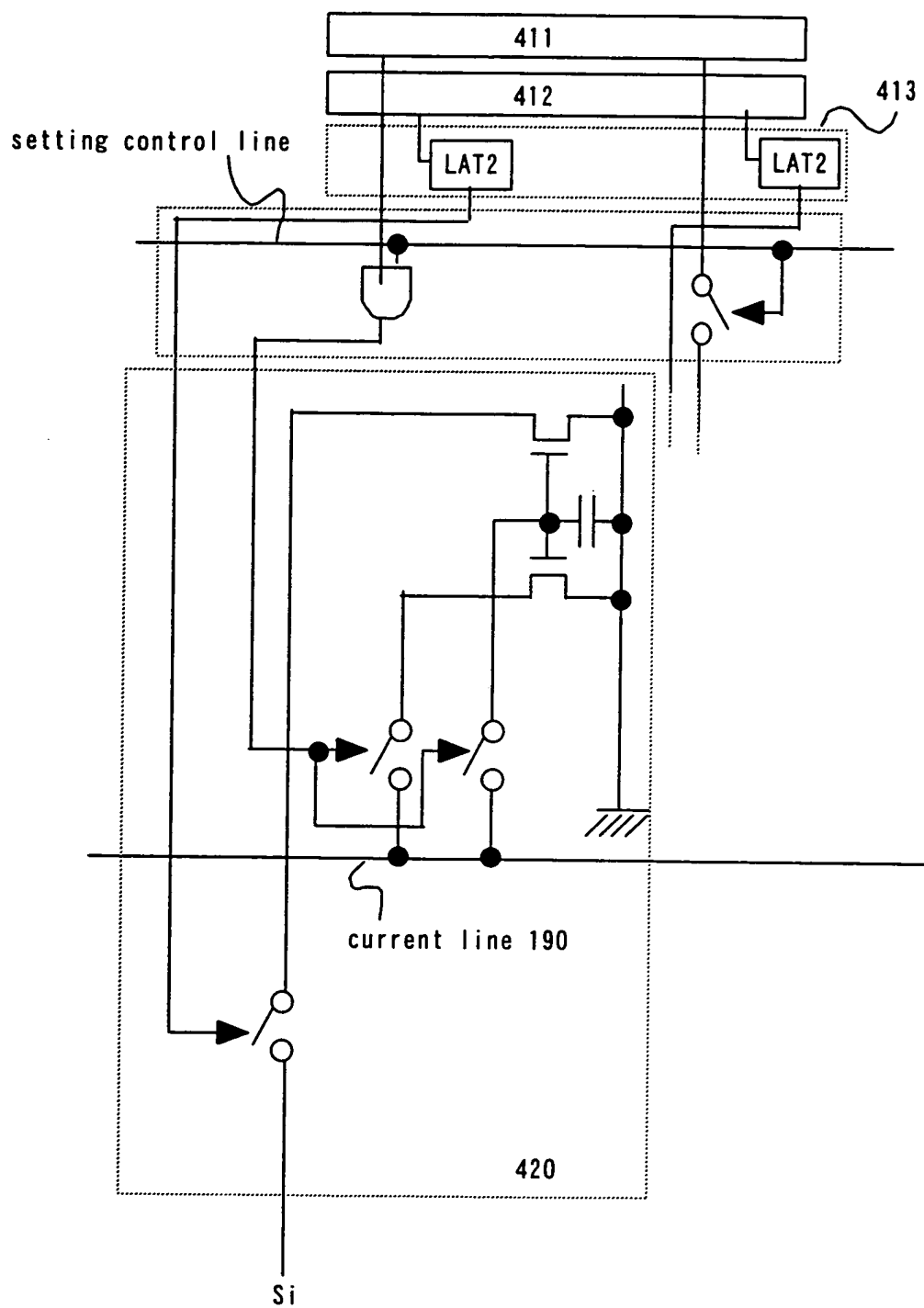


FIG. 50

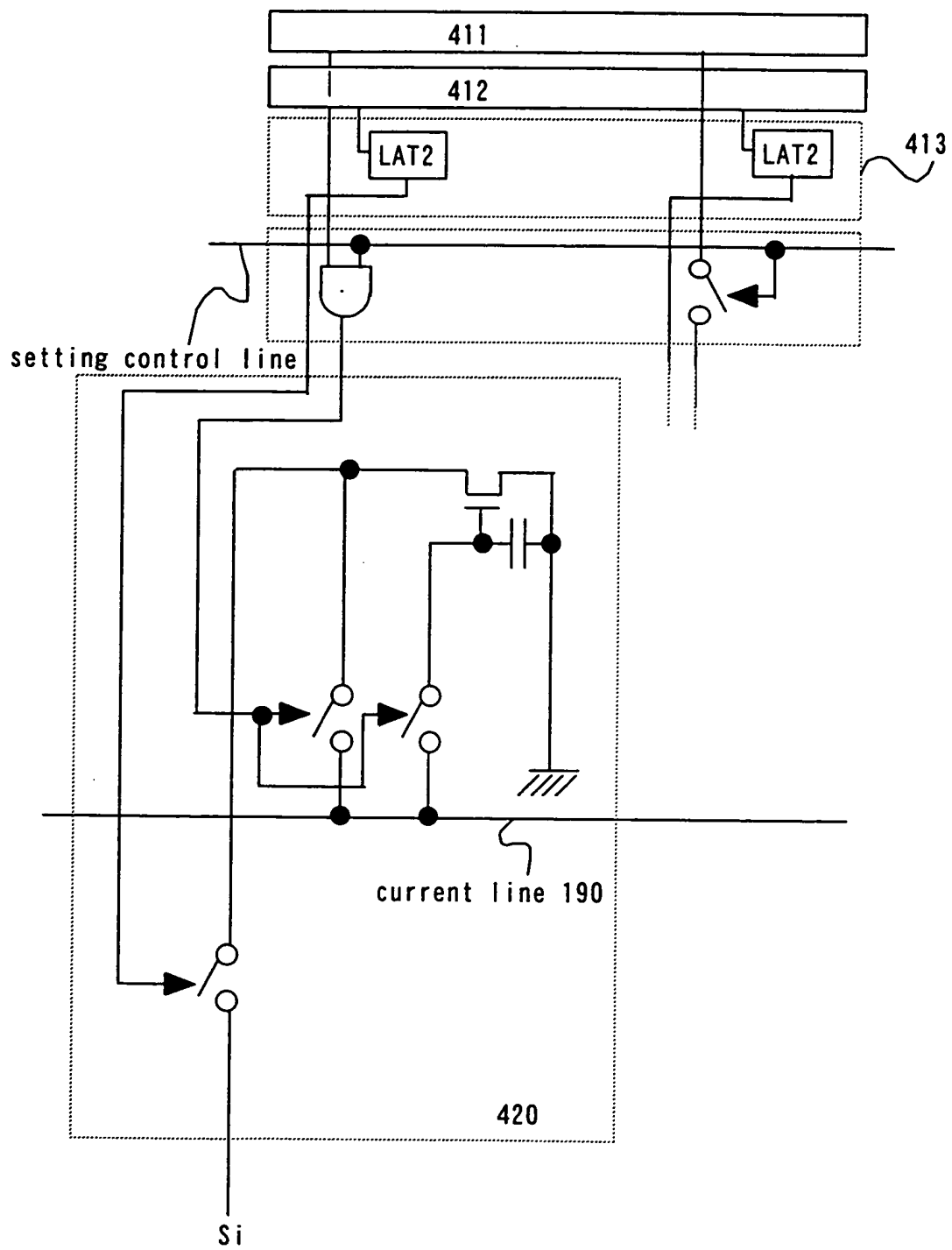


FIG. 51

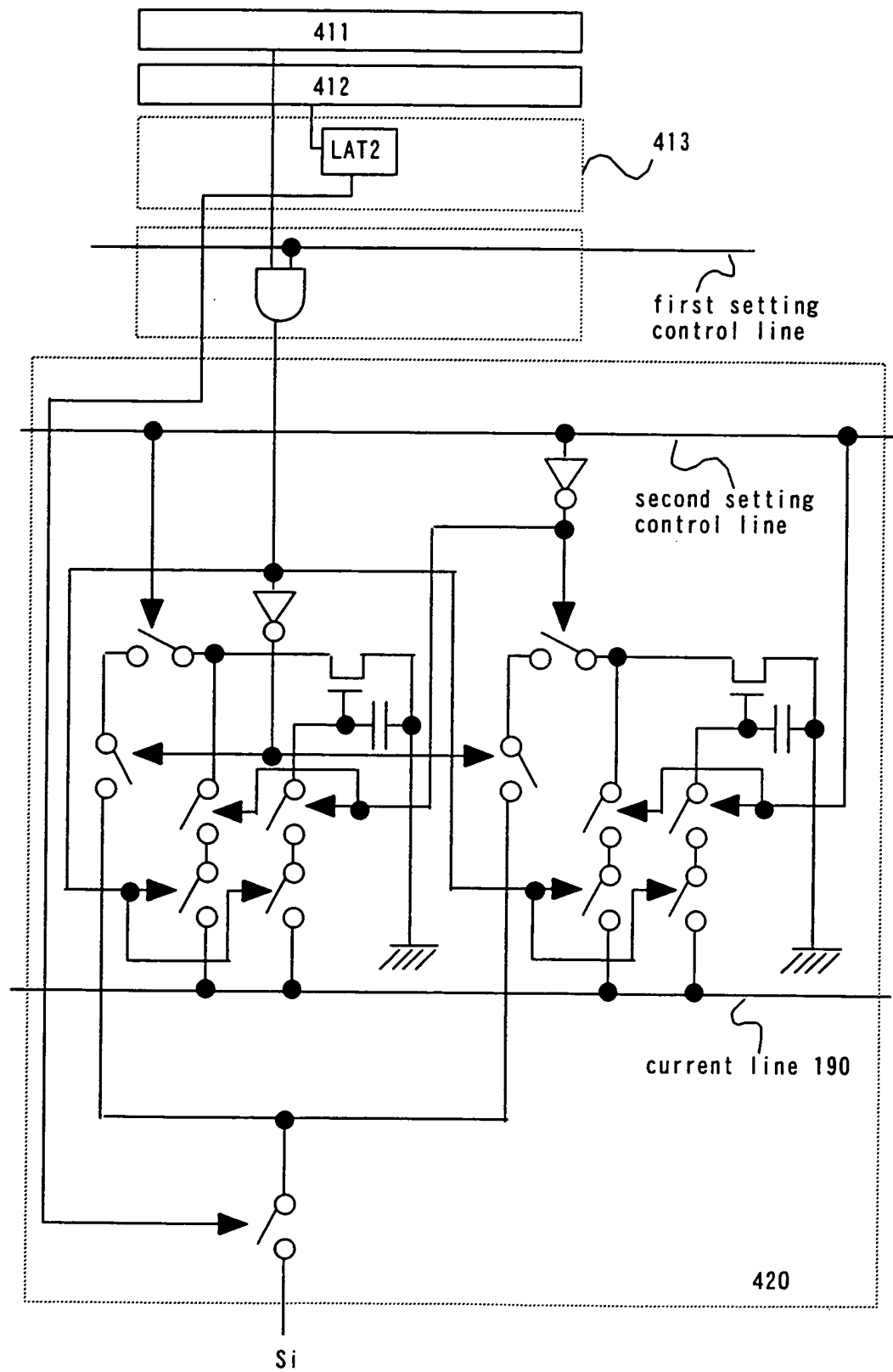


FIG. 52A

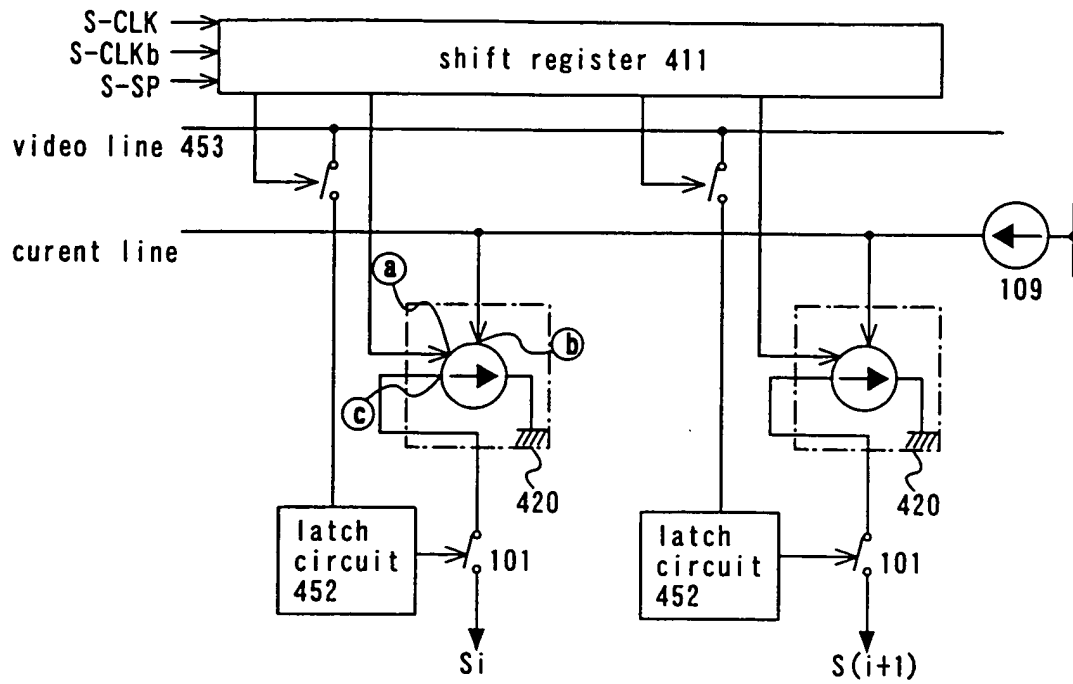


FIG. 52B

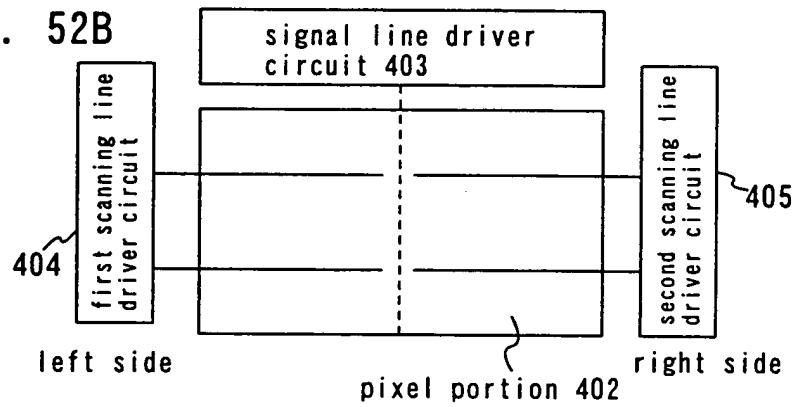
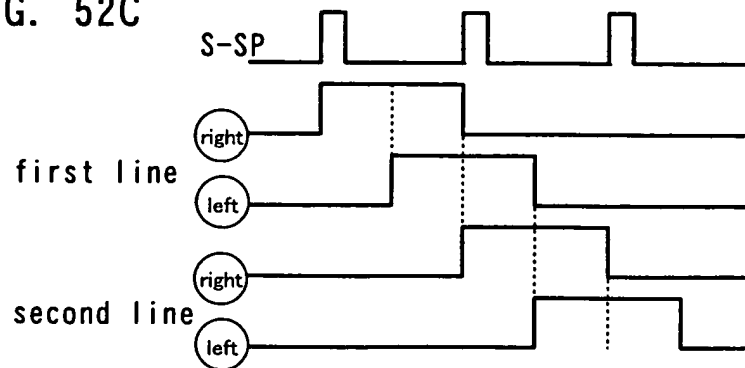


FIG. 52C



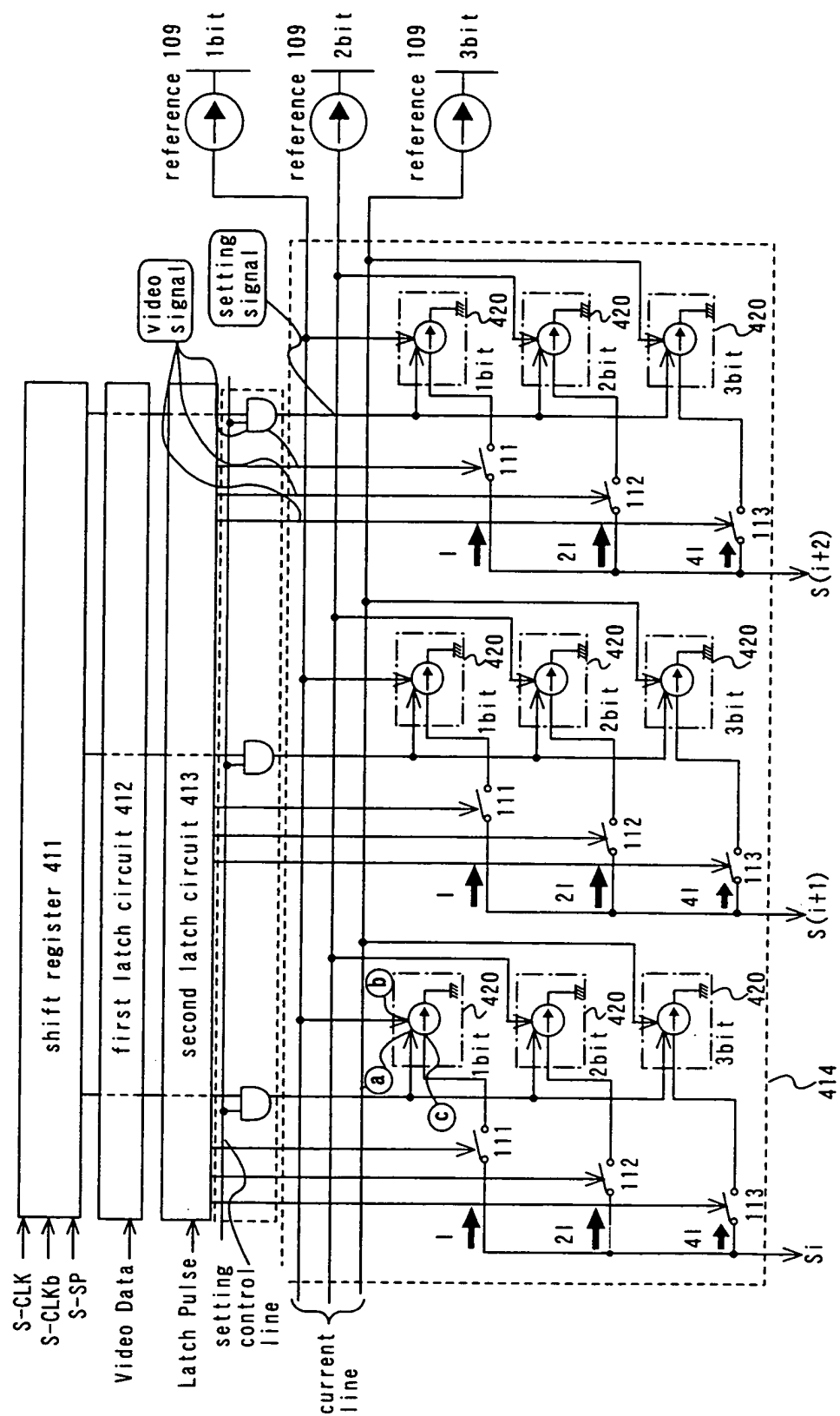


FIG. 53

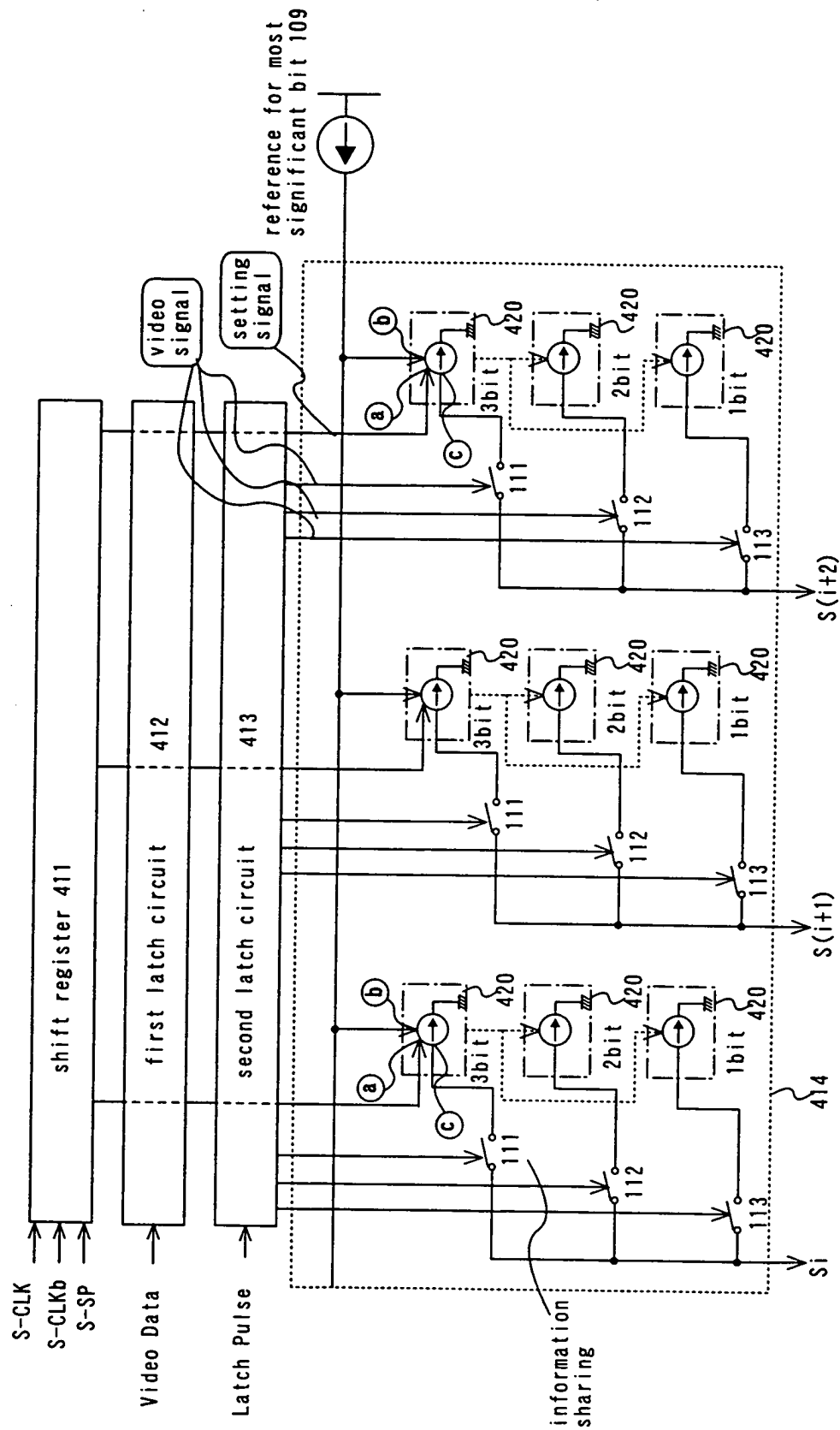


FIG. 54

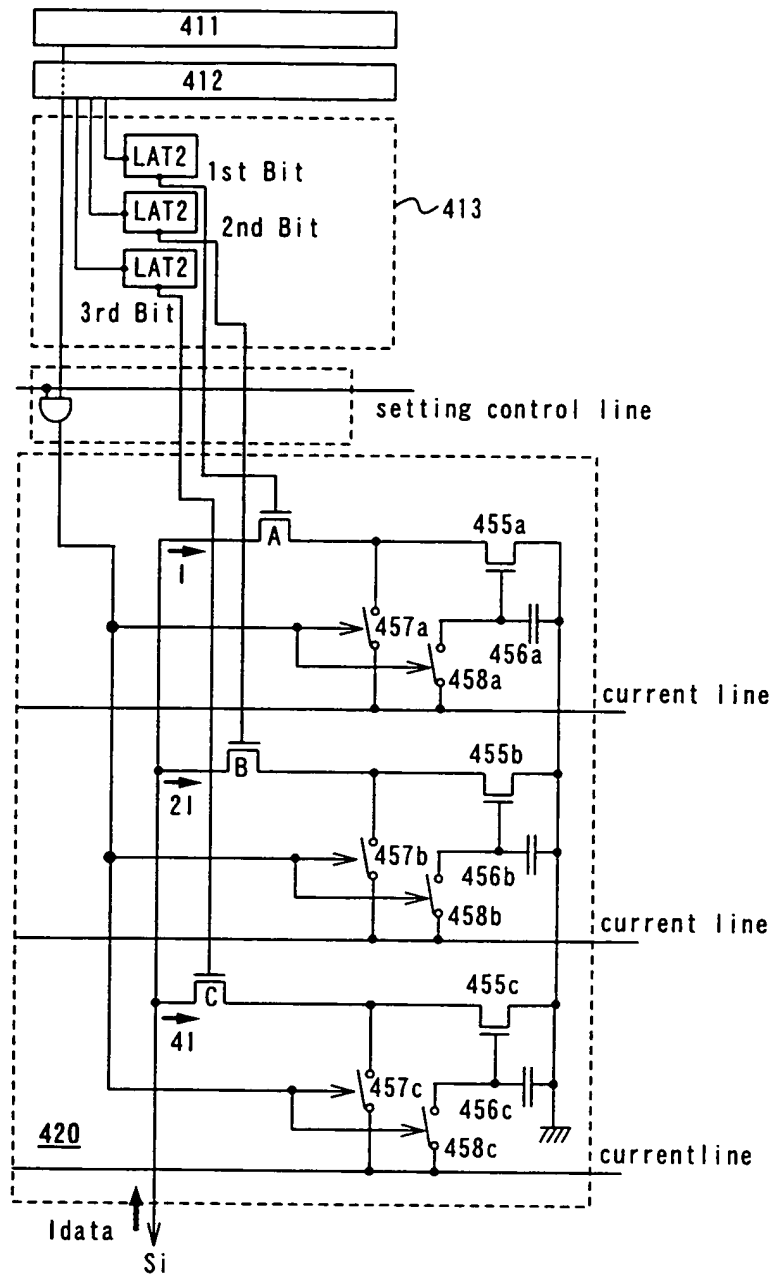


FIG. 55

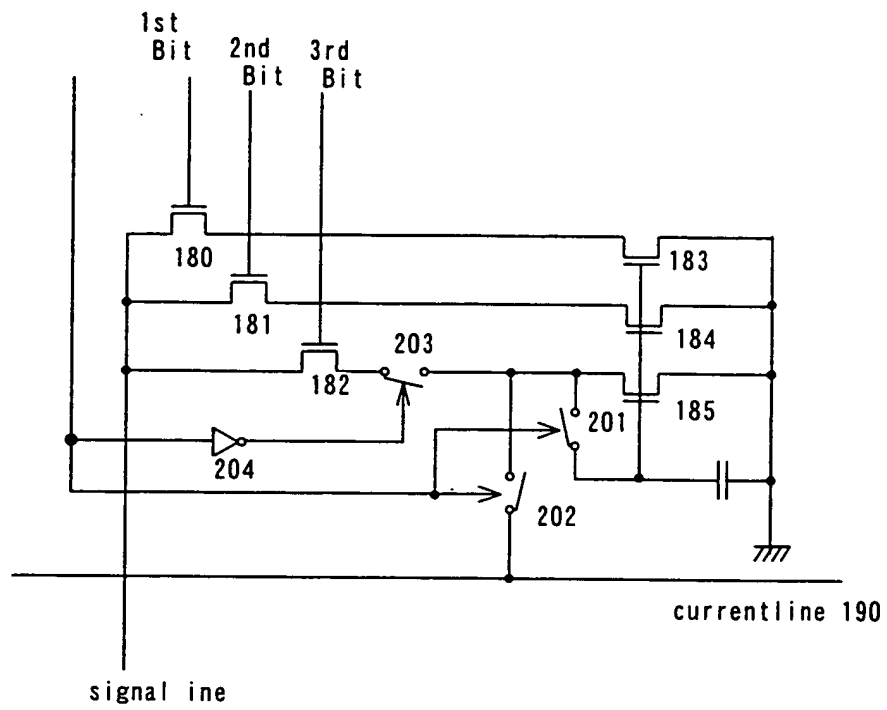


FIG. 56

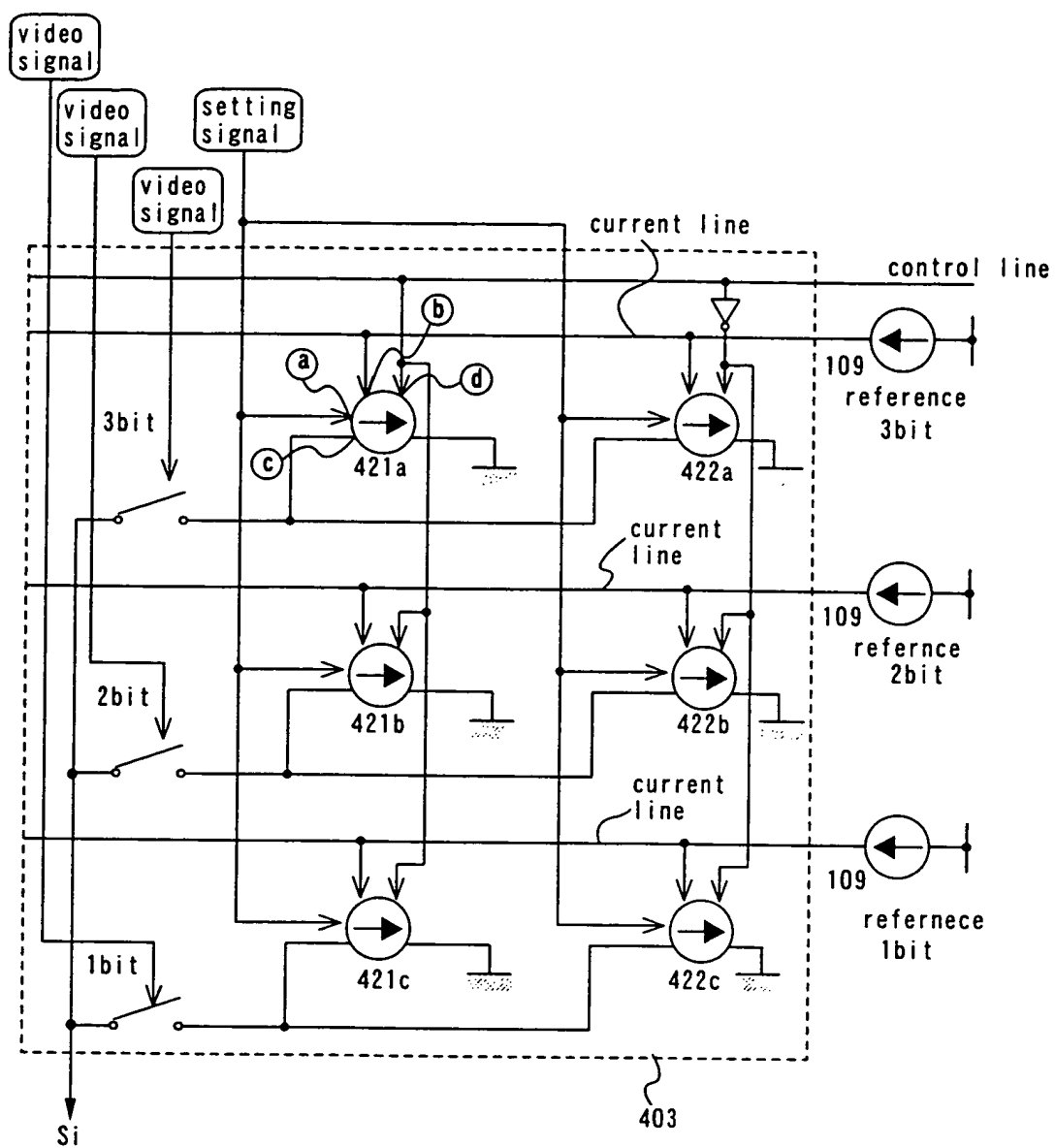


FIG. 57

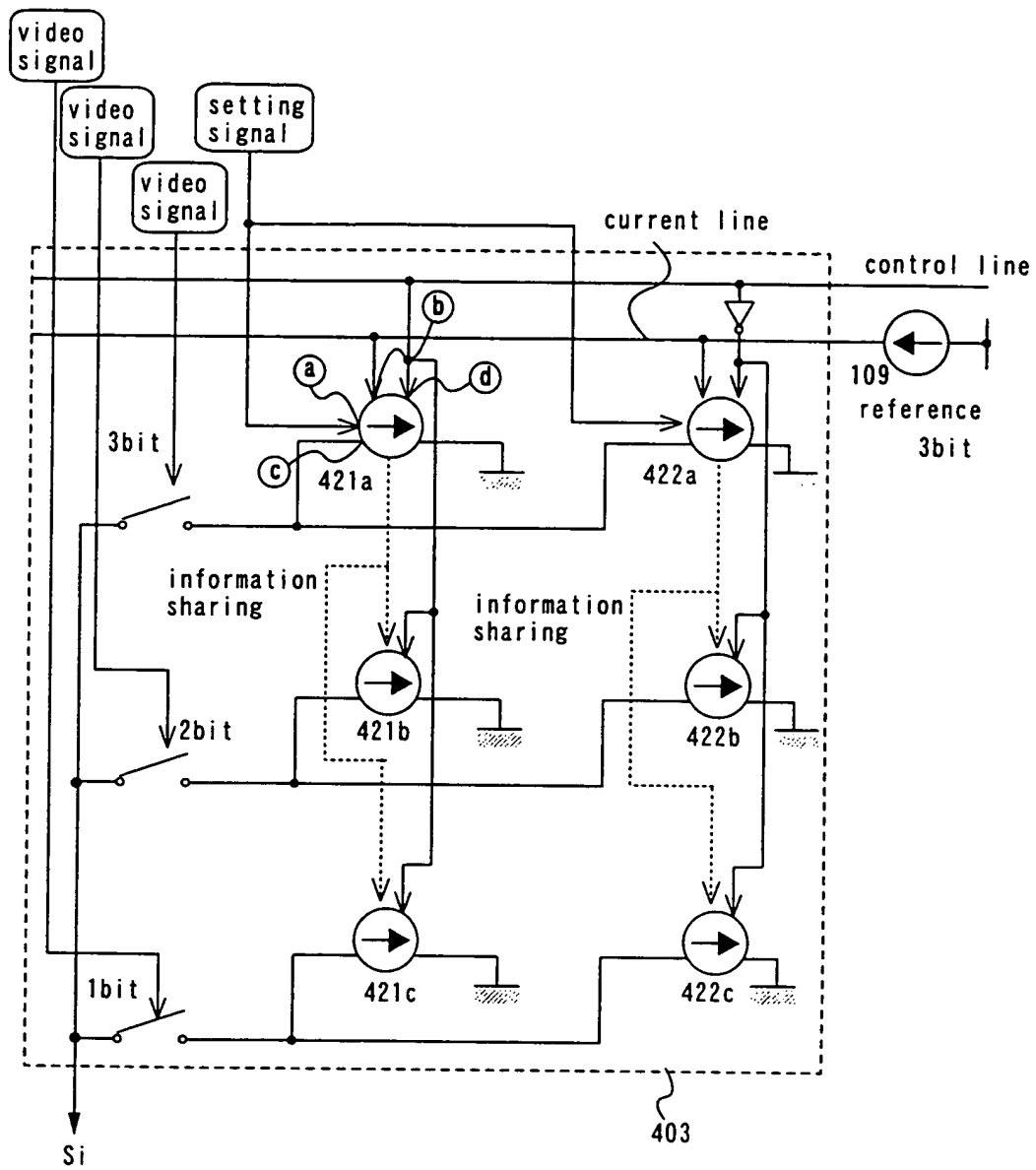


FIG. 58

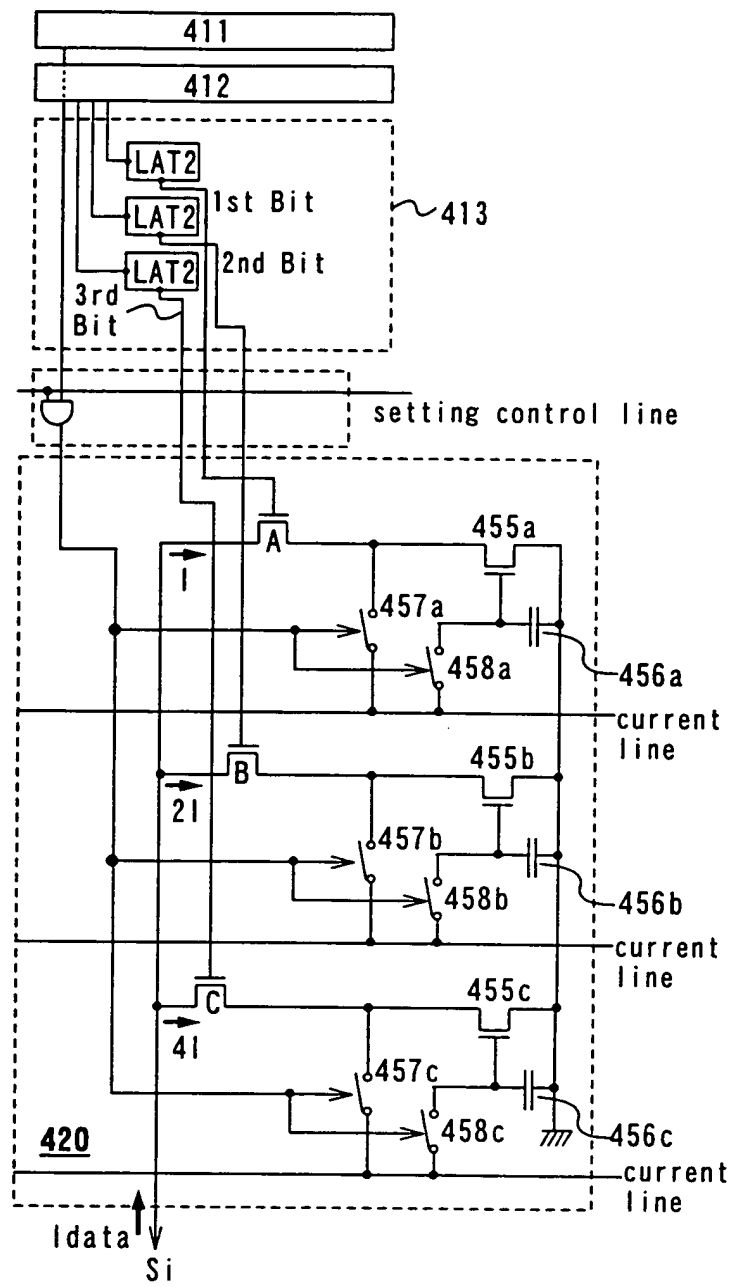


FIG. 59

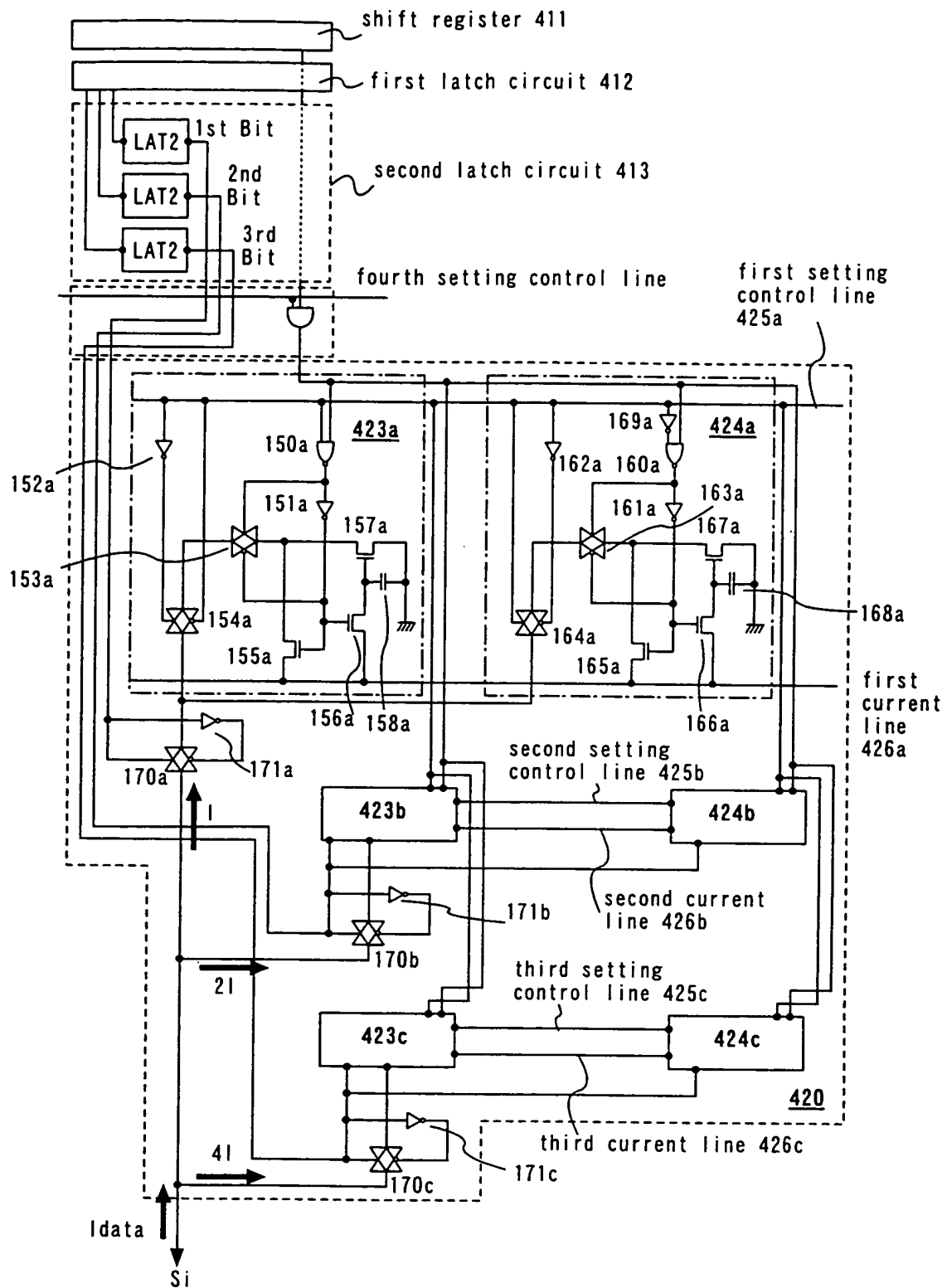


FIG. 60

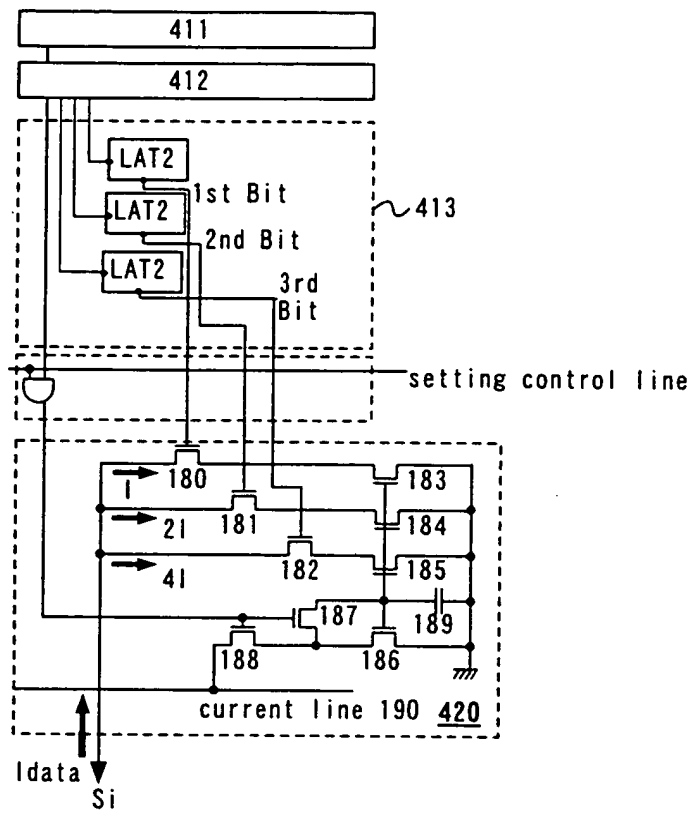


FIG. 61

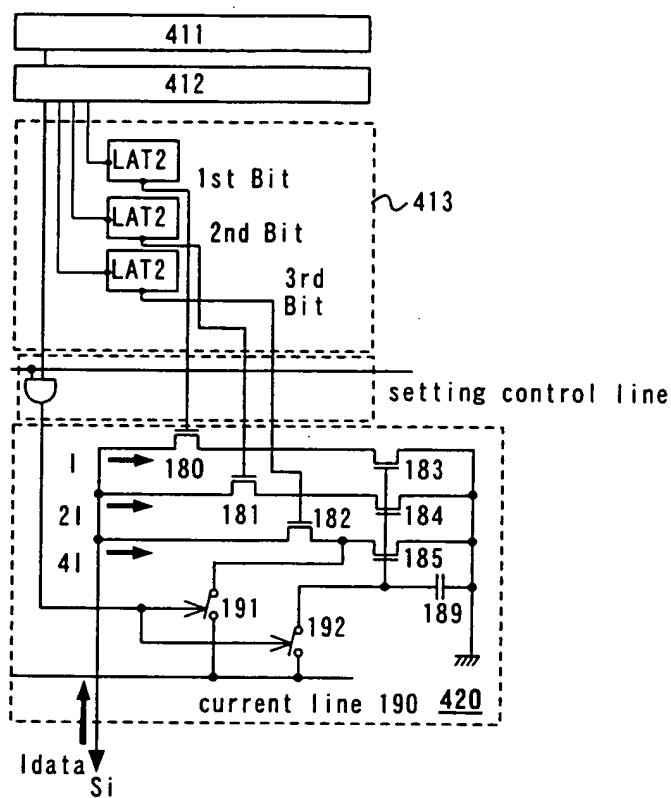


FIG. 62

FIG. 63A

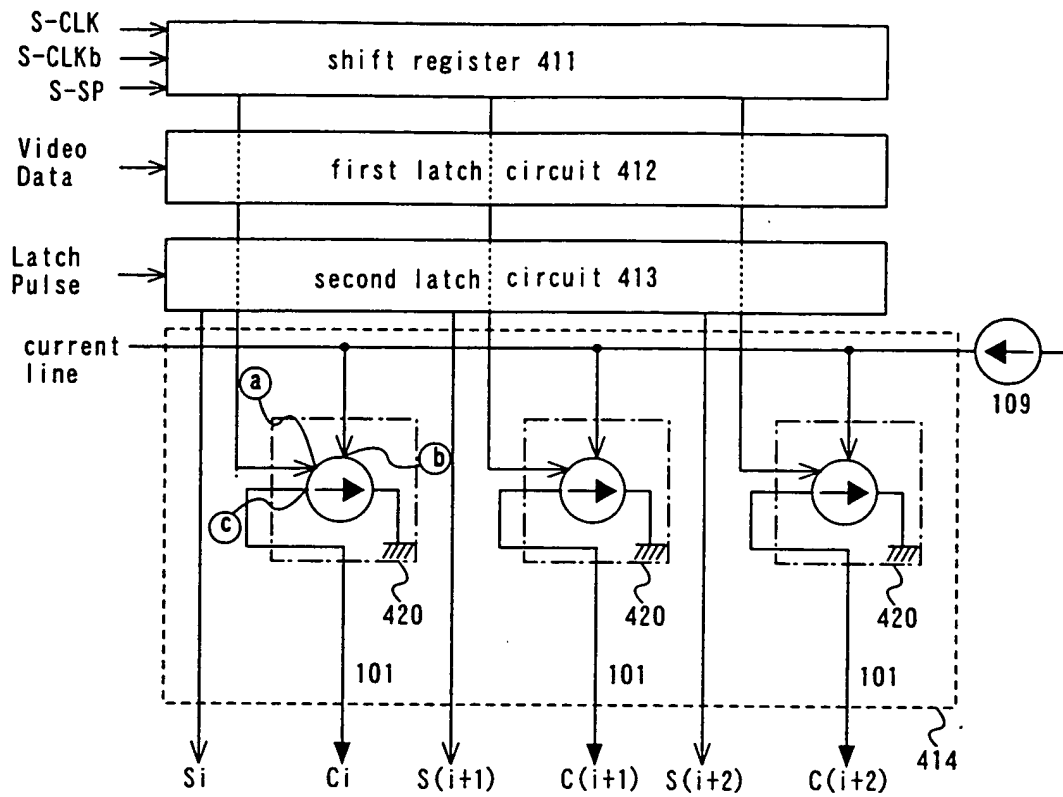


FIG. 63B

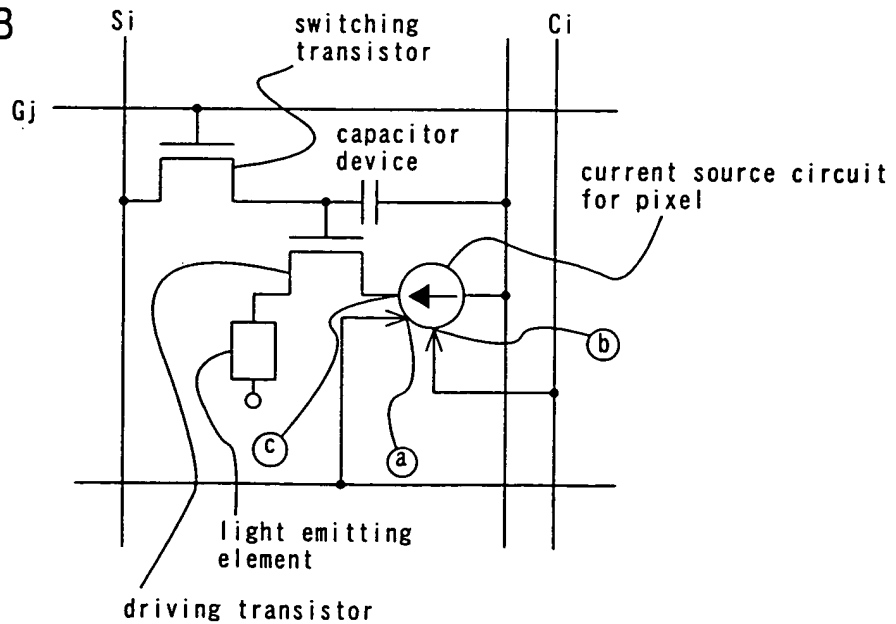


FIG. 64

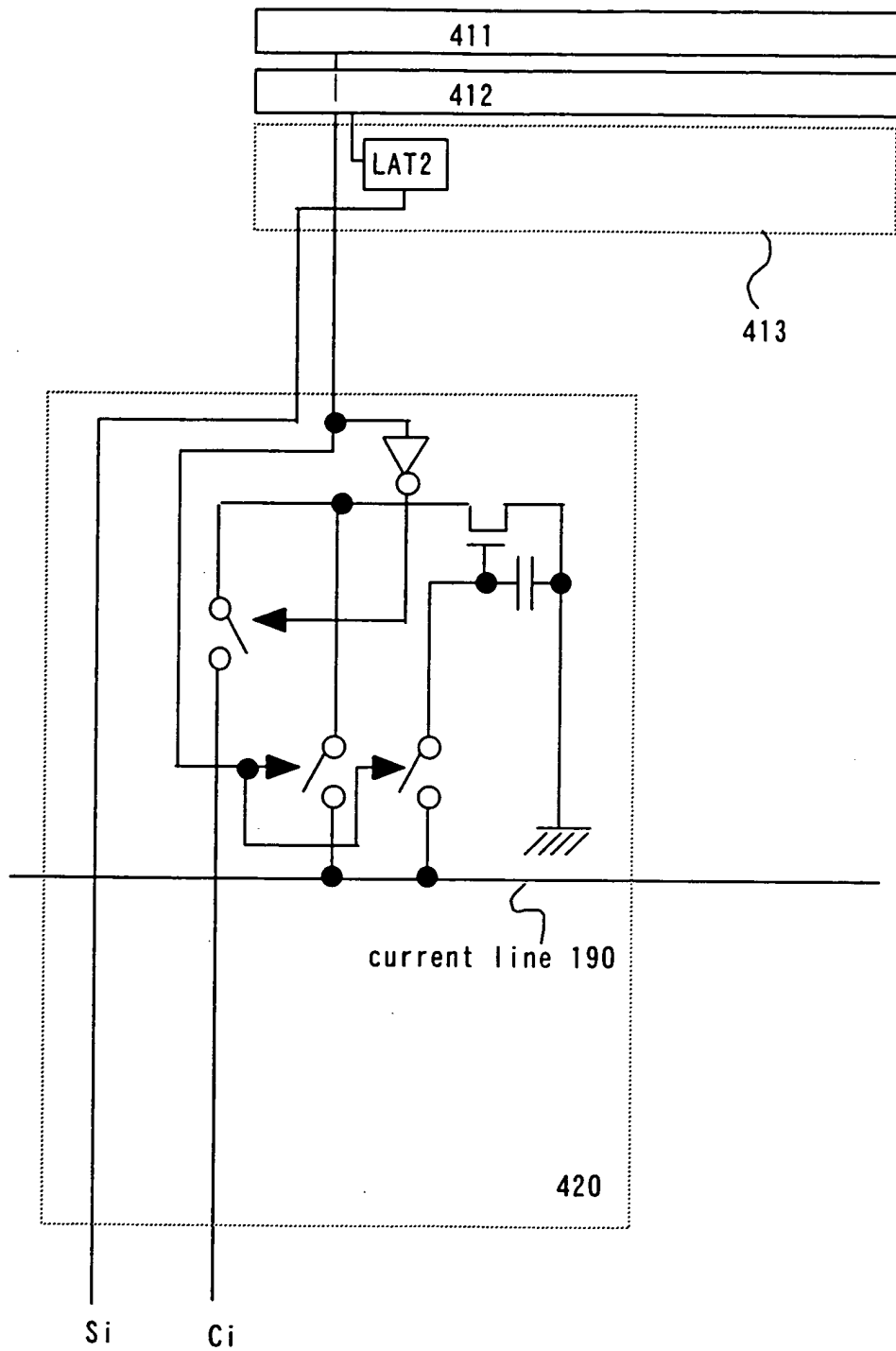


FIG. 65

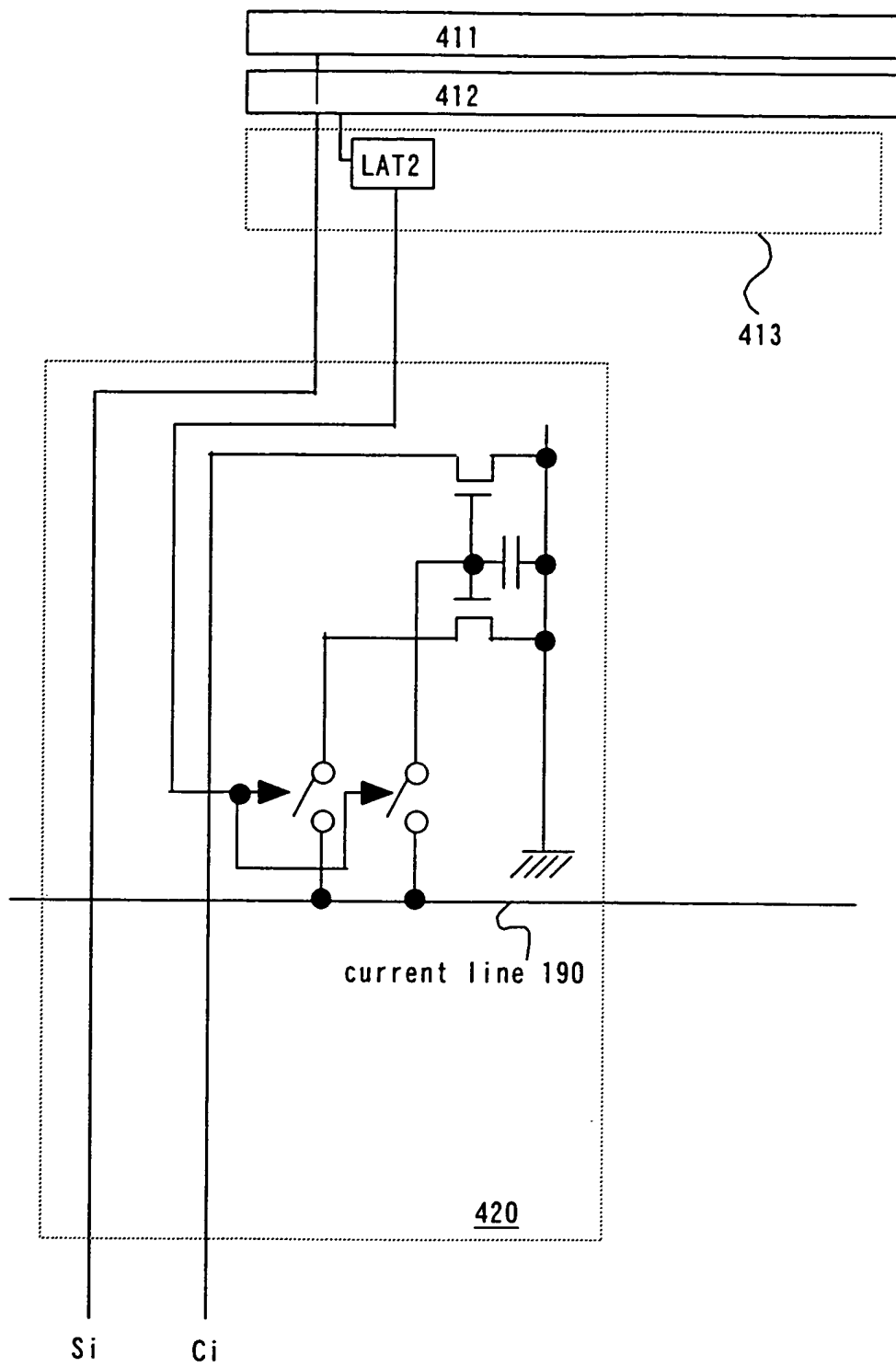


FIG. 66

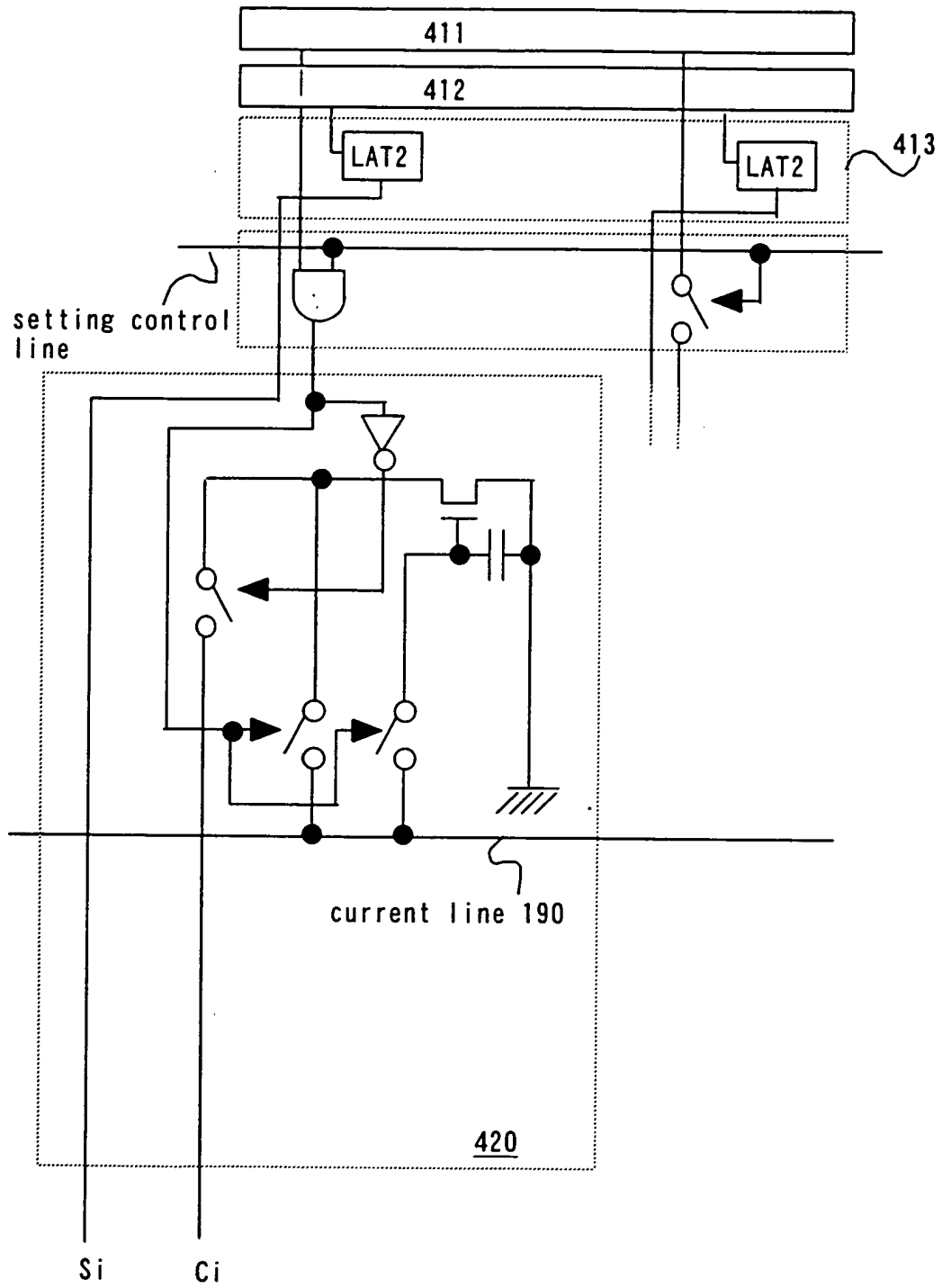


FIG. 67

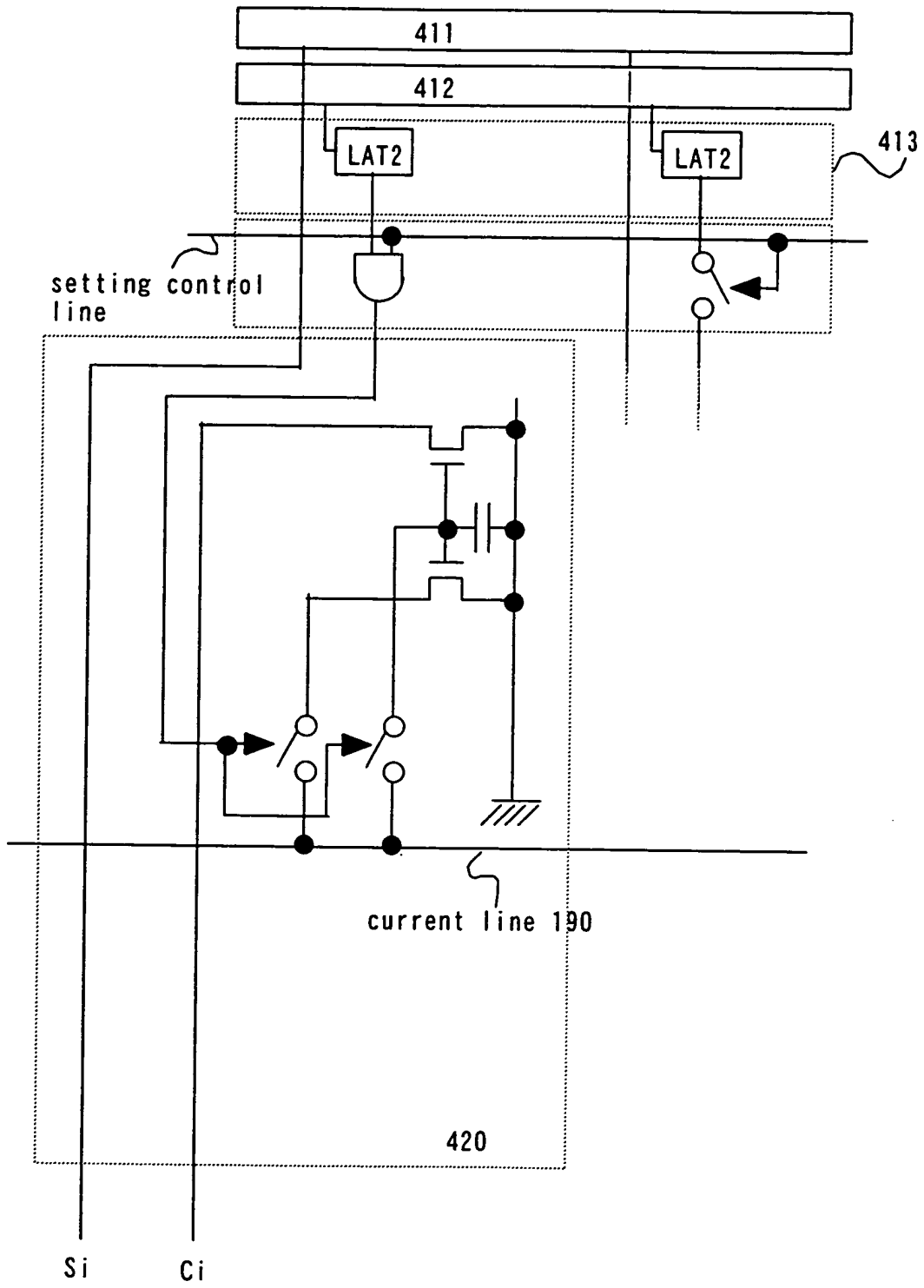


FIG. 68

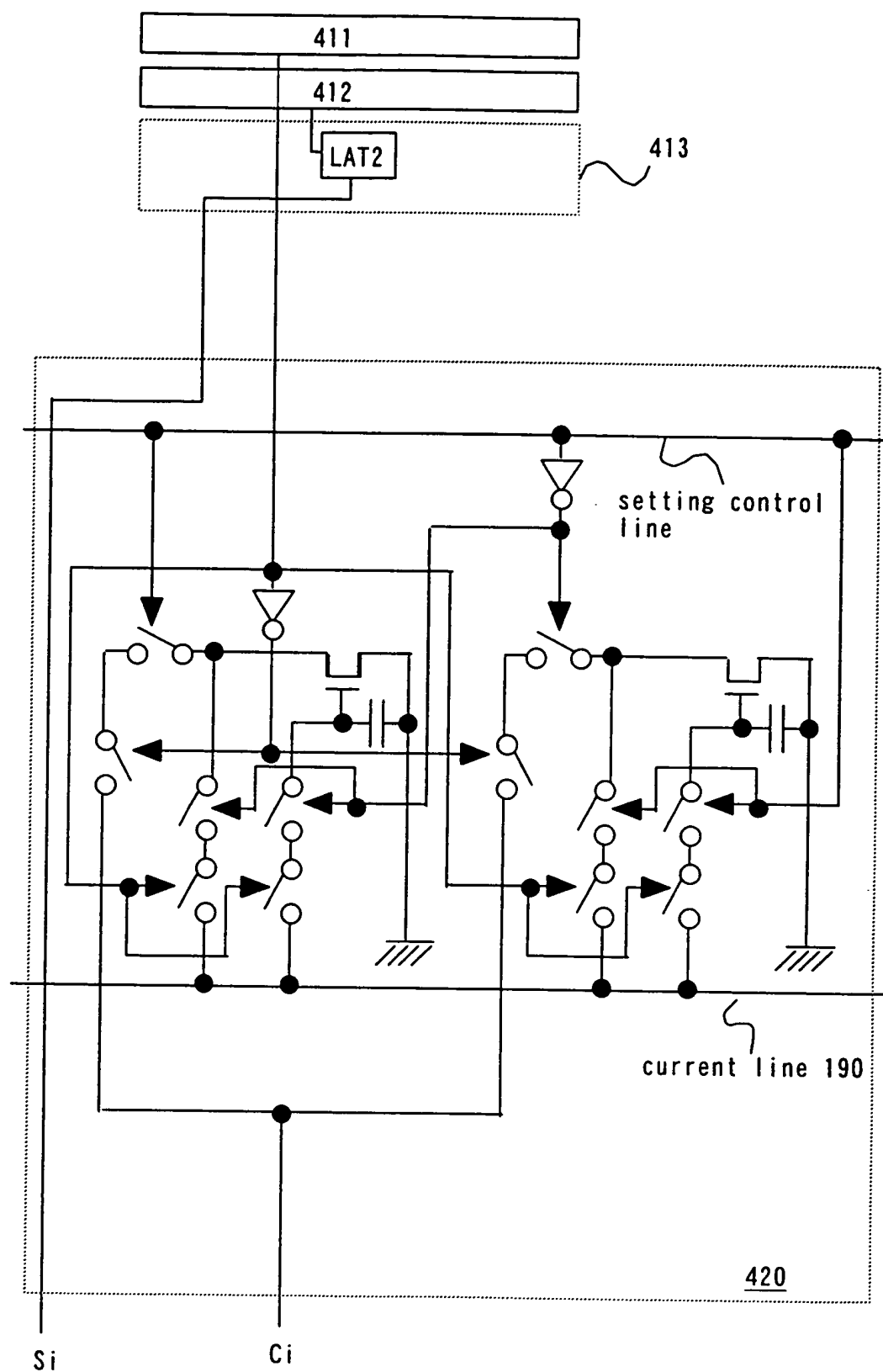


FIG. 69

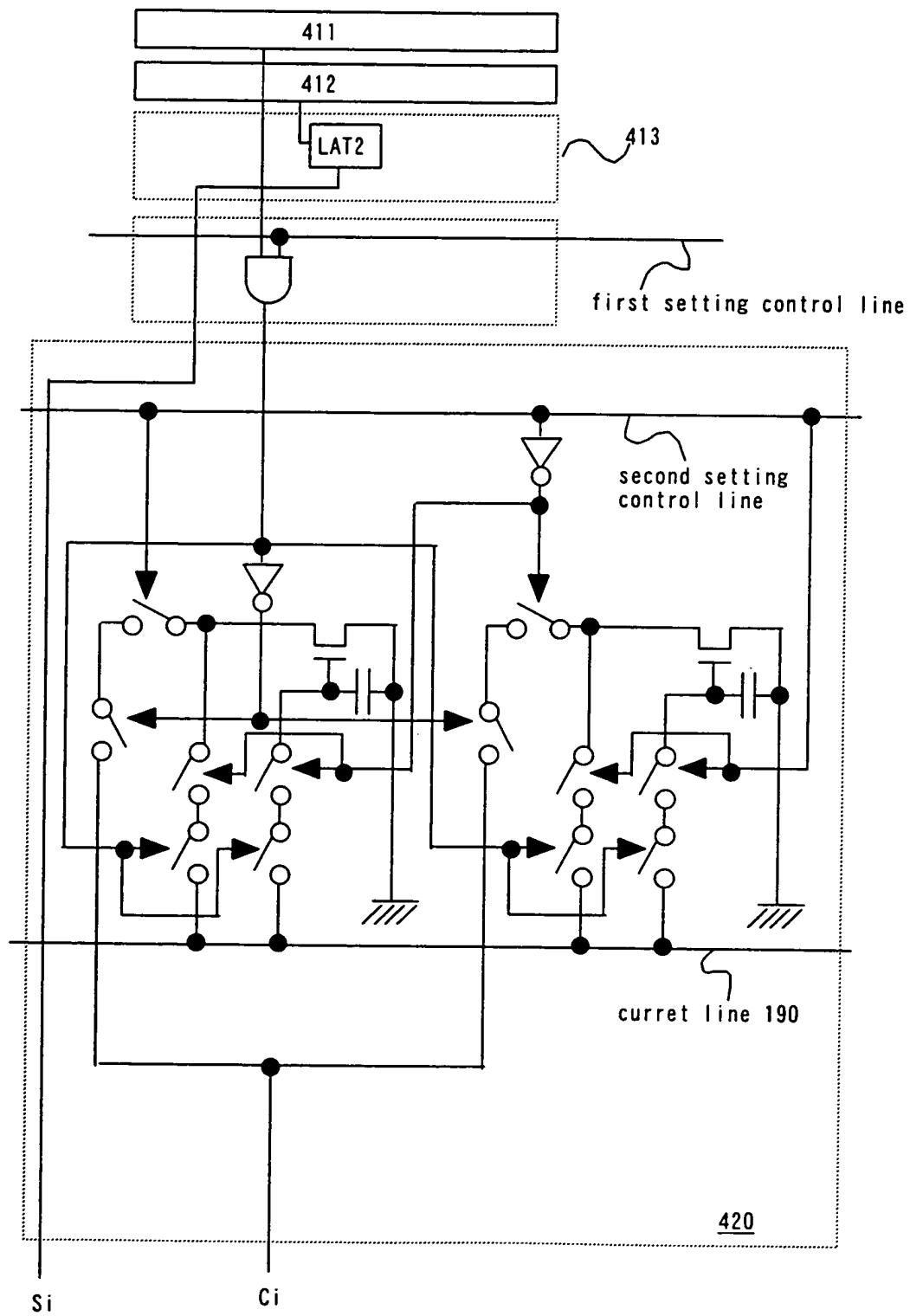


FIG. 70A

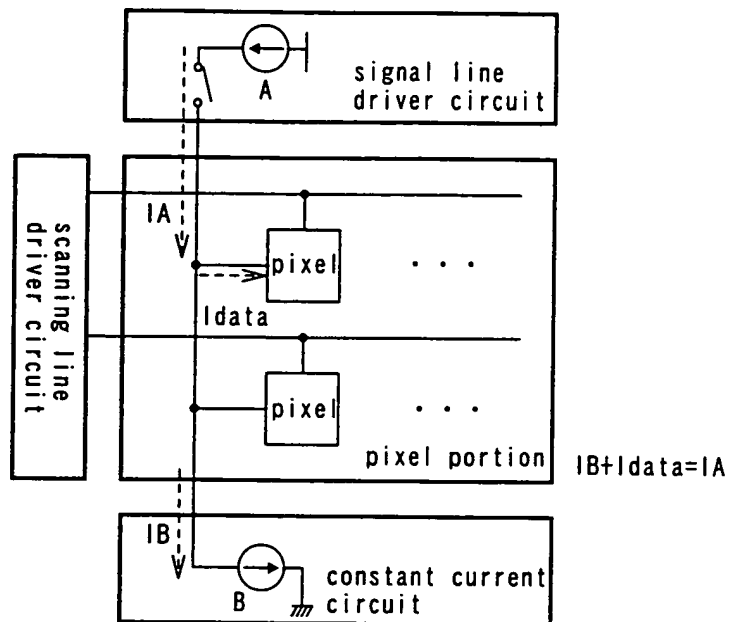


FIG. 70B

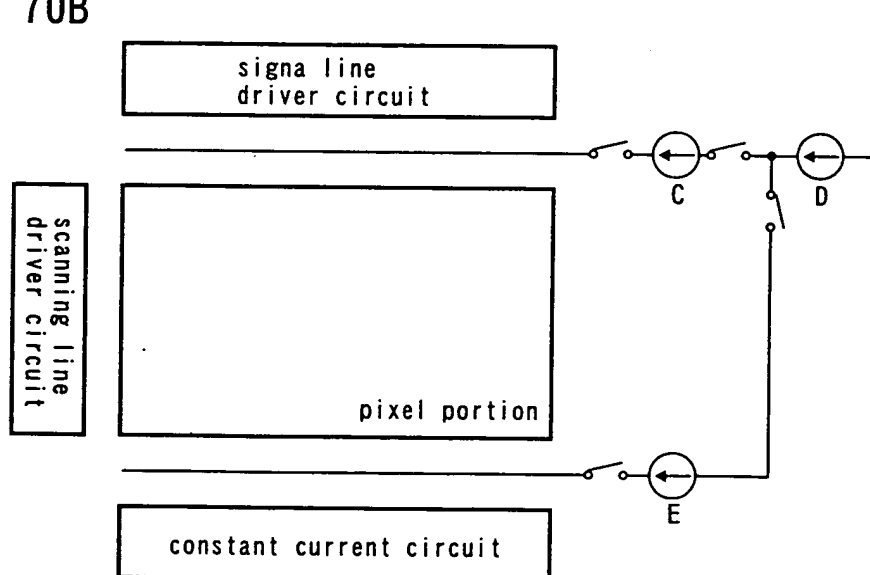


FIG. 71A is a schematic diagram of a circuit. It features a grid of horizontal and vertical lines. A resistor labeled 1136 is connected to a ground symbol (Si) on the left. A capacitor labeled 1129 is connected between two horizontal lines. Several transistors are shown: 1127 and 1126 are connected to a common node, 1133 is connected to a node labeled 1133, and another transistor is connected to a node labeled 1138. Various other components and nodes are labeled with reference numerals: 1121, 1122, 1123, 1129, 1131, 1133, 1136, and 1138. The bottom of the diagram is labeled Si, Vdd, and Ci.

The diagram shows a cross-section of a 1T1C1R1B1S1 structure. It features a substrate (Si) at the bottom, a gate stack (1121) on top, and a series of gates (1122, 1123, 1131, 1133) and a drain gate (1138). A source region (1127) is connected to ground, and a drain region (1126) is connected to Vdd. A resistor (1136) is connected between the source and the drain. A capacitor (1129) is connected between the drain and the gate stack. A bit line (1137) is connected to the drain region.

FIG. 72

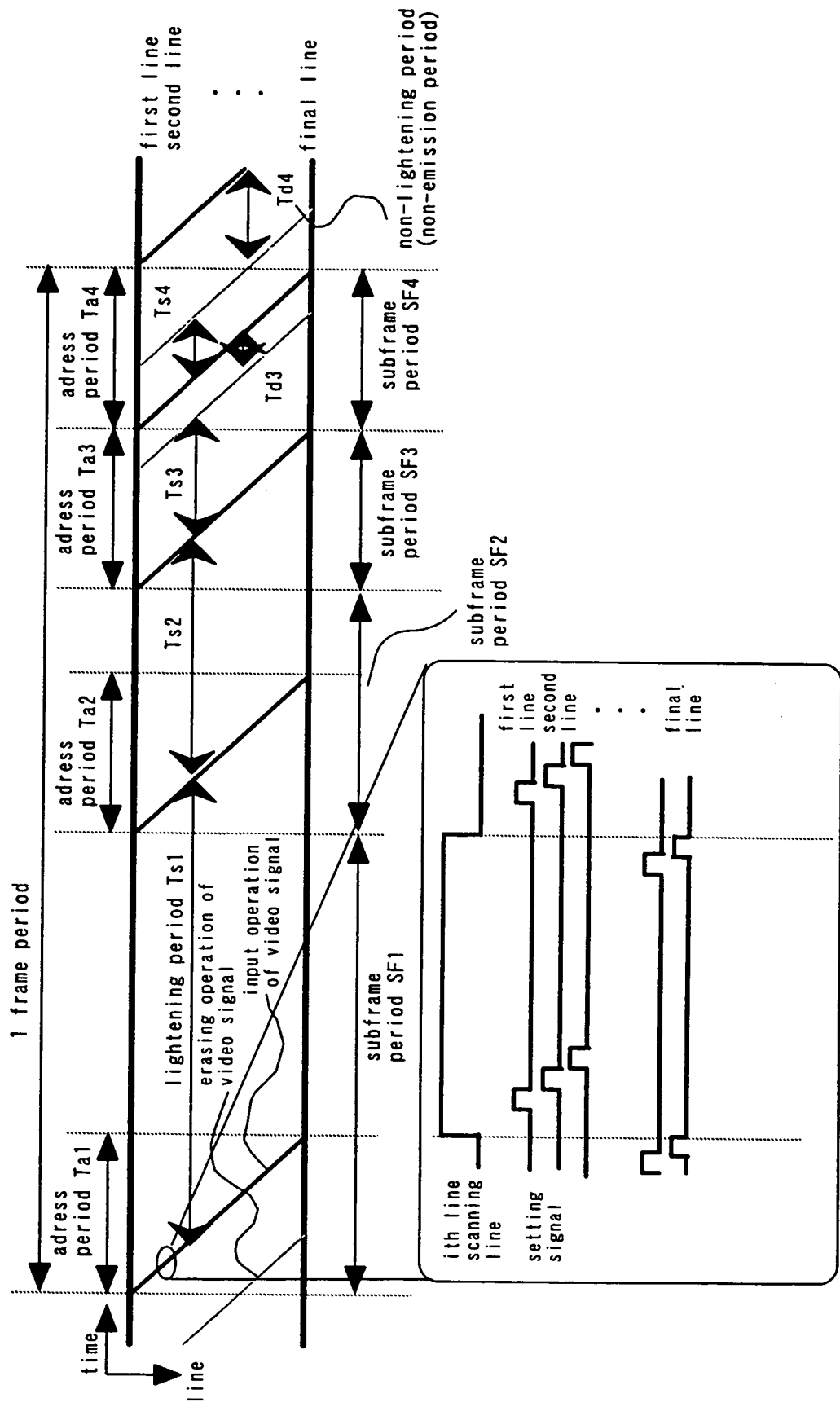


FIG. 73

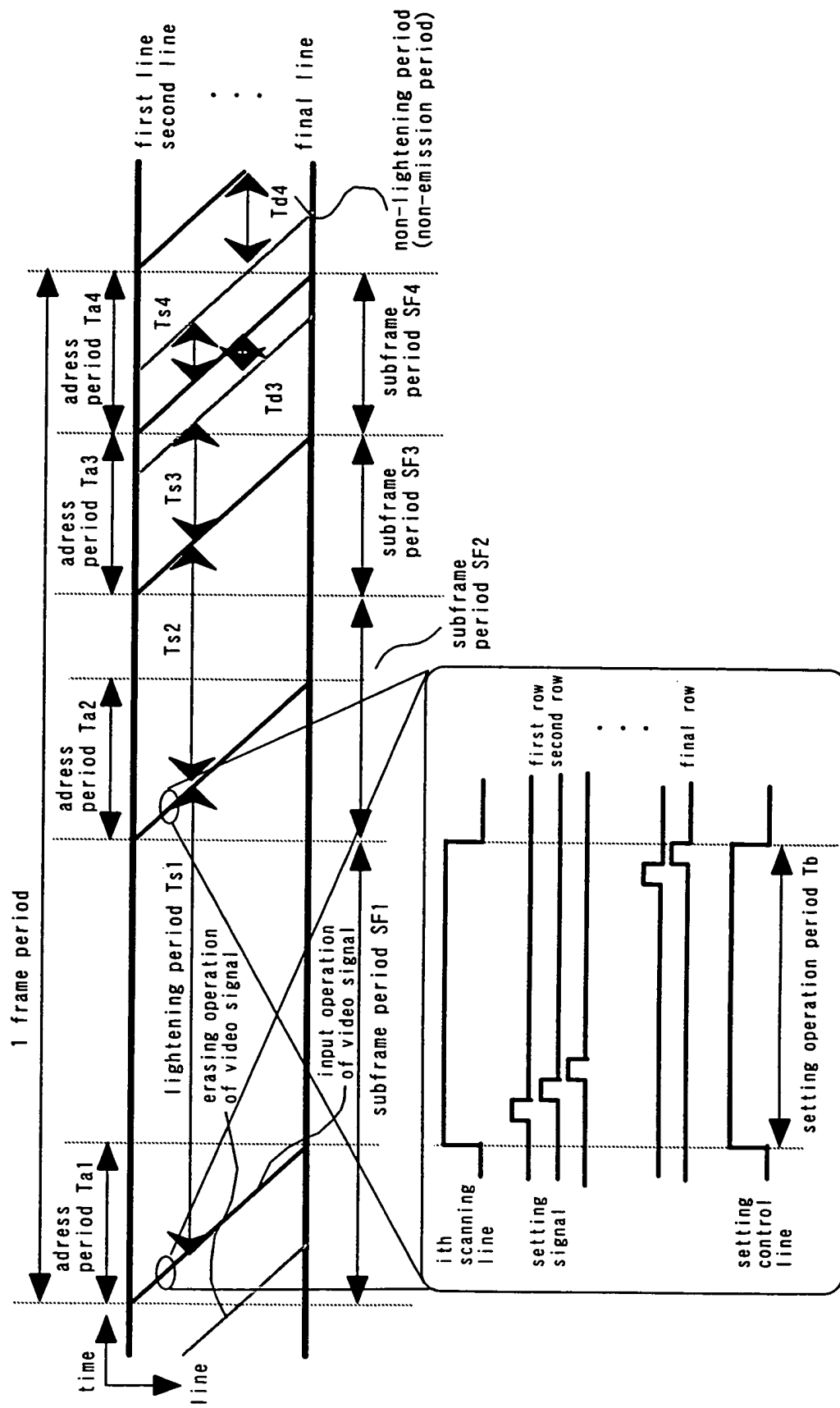


FIG. 74

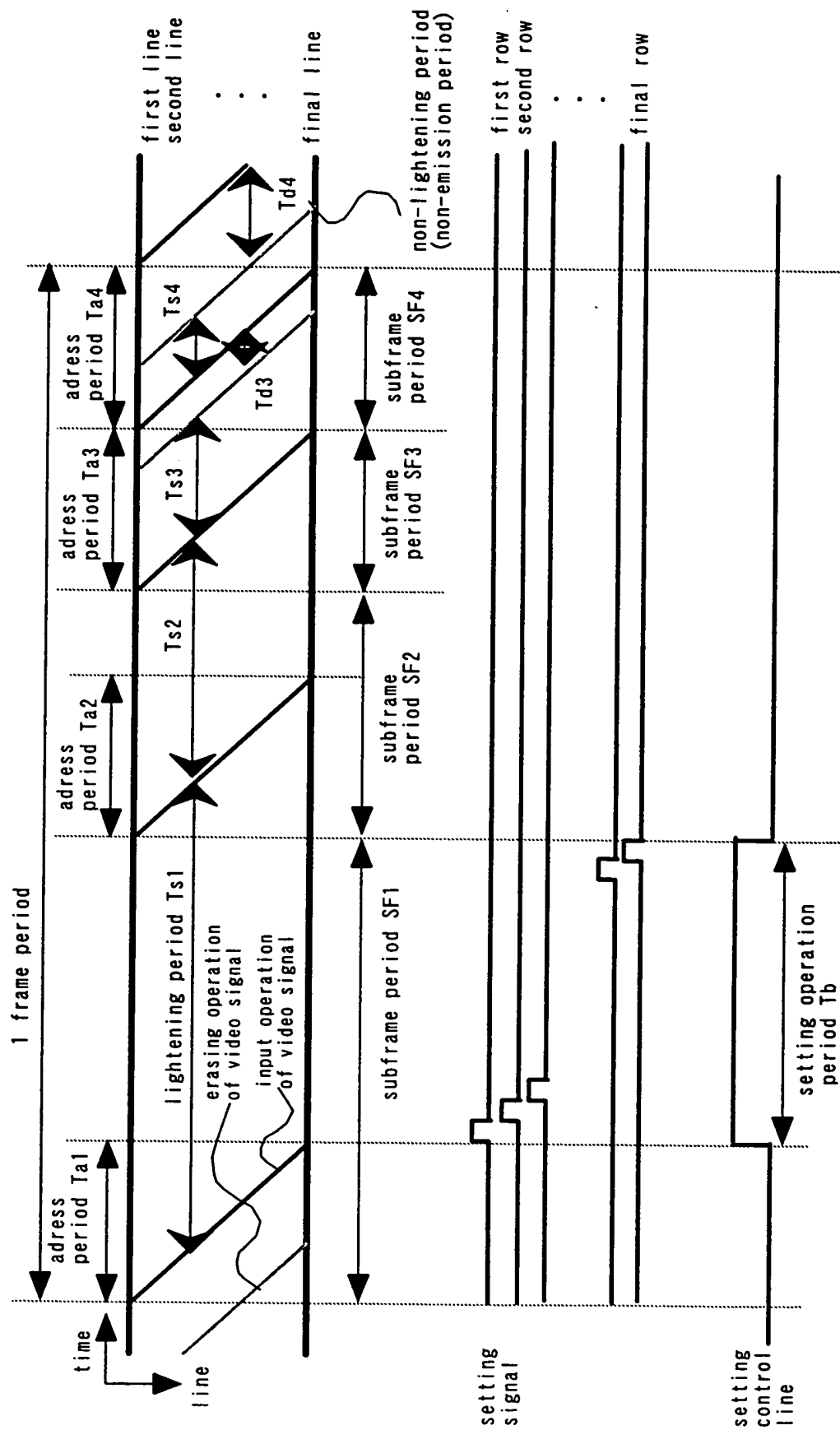


FIG. 75

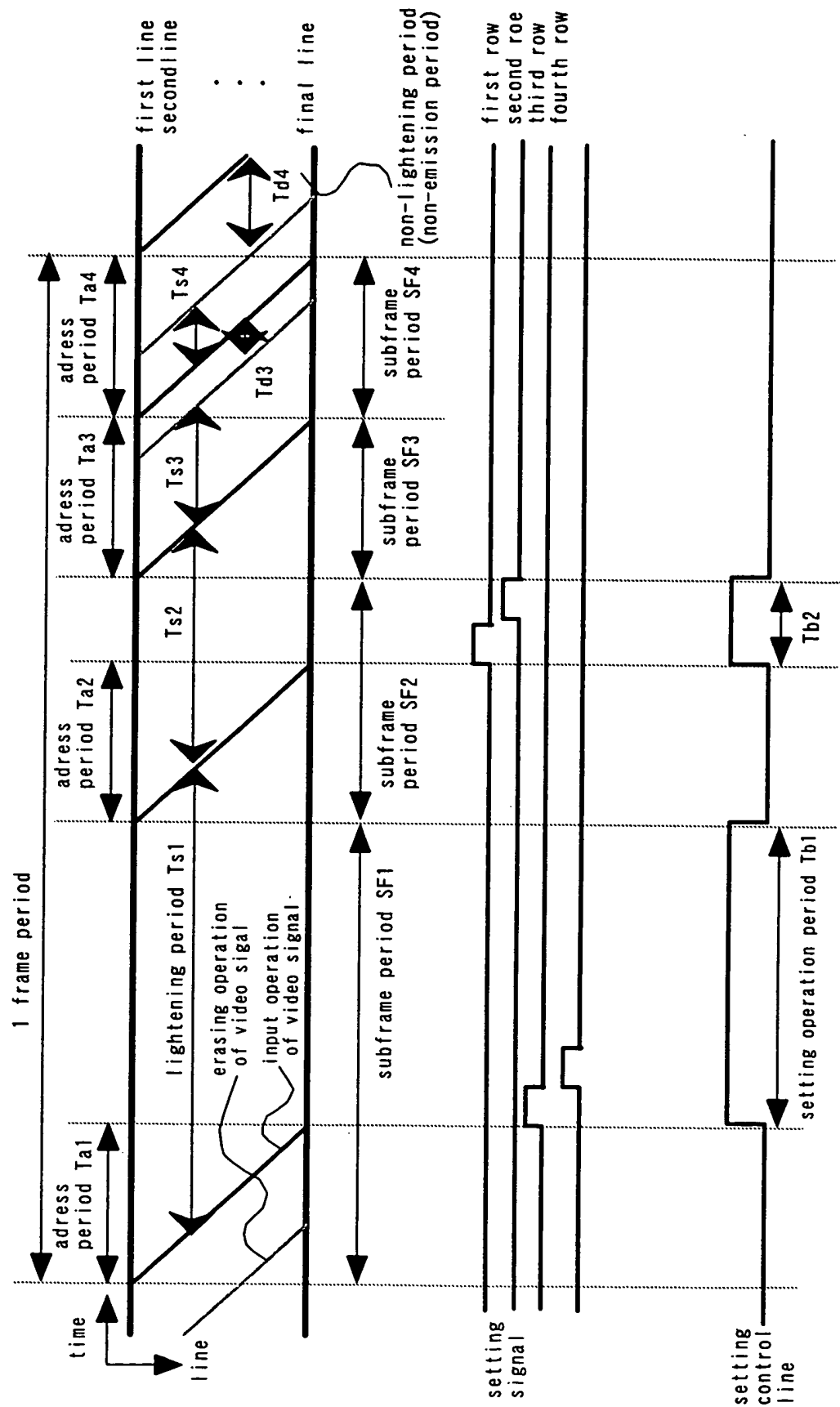


FIG. 76

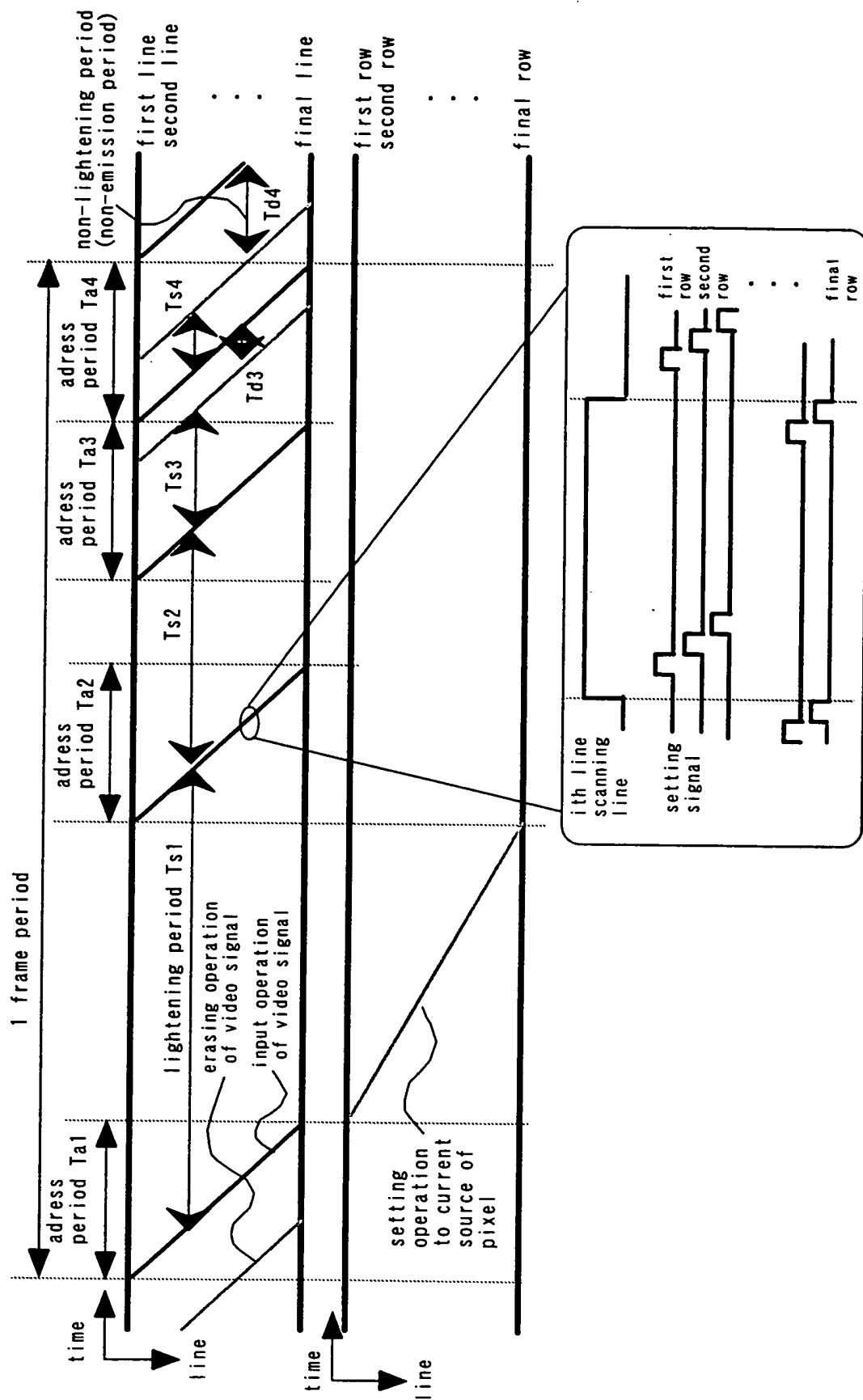


FIG. 77

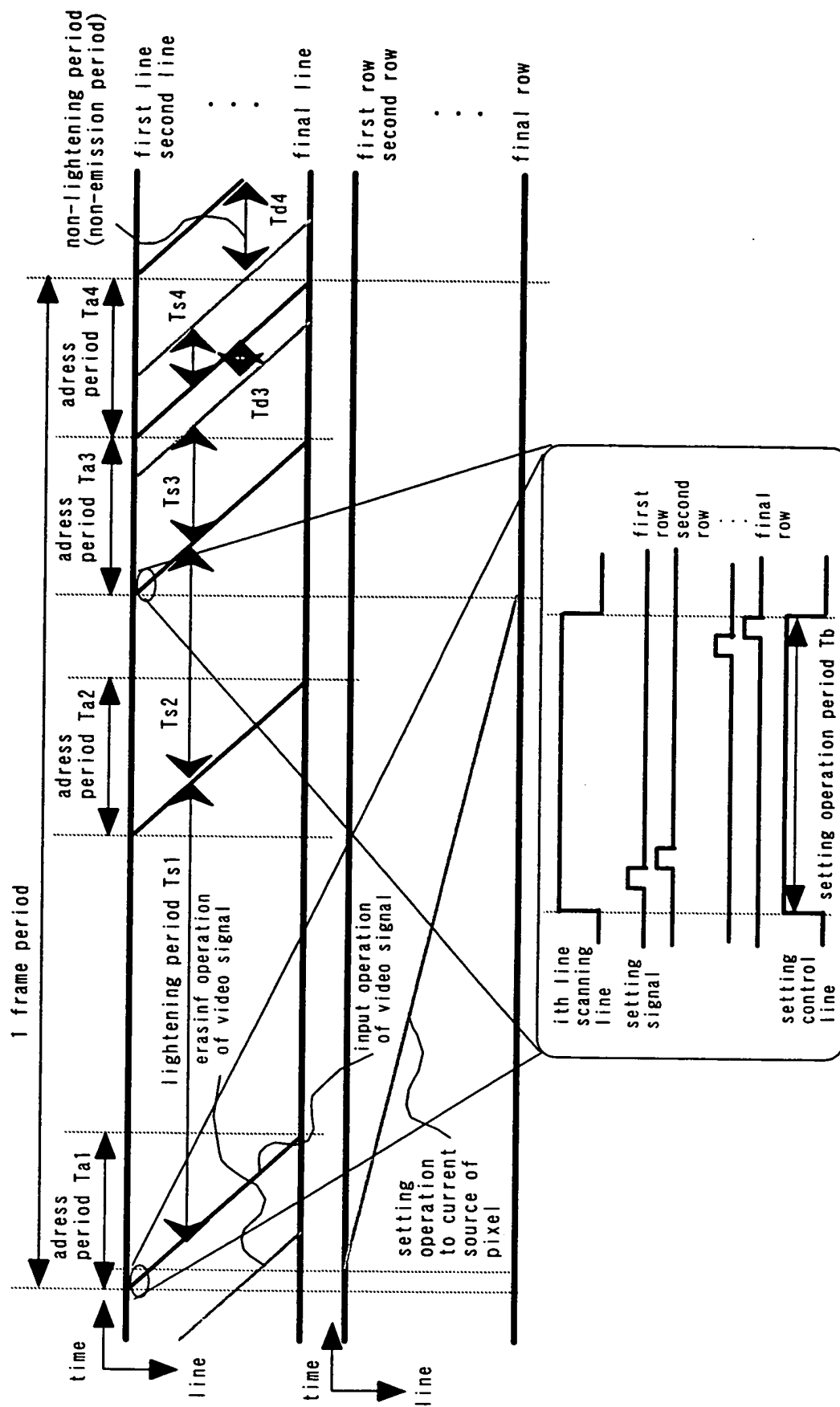


FIG. 78

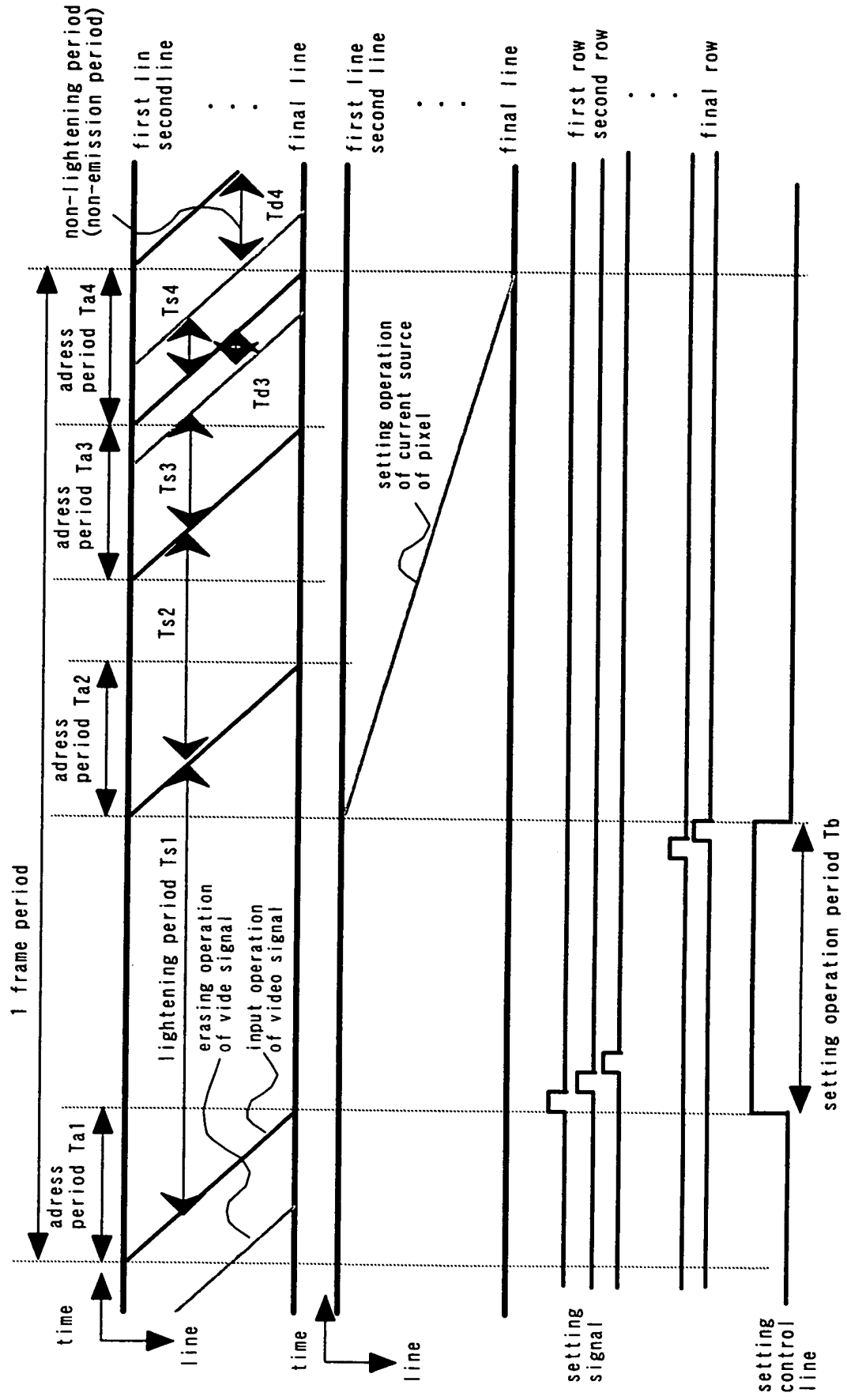


FIG. 79

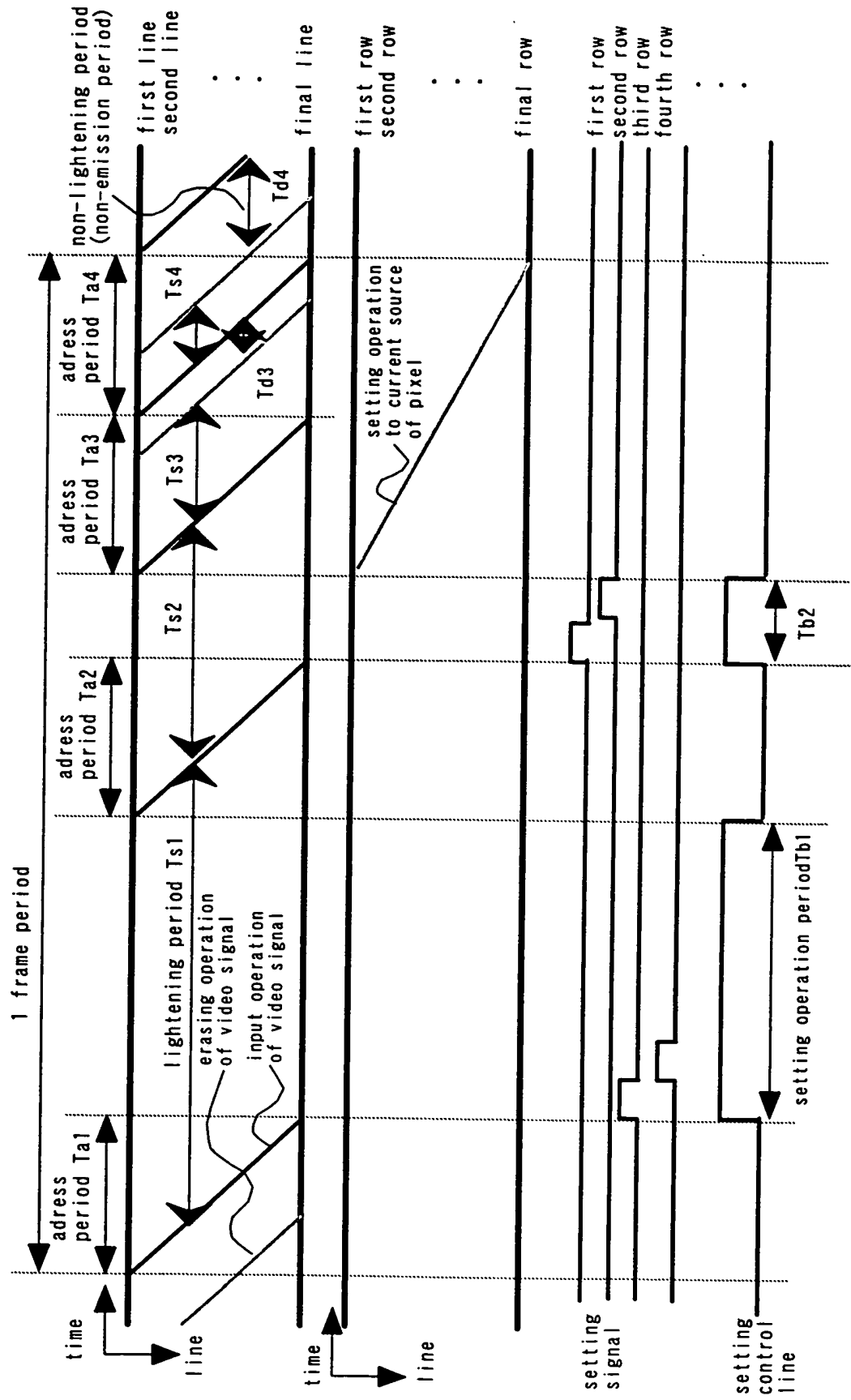


FIG. 80

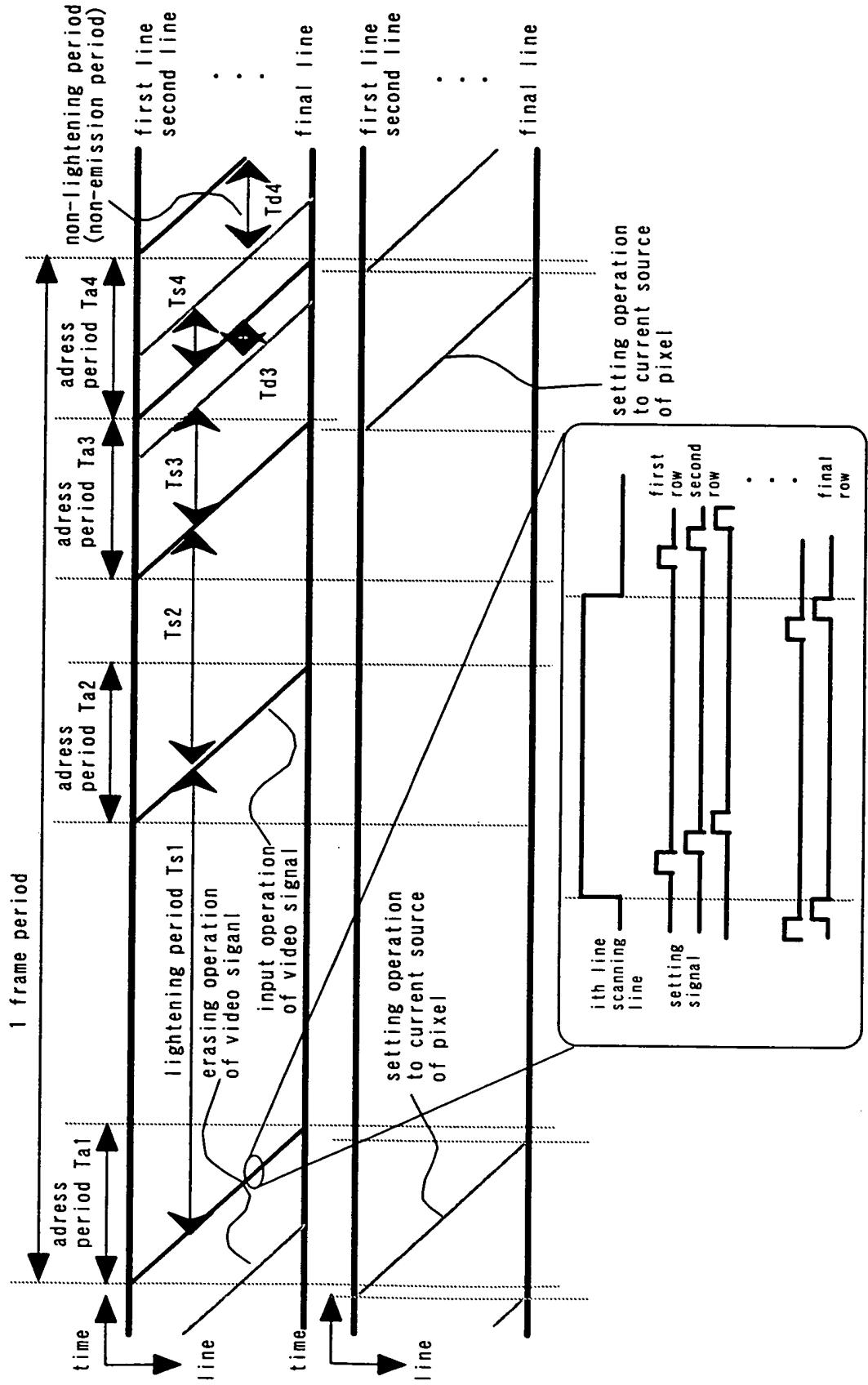


FIG. 81

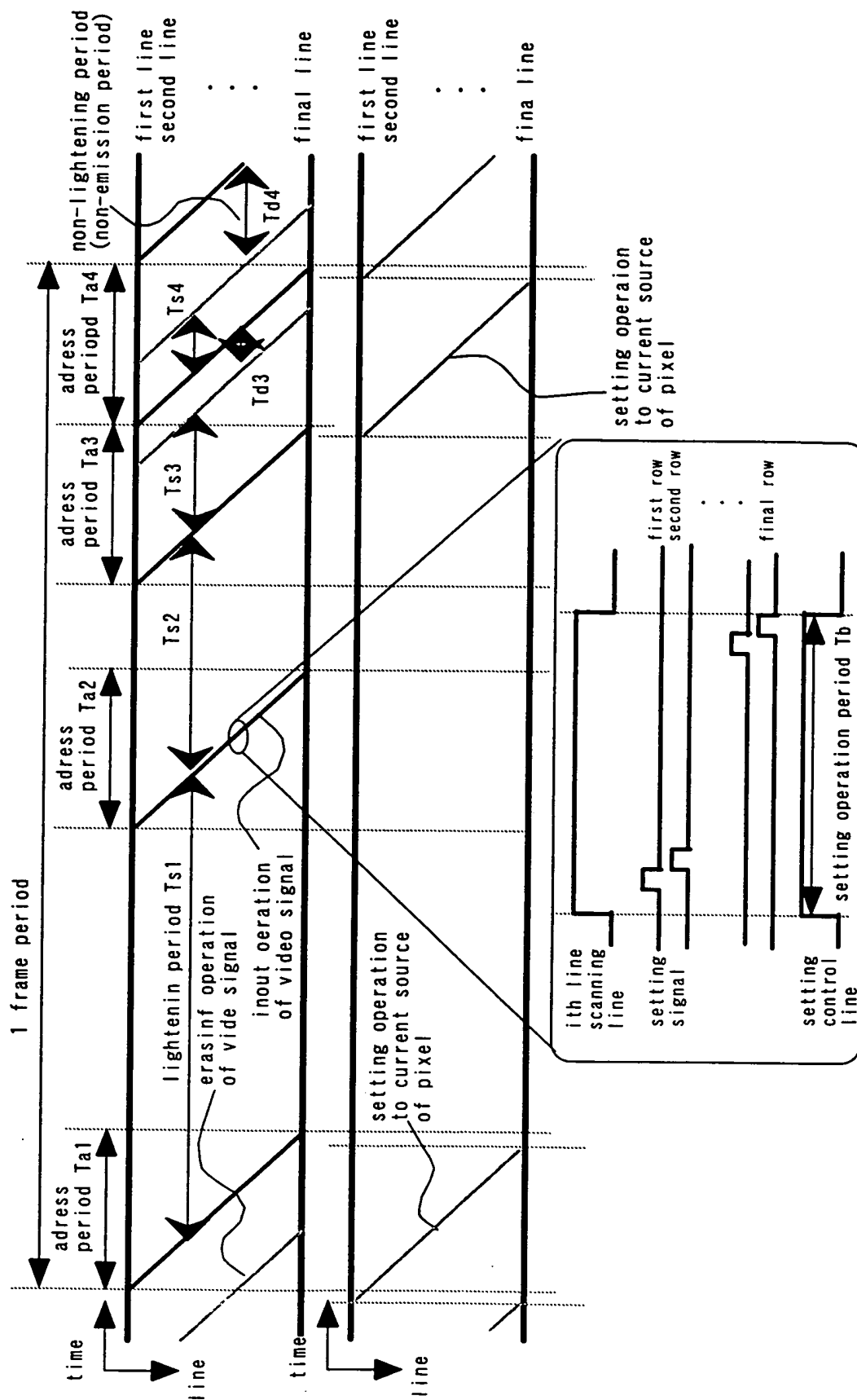


FIG. 82

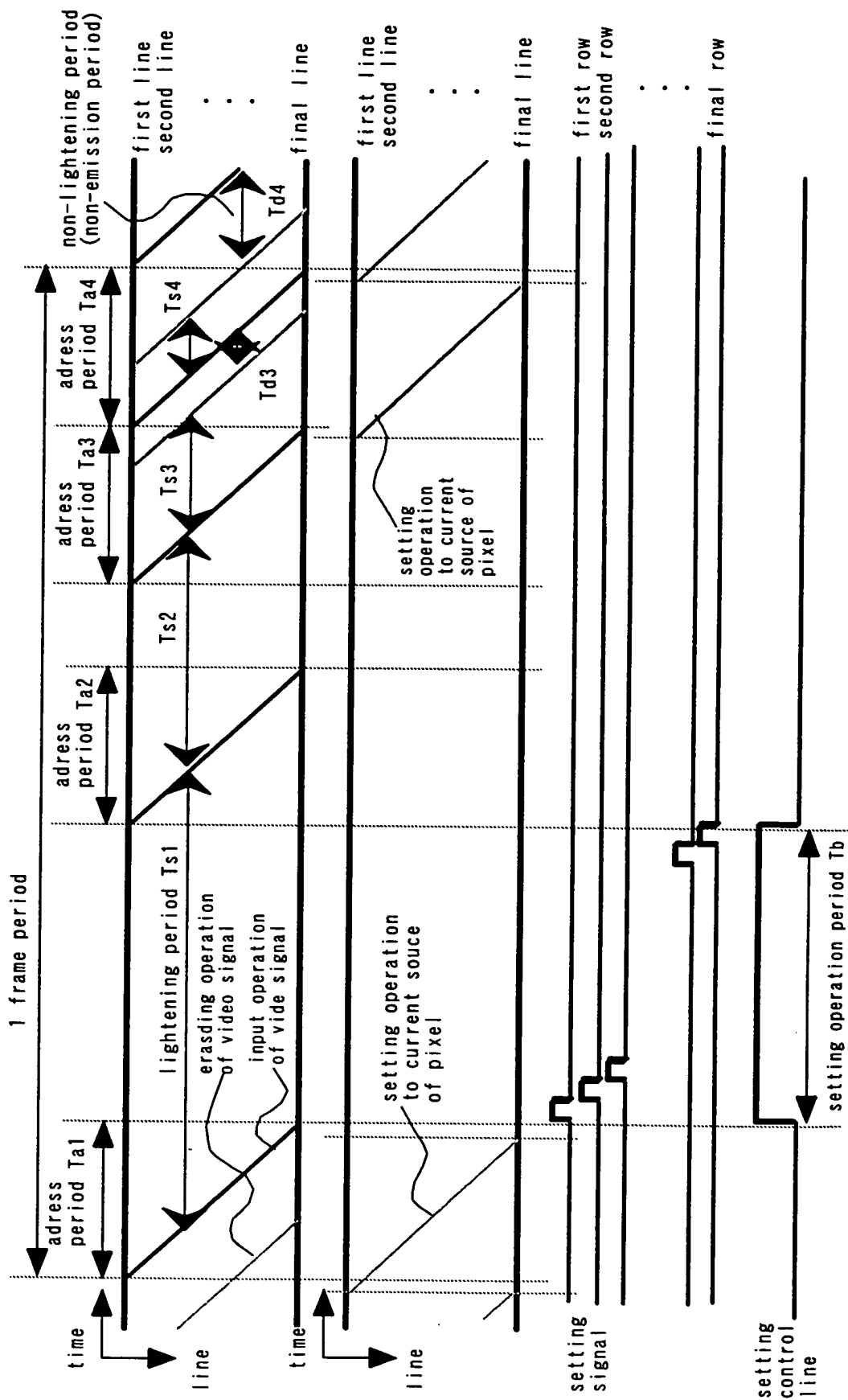


FIG. 83

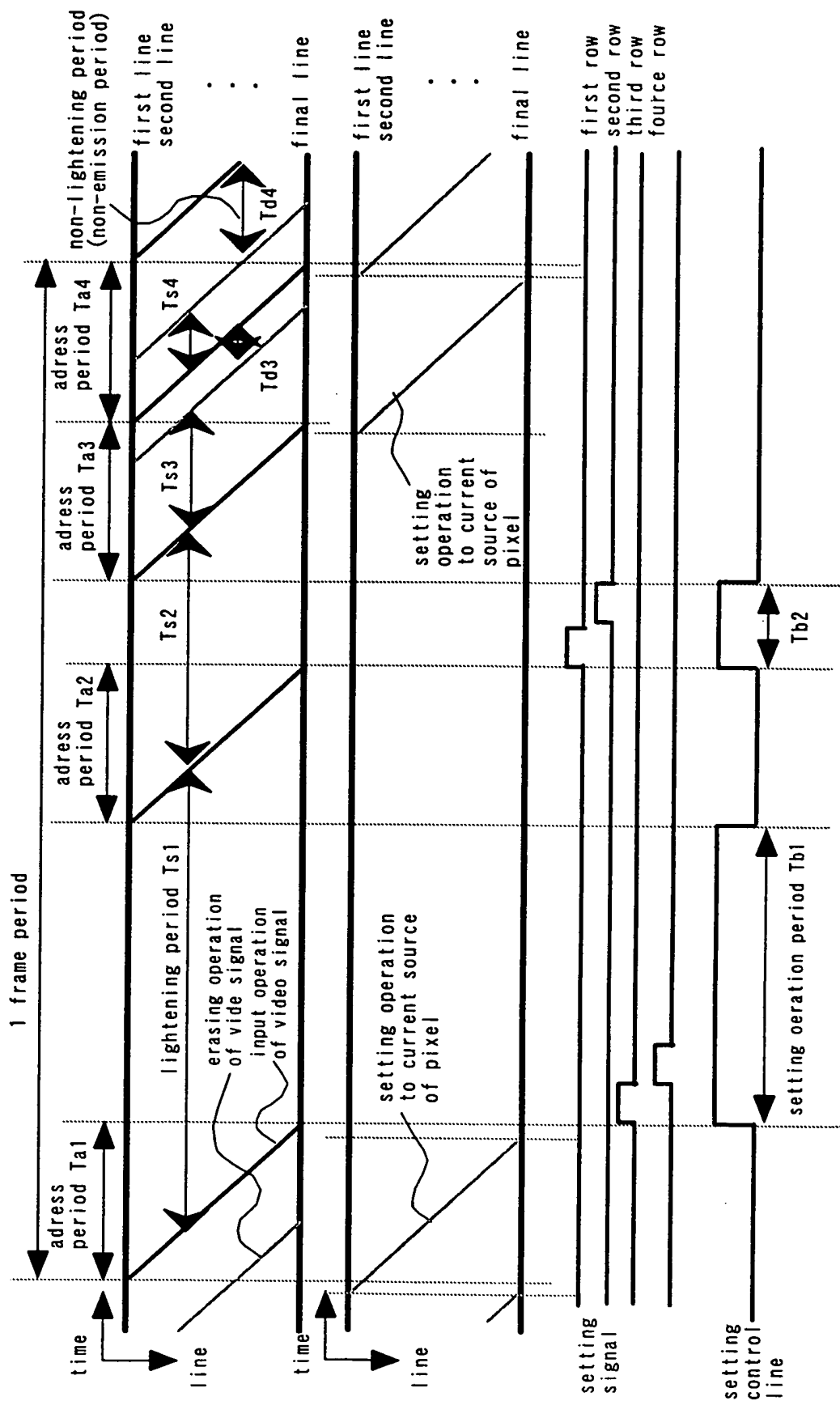


FIG. 84

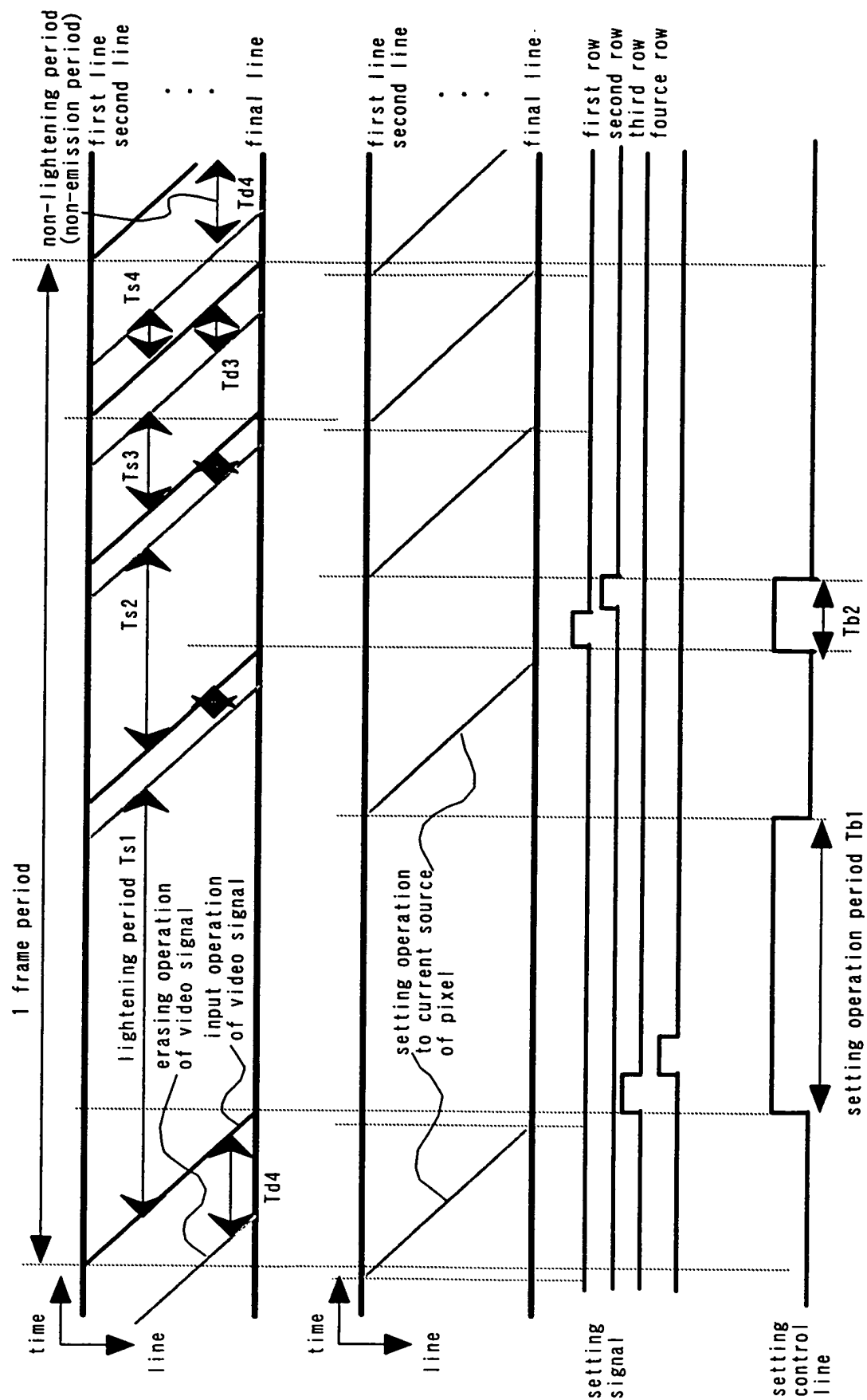


FIG. 85

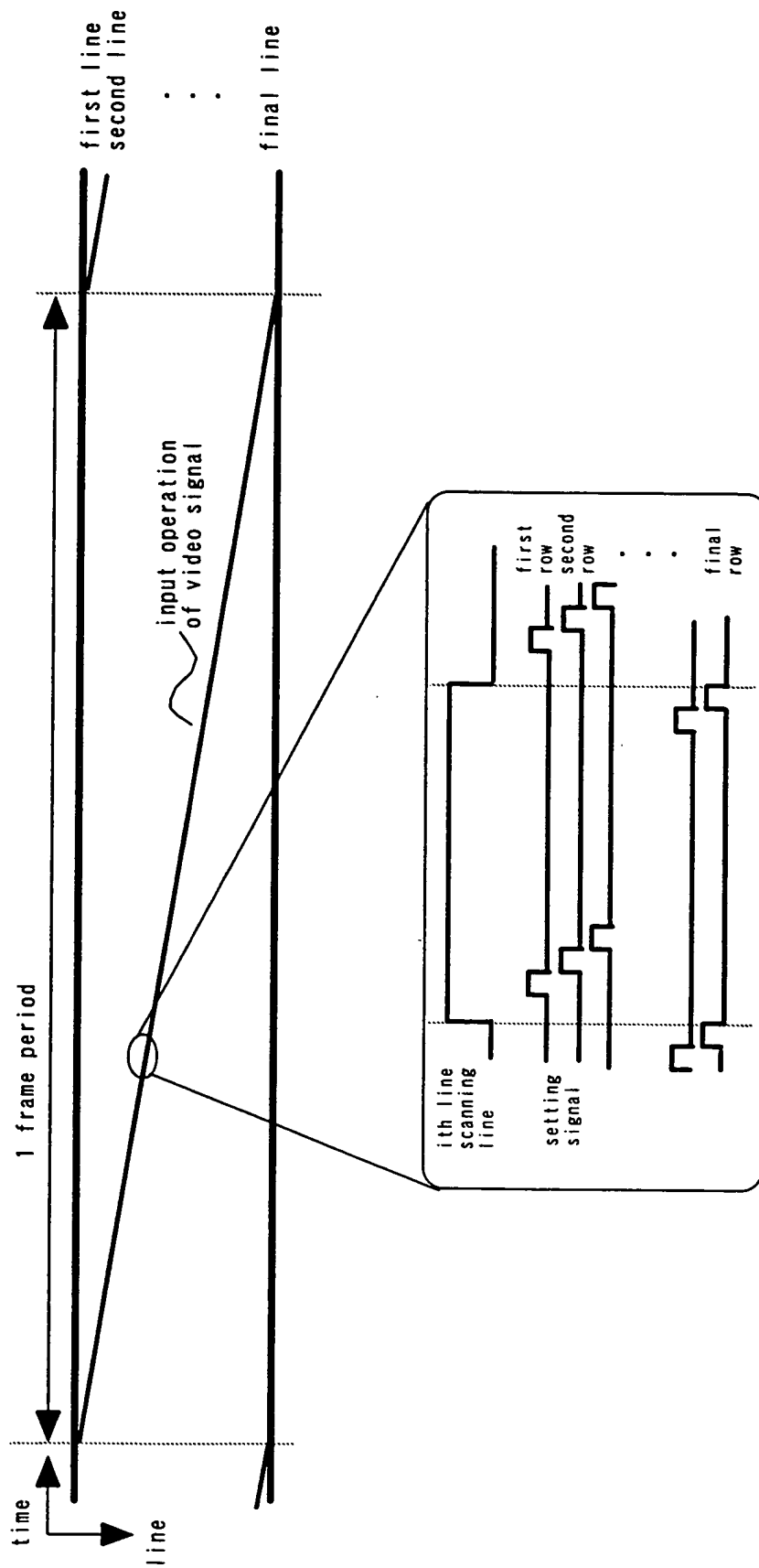


FIG. 86

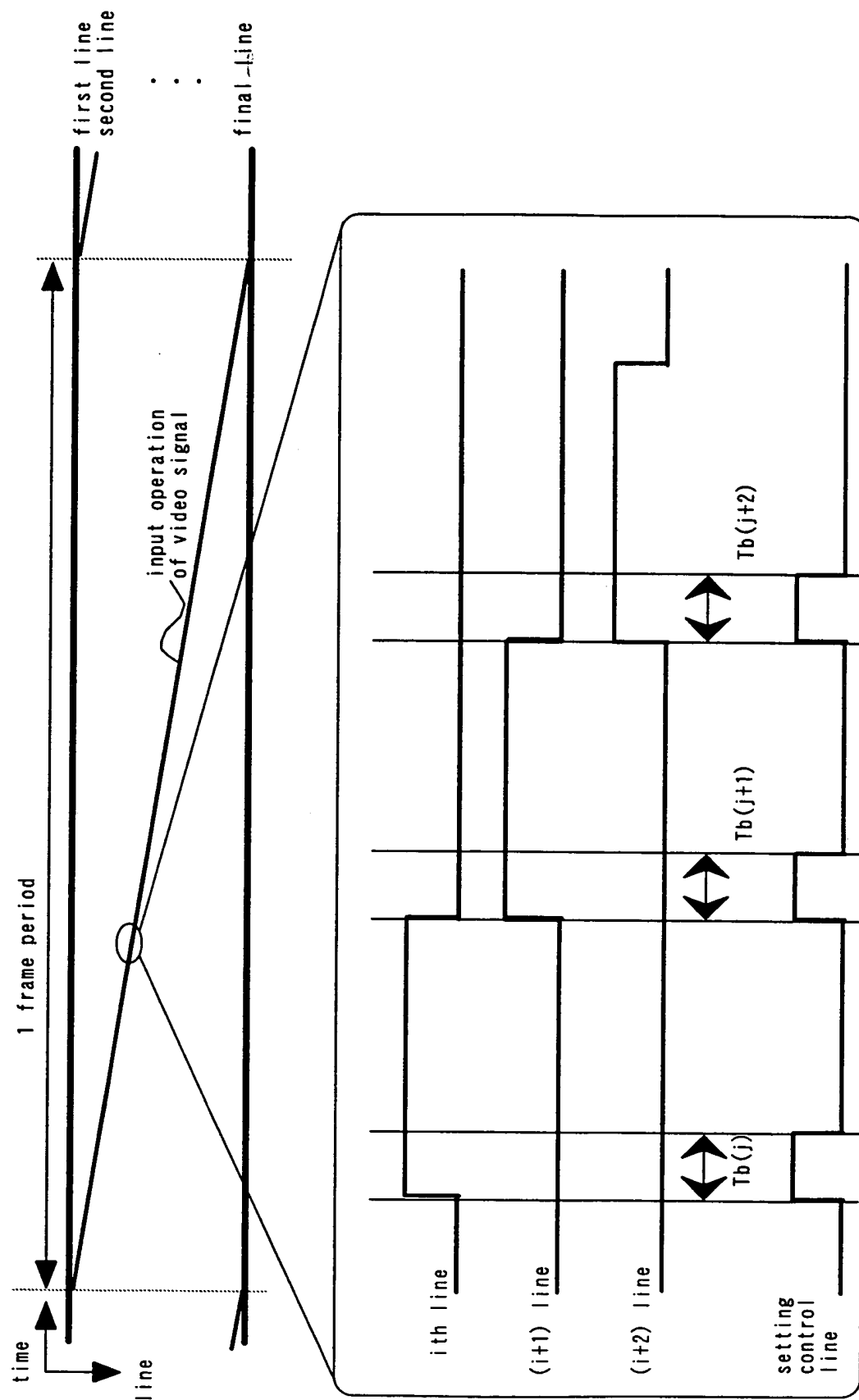


FIG. 87

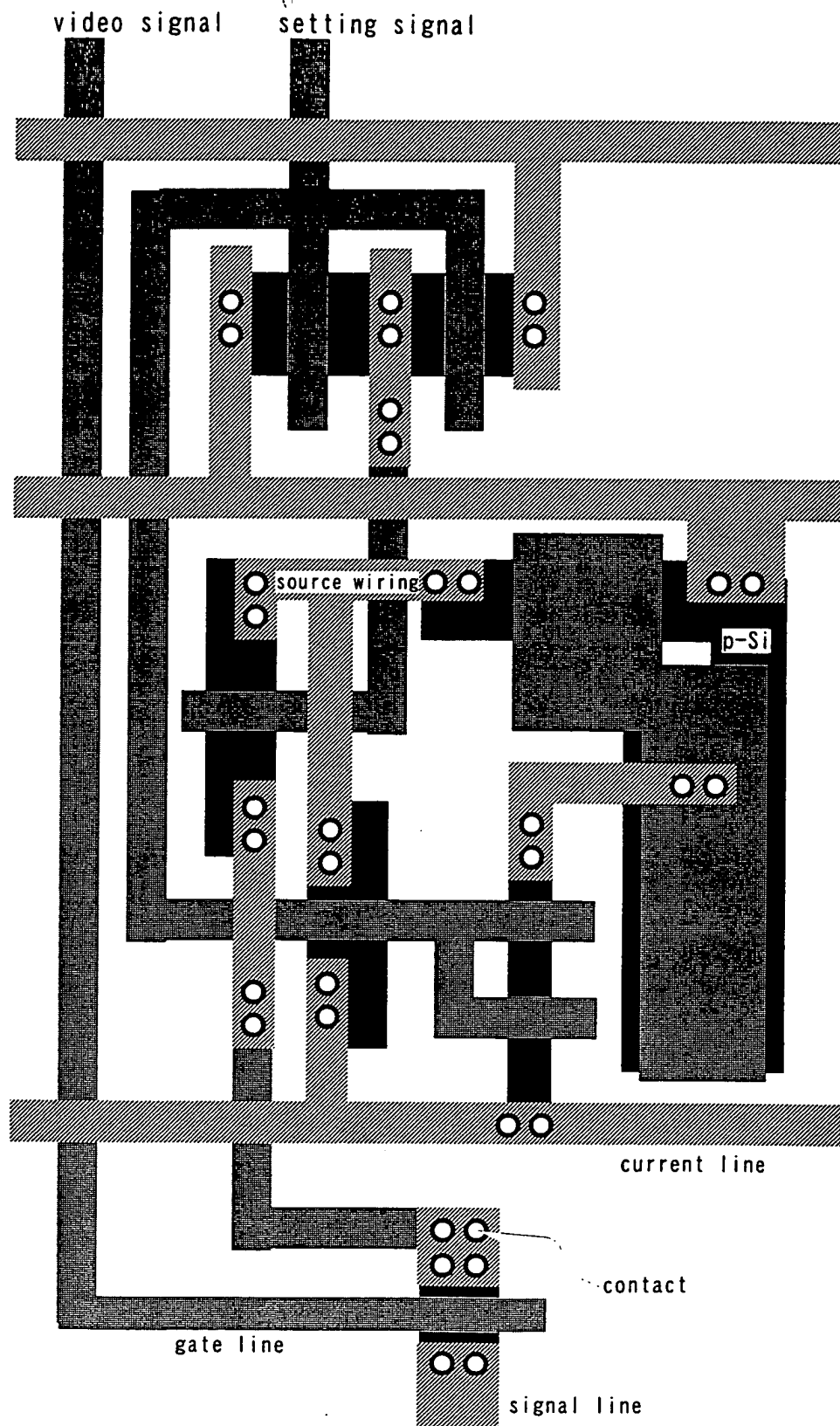


FIG. 88

